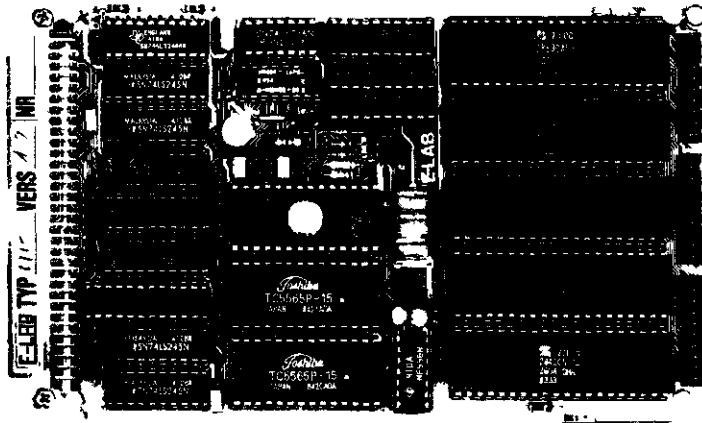


electronic-labor



E-LAB SCHNITTSTELLEN-CONTROLLER UIC 1.2

6x SYNCHRON ODER
ASYNCHRON
Z80 CPU
4/6/8 MHZ
3x Z80 SCC
1x Z80 DMA
REAL-TIME CLOCK
WATCH DOG
8/16KB RAM
8-32KB EPROM
2x 8BIT
PARALLEL-I/O
ALS I/O-KARTE
SCHALTBAR



Die Schnittstellen-Kontroller Karte UIC 1.2 ist ein SINGLE-BOARD-COMPUTER mit voll ausgebildeter ECB-BUS Bedienung. Durch die sechs synchronen bzw. asynchronen Schnittstellen ist sie besonders als Datenkonzentrator o.ä. geeignet. Mit der 8 MHz Ausführung können auch zeitlich problematische Aufgaben gelöst werden.

Durch die Verwendung von drei Z80 SCC (verbesserte SIO) können auch die neuesten synchronen Protokolle gefahren werden. Die SCC's haben einen eingebauten Baudrate Generator und eine Digitale PLL-Schaltung. Mit der PLL können Floppy- und Band ähnliche serielle Daten empfangen werden, wie z.B. die des neuen LOW-COST Netzwerkes RS-485. Die Z80 DMA unterstützt dabei HIGH-SPEED Anwendungen.

Für die Arbeitsspeicher stehen zwei RAM-Sockel zur Verfügung, die mit max. 16kB (2x8k) bestückt werden können. Alternativ können auch die 32kx8 dyn. RAM's 4856 eingesetzt werden. Als Programmspeicher ist ein Sockel für ein EPROM vorhanden, das mit EPROMs bis zu 27256 (32kB) bestückt werden kann. Die UIC kann 64kB Speicher auf dem BUS betreiben, mit dem Bank-Port bis zu 1MByte. Das EPROM kann softwaremäßig an- und ausgeschaltet werden. Damit ist auch ein CP/M Betrieb (BOOT) möglich.

Zur Programm-Entwicklung kann die UIC als I/O-Karte geschaltet werden, ohne den Prozessor zu entfernen. Damit ist eine problemlose Softwareentwicklung und Debuggen unter CP/M ohne IN-CIRCUIT-EMULATOR möglich.

Als weitere I/O ist ein 8 Bit Parallel Ausgabe-Port sowie ein 8 Bit Input-Port vorhanden, womit spezielle Aufgaben abgewickelt werden können. Eine ACCU-gepufferte Echtzeit-Uhr ist als Option erhältlich. Speicherbausteine sind nicht im Lieferumfang.

Auf die RS232 Treiber wurde auf der Karte bewußt und aus Platzgründen verzichtet. Den vielfältigen Einsatzmöglichkeiten wird durch spezielle Schnittstellen-Adapter-Boards (SAB 2.0 oder SAB 3.0) voll Rechnung getragen. Für Spezial-Anwendungen ist eine spezielle Adaptierung durch Eigenentwicklungen problemlos möglich.

INHALT:

Beschreibung
Schaltplan
Bestückungsplan
Stückliste
Programmierhinweise

BESCHREIBUNG

Die ECB-BUS-Karte UIC 1.2 wurde entwickelt, um dem Mikroprozessor Anwender ein möglichst universelles Werkzeug in die Hand zu geben. Dabei wurde versucht, auf einer Karte möglichst viele serielle I/O's der verschiedensten Art unterzubringen. Dieses Ziel wird durch die Verwendung der supermodernen seriellen Interface Bausteine Z80 SCC erreicht.

Die SCC's beherrschen auch die modernsten Übertragungsprotokolle und sind auch von der Flexibilität unerreicht. Durch den eingebauten, frei programmierbaren Baudrate Generator sowie den für die entsprechenden Protokolle vorgesehenen Digitalen PLL (Phase-Locked-Loop) wird ein Höchstmaß an Flexibilität erreicht. Mit dem PLL ist es möglich, das einfache, aber sehr schnelle und billige RS-485 (Kollisions-) Netzwerk zu verwirklichen.

Ausserdem sind mehrere Systemhilfsbaugruppen vorhanden: Echt-Zeit-Uhr, ausreichend RAM und ROM, komplette ECB-BUS-Logik und eine sog. WATCH-DOG Schaltung zur Software Überwachung.

Als besonderes Feature dieser Karte ist die Möglichkeit zur Umschaltung von der CPU-Betriebsart zur I/O-Karte hervorzuheben. Das ermöglicht es dem Programmierer, die Software dazu in einem normalen ECB-System unter CP/M mit der Hilfe von Debuggern (ZSID) zu entwickeln und auszutesten. Das erübrigt den Einsatz von teuren und umständlichen IN-CIRCUIT-EMULATOREN.

Unter Zuhilfenahme der im Anhang aufgeführten Treiberrou-tinen kann sich die Programmentwicklung auf das wesentliche konzentrieren. Diese Routinen behandeln ausführlich das "Aufsetzen" der einzelnen I/O-Bausteine sowie die entsprechenden Treiber-routinen zum Ansprechen dieser Bausteine.

Die UIC 1.2 kann in folgende logische Baugruppen unterteilt werden:

1. BUSLOGIK
2. CPU-CLOCK GENERATOR
3. SYSTEMSTEUERUNG
4. PARALLEL I/O
5. SERIELL I/O
6. DMA
7. WATCH-DOG
8. BANKING-LOGIK
9. REALTIME-CLOCK

1.

BUSLOGIK

Die Buslogik besteht aus den Daten und Adressbustreibern (IC1, IC2, IC3 und IC4). Sämtliche Treiber sind Bidirektional, um den Betrieb als I/O-Karte zu ermöglichen. Die Steuerung der Treiber erfolgt durch den PAL-Baustein IC12, abhängig vom Systemzustand. (3. Systemsteuerung)

2.

CLOCK-GENERIERUNG

Diese Baugruppe besteht bei der Standard-Ausführung der UIC aus dem Clock-Generator ALS240 (IC16), dem 2-Teiler LS74 (IC15) und dem Clock-Multiplexer PAL4 (IC13). PAL4 hat die Aufgabe, wenn I/O-Betrieb eingestellt ist, den karteninternen Generator abzutrennen und den System-Takt PHI vom BUS her durchzuschalten.

Die im Jumperfeld BR6 vorhandene Brücke 13-14 dient als Information für den PAL4, ob 4 oder 8 MHz-Betrieb vorliegt. Geschlossene Brücke (LOW) bedeutet 8 MHz. Dabei ist unbedingt zu beachten, daß bei 8 MHz statt des ALS240 der Baustein Z8581 eingesetzt ist, um eine ordnungsgemäße Funktion der Karte sicher zu stellen.

Bei 4 MHz Betrieb hat die Brücke BR10 keine Funktion. Bei 8 MHz wird, wenn gebrückt, ein SLOW-CYCLE bei jedem M1-Zyklus generiert. Grundsätzlich wird bei 8 MHz jeder I/O-Zyklus gestretched. Das bedeutet, daß der Prozessortakt auf 4 MHz heruntergeschaltet wird. Dadurch ist es möglich, mit 4 MHz I/O-Bausteine auszukommen.

Die bei allen Z80 Bausteinen wegen der DAISY-CHAIN laufzeitproblematischen INTERRUPT-ACKNOWLEDGE und RETI Zyklen existieren beim Einsatz dieser Karte nicht mehr. PAL4 erkennt in Zusammenarbeit mit dem LS74 eine INTA-Zyklus sofort und schaltet den Prozessor während des ganzen Zyklus auf 2 MHz !! herunter. Dadurch hat auch die längste DAISY-CHAIN Zeit sich einzustellen.

Bei CPU-Betrieb mit 4 MHz entspricht der BUS-Clock PHI dem CPU-Clock (4 MHz). Bei 8 MHz Betrieb ist PHI immer die Hälfte des CPU-Clocks, nämlich 4 MHz. Dadurch ist zu erwarten, daß alle I/O-Karten für 4 MHz ohne Einschränkung weiterverwendet werden können.

Beim 8 MHz Betrieb ist es also möglich, CLOCK-STRETCHING für M1 bei langsamen Speicherbausteinen durch BR10 einzuschalten, oder wenn der Speicher schnell genug ist (<150ns), den M1-Zyklus mit voller Geschwindigkeit zu fahren. I/O- und INTA-Zyklen werden immer verlangsamt.

Im PAL4 erfolgt ebenso die für die Z85xx Bausteine erforderliche READ/WRITE-Signal Erzeugung (/ZRD, /ZWR), die für alle Betriebszustände identisch ist. Beim System-Reset müssen beide Signale "LOW" sein, beim INTERRUPT-ACKNOWLEDGE Zyklus muß INTA und READ generiert werden.

ACHTUNG Alle CLOCK-STRETCH Funktionen sind nur bei Einsatz des Clock-Generators 8581 (IC24) möglich.

3.

SYSTEM-STEUERUNG

Die drei Pal-Bausteine IC6, IC12 und IC17 bilden im wesentlichen die Systemsteuerung. PAL1 (IC6) erzeugt die Chipselects der I/O-Bausteine. PAL2 (IC12) ist für die BUS-Steuerung zuständig, PAL3 (IC20) für die Speichersteuerung.

Das Steckbrückenfeld BR6 dient zur Einstellung der Betriebsarten der UIC 1.2 :

- 1-2 Wenn 1-2 (/CPU) gebrückt ist, arbeitet die Karte als CPU-Karte. Ansonsten ist die Karte I/O-Karte im System und die RAMs und ROMs sind grundsätzlich abgeschaltet. der CPU-Baustein braucht jedoch nicht entfernt zu werden
- 3-4 Sind 2-3 verbunden, werden die RAMs angeschaltet. Auf der Platinenunterseite ist 3-4 mit einer Leiterbahn verbunden (RAM enabled), bei Bedarf durchtrennen.
- 5-6 Mit "OFF" gebrückt wird das ROM abgeschaltet. Der STI-Baustein kann über seine I7-Ausgang das ROM Softwaregesteuert abschalten.
- 7-8 Mit dieser Brücke werden, wenn gesteckt, 32kB dyn. RAM-Bausteine (4856) selektiert, ansonsten 8k stat. Rams.
- 9-10 Ist 9-10 gebrückt, werden 2 RAM-Bausteine selectiert, ansonsten nur ein Baustein.
- 11-12 Diese Brücke ist für zukünftige Erweiterungen reserviert.
- 13-14 Wie weiter oben beschrieben, dient 13-14 zur CPU-CLOCK Einstellung 4/8 MHz.

Zu beachten ist, daß der RAM-Speicher grundsätzlich auf Adresse 4000h beginnt. Der ROM-Bereich beginnt ab Adresse 0000h und ist reserviert bis 3FFFh.

Beim Einsatz der verschiedenen RAM und ROM Bausteine müssen auch noch die Steckbrücken BR2, BR3, BR4, BR5 und BR9 nach folgendem Schema eingestellt werden:

- 2764 BR9 2-3 gebrückt (auf Unterseite default Brücke)
- 27128 BR9 2-3 gebrückt " "
- 27256 BR9 1-2 gebrückt " auftrennen
- 6264 BR3 und BR4 jeweils 2-3 gebrückt (POWER-DOWN), ist schon als Leiterbahn auf Unterseite.
- 4856 BR3 und BR4 jeweils 1-2 gebrückt, auf Unterseite auftrennen!

Die Brücke BR7 steuert das DMA-Verhalten der Karte. Default ist dabei auf der Platinenunterseite 1-2 gebrückt. Das bedeutet, daß als I/O- und CPU-Karte die DMA-DAISY-CHAIN nicht bedient wird. Soll die UIC 1.2 als CPU-Karte mit DMA-DAISY-CHAIN eingesetzt werden, so muß BR7 2-3 gebrückt sein.

PAL 1 (IC6) erzeugt die Chip-Selects für die I/O Bausteine der UIC. Die Adresslage der einzelnen Bausteine sind folgender Tabelle Tabelle zu entnehmen:

Z80 SCC 1	70H ... 73H
Z80 SCC 2	74H ... 77H
Z80 SCC 3	78H ... 7BH
CLOCK	7CH
STATUS	7DH*/RD
CONTROL	7DH*/WR
WATCH-DOG	7EH*/RD
BANK-PORT	7EH*/WR
DMA	7FH

Durch den Einsatz eines anderst programmierten PAL's können die I/O-Adressen kundenspezifisch eingestellt werden.

PAL2 (IC12) steuert die Bustreiber abhängig vom Zustand des Systems. Ausserdem erzeugt er ein /MEMD (Memory-Disable) Signal für den BUS, wenn ein Speicher auf der Karte angesprochen wird. Dieses Signal ist OPEN-COLLECTOR, damit andere Baugruppen ebenfalls den Speicher sperren können. IC5 (556) erzeugt den POWER-ON-RESET und wird auch vom manuellen RESET getriggert (BUS 31c).

ACHTUNG! INTERRUPTS

Wenn mit Interrupts gearbeitet wird, muß dafür Sorge getragen werden, daß, wenn die Interrupt Service Routine, im besonderen der RETI-Zyklus, auf dem Speicher der UIC abläuft, durch /MEMD der auf dem BUS befindliche Speicher abgeschaltet wird. Ist das nicht der Fall, so gibt es BUS-Konflikte zwischen CPU-Karte und Speicherkarte und die auf dem BUS laufenden I/O-Bausteine können das RETI nicht erkennen. Das hat zur Folge, daß die DAISY-CHAIN-Logik blockiert wird, bzw. der entsprechende I/O-Baustein auf dem BUS keinen weiteren Interrupt mehr generiert.

Die zwei CMOS-RAMs der Karte sind wahlweise von VCC (5V) oder von der auf dem BUS evtl. zur Verfügung stehenden ACCU-Spannung VCMOS zu versorgen. Eine Zenerdioden- und Transistor-schaltung sorgt für einen Schreibschutz des Speichers während des EIN-und-AUS-schaltens des Systems.

Moderne aufwendige Netzteile haben einen POWER-FAIL-Ausgang der dazu benutzt werden kann, bei Stromausfall eine System-Status Rettungsaktion einzuleiten. In diesem Zusammenhang bieten wir einen Sekundärschaltregler (NMB 30) an, der direkt auf den BUS gesteckt werden kann und in zwei Stufen ein /WAIT und /NMI erzeugt.

Eine weitere Möglichkeit der Absicherung bietet die Statische RAM-Karte SM 64 mit mehreren Möglichkeiten des Speicherschutzes durch Spannungsüberwachung, Hard- und Software Schreibschutz.

Als Parallel-Schnittstellen kommen zwei TTL-Ports zum Einsatz (IC7, IC8). IC7 (LS273) stellt ein 8-Bit Output Latch dar. Durch einen I/O-Schreibbefehl kann das Port beschrieben werden. Das Bit 7 (DO7) schaltet, wenn gesetzt das EPROM aus (Boot-Funktion). Durch RESET bzw. POWER-ON-RESET wird das Port über den Eingang Pin1 zurückgesetzt. Das stellt sicher, daß nach dem Einschalten des Systems immer das Eprom selektiert ist.

IC8 ist das Input-Port. Durch einen I/O-Lesebefehl kann der an den Eingängen DI0-DI7 anliegende Wert gelesen werden. Es ist möglich, z.B. Schnittstellen-Parameter (SCC) durch feste Brücken auf 0 oder 5V an den Eingängen vorzugeben, die nach Reset von der Software verwendet werden.

Die Belegung der Pfostenleisten SV5

GND	1	o	o	2	DO0
DO1	3	o	o	4	DO2
DO3	5	o	o	6	DO4
DO5	7	o	o	8	DO6
DO7	9	o	o	10	VCC
GND	11	o	o	12	DI0
DI1	13	o	o	14	DI2
DI3	15	o	o	16	DI4
DI5	17	o	o	18	DI6
DI7	19	o	o	20	VCC

Die Belegung dieser Pfostenverbinder wurde so gewählt, daß ein problemloses Aufspießen des angeschlossenen Flachbandkabels in zwei vollkommen identische Hälften möglich ist.

5.

SERIELL-I/O

Wie schon erwähnt, sind die SCC die besten Serial-Bausteine am Markt. Die Features sind:

2 unabhängige Kanäle	Multi-Protokoll Operation
0...1 MBit/sec	NRZ, NRZI oder FM DATA
Full Duplex	CRC Generierung
Jeder Kanal hat:	BI-SYNC/SDLC/HDLC
Baudrate-Generator	LOCAL-LOOP-BACK
Phase-Locked-Loop	AUTO-ECHO

Eine ausführliche Beschreibung und Programmierhinweise sind den ZILOG, SGS oder AMD Druckschriften 'SCC TECHNICAL MANUAL' bzw. diversen Programmierhandbüchern dieser Firmen zu entnehmen.

Im Anhang befindet sich eine Beispiel-Software zum Betrieb der SCC's im Asynchron Mode, z.B. auch im Interrupt.

Die Ein- und Ausgänge der SCC-Bausteine sind auf den 20-poligen Pfostenleisten SV2-SV4 herausgeführt. Aus Platzmangel befinden sich keine Treiberbausteine auf der Karte. Die Belegung der Leisten ist so gehalten, daß verschiedene RS232 und 20mA Treiberboards (SAB 2.0/SAB 3.0) angeschlossen werden können und ist damit kompatibel zu CPU 2.0, CPU 32/8, 32/16, 32/32 und SIC 3.0. Mit diesen Boards ist eine wesentlich flexiblere Anpassung an die verschiedenen Anwendungen gegeben.

SV2-4 Flachbandkabel-Anschlussleiste für V24/RS232 Treiber BOARD's (z.B. SAB 2.0)

GROUND	1	0	0	2	RTXCA
TRXCA	3	0	0	4	RXDA
TXDA	5	0	0	6	DTRA
RTSA	7	0	0	8	CTSA
DCDA	9	0	0	10	+5V
RTXCB	11	0	0	12	TRXCB
RXDB	13	0	0	14	TXDB
DTRB	15	0	0	16	RTSB
CTSB	17	0	0	18	DCDB
+12V	19	0	0	20	-12V

Die SCC's haben die Möglichkeit, den Datentransfer über Handshake mit einem DMA-Baustein abzuwickeln.

Als Uhren-Chip kommt der CMOS-Baustein M3000 zum Einsatz. Der Vorteil gegenüber bisher verwendeter Typen liegt darin, daß der Baustein direkt vom Prozessor ohne weitere Bausteine und ohne WAIT's angesprochen werden kann. Der M3000-Chip ist vergleichsweise komfortabel mit verschiedenen Funktionen programmierbar:

ECHTZEITUHR
WECKFUNKTION
STOPUHR

Ein ausführliches Programmbeispiel ist im Anhang enthalten.

Der Uhrenchip wird durch einen extra ACCU versorgt und läuft damit auch bei abgeschalteter Versorgungsspannung weiter.

DIVERSES

Die UIC 1.2 wird mit einem 9,9 MHz Quarz (4,9MHz Systemclock) bestückt geliefert. Die Option 8 MHz (16 MHz Quarz) muß besonders bestellt werden. Standardmäßig sind auf der Karte keine Speicher-Bausteine vorhanden. Auf Wunsch kann die Karte auch vollbestückt geliefert werden.

Die Echtzeituhr ist eine Optione, die gegen extra Berechnung eingebaut werden kann.

Wie weiter oben schon erwähnt, kann die Adresslage der I/O-Bausteine kundenspezifisch angepasst werden.

In manchen Anwendungen ist es sinnvoll, einen SYSTEM-TICK (periodische Interrupts) zu haben. Da auf der UIC 1.2 eigentlich keine programmierbare, vektorinterrupt fähige Timer vorhanden sind, kann man sich auch mit dem SCC behelfen. Dazu wird der "Special Condition" Interrupt freigegeben und der Null-Durchgang des Baudrate Generators als Interrupt-Quelle zugelassen. Dann generiert der SCC bei jedem Zähler-Null einen Vektor-Interrupt.

STÜCKLISTE E-LAB UIC 1.2

INTEGRIERTE SCHALTUNGEN	1 X 74LS74	
	1 X 74LS174	
	1 X 74ALS240 (4 MHZ)	
	1 X 74LS244	
	4 X 74LS245	
	1 X 74LS273	
	3 X PAL 16L8 PROGR.	
	1 X PAL 20L10 PROGR.	
	1 X NE 556	
	1 X Z80 A CPU (4MHZ)	
	1 X Z80 A DMA	
	3 X Z80 SCC	
	WIDERSTÄNDE	2 X 330 OHM
		2 X 330 OHM (4 MHZ)
		1 X 470 OHM
2 X 1K0		
3 X 24K		
4 X 100K		
2 X SIL 4K7		
KONDENSATOREN		1 X 1nF KER
	15 X 10nF KER	
	1 X 1uF TANT	
	6 X 10uF TANT	
	DIODEN, TRANSISTOREN	7 X 1N4148
1 X 3V9 ZENER		
3 X ZTX 450 (BC 107)		
FASSUNGEN		2 X 14 POL
	9 X 20 POL	
	1 X 20 POL (4 MHZ)	
	1 X 24 POL SCHMAL	
	3 X 28 POL	
	5 X 40 POL	
DIVERSES	1 X QUARZ 9,8MHZ (4MHZ)	
	3 X KURZSCHLUSSBRÜCKEN	
	2 X PFOSTELEISTE 2 POL EINREIHIG	
	6 X " " 3 POL "	
	1 X " " 14 POL ZWEIREIHIG	
	3 X " " 20 POL "	
	1 X VG-LEISTE 64 POL A-C MESSER	
	1 X KARTENGRIF	
	2 X SCHRAUBE M2,5X12	
	1 X SCHRAUBE M2,5X5	
	2 X MUTTER M2,5	

STÜCKLISTE E-LAB UIC 1.2 OPTIONEN

OPTION 8 MHZ

1 X Z80 H CPU
ALTERNATIV:
1 X Z80 B CPU SELEKTIERT
1 X Z8581 CLOCK GEN IC
1 X FASSUNG 18 POL
2 X KONDENSATOR 33pF KER
1 X 16 MHZ QUARZ

OPTION ECHTZEITUHR

1 X M3000 RTC IC
1 X FASSUNG 16 POL
1 X QUARZ 32 KHZ
1 X ACCU 3,6V/20mA
1 X TRIMM-KONDENS. 20pF
1 X DIODE 1N4148
1 X WIDERSTAND 1K0
1 X DATENBLATT M3000

TITLE Z80 MONITOR I/O DRIVER

```

;*****
;
;       Z80 MONITOR I/O DRIVER FOR E-LAB UIC 1.2
;
;*****

```

SUBTTL EQUATES

```

;
FALSE    EQU    0
TRUE     EQU    NOT FALSE
;
; NOTE : PERIPHERAL-CLOCK IS 4,0000 MHZ FOR 8 MHZ CPU
;       "           "           4,9152 MHZ FOR 4 MHZ CPU
;
MHZ8     EQU    TRUE
MHZ4     EQU    FALSE
; I/O PORTS
;
UICB     EQU    70H           ; BASIC CARD ADR
SCC1     EQU    UICB         ; SCC1 PORT BIAS
SCC2     EQU    UICB+04H     ; SCC2 PORT BIAS
SCC3     EQU    UICB+08H     ; SCC3 PORT BIAS
CLOCK    EQU    UICB+0CH     ; REALTIME-CLOCK
STATUS   EQU    UICB+0DH     ; STATUS PORT READ
CONTRL   EQU    UICB+0DH     ; CONTROL PORT WRITE
WDOG     EQU    UICB+0EH     ; WATCH-DOG READ
BANK     EQU    UICB+0EH     ; BANK PORT WRITE
DMA      EQU    UICB+0FH     ; Z80 DMA UNIT

```

; DIRECT ACCESSIBLE SCC REGISTERS

```

BCTRL    EQU    00H           ; PORT B CONTROL
BDATA    EQU    01H           ; PORT B DATA
ACTRL    EQU    02H           ; PORT A CONTROL
ADATA    EQU    03H           ; PORT A DATA

```

; INDIRECT ACCESSIBLE SCC REGISTERS

```
WRR00 EQU 00H ; WRITE REGISTER 00
RDR00 EQU WRR00 ; READ REGISTER 00
WRR01 EQU 01H ; WRITE REGISTER 01
RDR01 EQU WRR01 ; READ REGISTER 01
WRR02 EQU 02H ; WRITE REGISTER 02
RDR02 EQU WRR02 ; READ REGISTER 02
WRR03 EQU 03H ; WRITE REGISTER 03
RDR03 EQU WRR03 ; READ REGISTER 03
WRR04 EQU 04H ; WRITE REGISTER 04
WRR05 EQU 05H ; WRITE REGISTER 05
WRR06 EQU 06H ; WRITE REGISTER 06
WRR07 EQU 07H ; WRITE REGISTER 07
WRR09 EQU 09H ; WRITE REGISTER 09
WRR10 EQU 0AH ; WRITE REGISTER 10
RDR10 EQU WRR10 ; READ REGISTER 10
WRR11 EQU 0BH ; WRITE REGISTER 11
WRR12 EQU 0CH ; WRITE REGISTER 12
RDR12 EQU WRR12 ; READ REGISTER 12
WRR13 EQU 0DH ; WRITE REGISTER 13
RDR13 EQU WRR13 ; READ REGISTER 13
WRR14 EQU 0EH ; WRITE REGISTER 14
WRR15 EQU 0FH ; WRITE REGISTER 15
RDR15 EQU WRR15 ; READ REGISTER 15
```

; **** WRITE REGISTER BITS ****

; WRR00 INTERRUPT RESET AND REG POINTER

```
RESIUS EQU 00111000B ;RESET INTERRUPT
```

; WRR01 INTERRUPT CONTROL REGISTER

```
INTCTR EQU 00000000B ; ALL INTERRUPTS DISABLED
RCVINT EQU 00010000B ; INT ON RECEIVER FULL
```

; WRR02 VECTOR REGISTER

```
INTVEC EQU 0H ; VECTOR IS 0000
```

; WRR03 RECEIVER FORMAT REGISTER

```
RECVCTR EQU 11000000B ; 8 BITS RECV DISABLE
RECVEN EQU 11000001B ; " " ENABLE
```

; WRR04 TRANSMIT RECEIVE PARAMETERS

```
RTPARM EQU 01001100B ; CLOCK*16, 2 STOBITS, NO PARTY
```

; WRR05 TRANSMIT FORMAT REGISTER

```
TRMCTR EQU 01100000B ; 8 BITS TRANSMITTER DISABLE
TRMEN EQU 01101000B ; " " ENABLE
```

```

; WRR06, WRR07 AND WRR08 NOT USED

; WRR09 MASTER CONTROL REGISTER

MSTRES EQU 11000000B ; MASTER RESET INT DIS
MSTENA EQU 00000000B ; MASTER ENAB, VECTORED
MSTINT EQU 00001000B ; INTERRUPTS ENABLED

; WRR10 NOT USED

; WRR11 CLOCK-MODE CONTROL

CLKMOD EQU 01010110B ; TX/RX-CLK = BAUDR. GEN

; WRR12 LOW BYTE BAUDRATE GEN CONSTANT

IF MHZ8
BRLOBT EQU 11 ; DIV/10
ELSE
BRLOBT EQU 14
ENDIF

; WRR13 HIGH BYTE BAUDRATE GENERATOR

BRHIBT EQU 0 ; DIV

; WRR14 BAUDRATE GENERATOR CONTROL

BRGCTR EQU 00000010B ; GENERATOR SOURCE IS PCLK
BRGEN EQU 00000011B ; GENERATOR ENABLE

; WRR15 EXTERNAL STATUS

EXTSTA EQU 00000000B ; NO INTERRUPTS ENA

;***** READ REGISTER BITS *****

; RDR00 TRANSMIT/RECEIVE BUFFER STATUS

TXRDY EQU 2 ; BIT 2 IS TRNSM BUFFER EMPTY
RXRDY EQU 0 ; BIT 1 IS RECV CHAR AVAILABLE
CTS EQU 5 ; BIT 5 IS TRANSMIT ENABLE
BREAK EQU 7 ; BIT 7 IS EXTERNAL BREAK
;

; CONTROL CHARACTERS
;
CR EQU 0DH ;CARRIAGE RETURN
LF EQU 0AH ;LINE FEED
BS EQU 8 ;BACKSPACE
FF EQU 'Z'-64 ;FORM FEED
;

```

SUBTTL INITIALIZATION

; Z80 SCC INITIALIZATION FOR ASYNCHRON MODE

INIT: ;PREPARE FOR OTIR

;SCC1 CHANNEL A INIT>

LD HL,SCCTAB ;START OF TABLE
 LD C,SCC1+ACTRL ;PORT ADDRESS
 LD B,TABLEN ;BYTE COUNTER
 LD A,MSTRES ;RESET CHIP
 OUT (C),A
 OTIR ;DO IT

;SCC1 CHANNEL B INIT>

LD HL,SCCTAB ;START OF TABLE
 LD C,SCC1+BCTRL ;PORT ADDRESS
 LD B,TABLEN ;BYTE COUNTER
 OTIR ;DO IT

;SCC2 CHANNEL A INIT>

LD HL,SCCTAB ;START OF TABLE
 LD C,SCC2+ACTRL ;PORT ADDRESS
 LD B,TABLEN ;BYTE COUNTER
 LD A,MSTRES ;RESET CHIP
 OUT (C),A
 OTIR ;DO IT

;SCC2 CHANNEL B INIT>

LD HL,SCCTAB ;START OF TABLE
 LD C,SCC2+BCTRL ;PORT ADDRESS
 LD B,TABLEN ;BYTE COUNTER
 OTIR ;DO IT

;SCC3 CHANNEL A INIT>

LD HL,SCCTAB ;START OF TABLE
 LD C,SCC3+ACTRL ;PORT ADDRESS
 LD B,TABLEN ;BYTE COUNTER
 LD A,MSTRES ;RESET CHIP
 OUT (C),A
 OTIR ;DO IT

; SCC3 CHANNEL B INIT>

```

LD      HL, SCCTAB      ; START OF TABLE
LD      C, SCC3+BCTRL  ; PORT ADDRESS
LD      B, TABLEN     ; BYTE COUNTER
OTIR
;
LD      A, 1AH
OUT     (SCC1+ADATA), A
IN      A, (SCC1+ADATA) ; CLEAR UART
IN      A, (SCC1+ACTRL) ; CLEAR STATUS
;
LD      B, 0
STLOOP: PUSH BC
        DJNZ $
        POP BC
        DJNZ STLOOP
;
LD      A, 0FFH        ; FORCE I/O READY
RET
;
; END OF INIT

```

SUBTTL SCC SERIAL I/O (TTY AND CRT)

```

;
; TTY OUTPUT
;
TTYOUT: IN      A, (SCC1+ACTRL) ; IF TRANSMITTER NOT READY
        BIT     TXRDY, A
        JR      Z, TTYOUT      ; WAIT
        LD      A, C
        OUT     (SCC1+ADATA), A ; ELSE OUTPUT
        RET
;
; TTY INPUT STATUS
;
TTYSTS: IN      A, (SCC1+ACTRL) ; IF NOTHING THERE
        BIT     RXRDY, A
        LD      A, 0
        RET     Z              ; RETURN ZERO
        DEC     A
        RET
;
; TTY INPUT
;
TTYIN:  CALL    TTYSTS          ; WAIT FOR INPUT
        JR      Z, TTYIN
        IN      A, (SCC1+ADATA) ; THEN GET IT
        RET
;
CRTOUT:
        IN      A, (SCC2+ACTRL) ; IF TRANSMITTER NOT READY
        BIT     TXRDY, A
        JR      Z, CRTOUT      ; WAIT
        LD      A, C
        OUT     (SCC2+ADATA), A ; ELSE OUTPUT
        RET

```

```

;
CRTSTS:
    IN      A, (SCC2+ACTRL) ;IF NOTHING THERE
    BIT    RXRDY,A
    LD     A,0
    RET    Z ;RETURN ZERO
    DEC   A
    RET

;
CRTIN:  CALL  CRTSTS ;WAIT FOR INPUT
        JR   Z,CRTIN
        IN  A, (SCC2+ADATA) ;THEN GET IT
        RET

;
LSTOUT: CALL  LSTSTS
        INC  A
        JR  NZ,LSTOUT
        LD  A,C
        OUT (SCC1+BDATA),A ;ELSE OUTPUT
        RET

;
LSTSTS:
    IN      A, (SCC1+BCTRL) ;IF NOTHING THERE
    BIT    RXRDY,A
    LD     A,0
    RET    Z ;RETURN ZERO
    DEC   A
    RET

;
PUSER: ;USER DEFINED AUXILLARY OUTPUT
        IN  A, (SCC2+BCTRL) ;IF TRANSMITTER NOT READY
        BIT TXRDY,A
        JR  Z,CRTOUT ; WAIT
        LD  A,C
        OUT (SCC2+BDATA),A ;ELSE OUTPUT
        RET

;
RUSER: ;USER DEFINED AUXILLARY INPUT
        IN  A, (SCC2+BCTRL) ;IF NOTHING THERE
        BIT RXRDY,A
        JR  Z,RUSER ;RETURN ZERO
        IN  A, (SCC2+BDATA) ;THEN GET IT
        RET

;
LUSER: ;USER DEFINED LIST OUTPUT
        CALL LSUSER
        INC  A
        JR  NZ,LUSER
        LD  A,C
        OUT (SCC3+ADATA),A ;ELSE OUTPUT
        RET

;
LSUSER: ;USER DEFINED LIST STATUS
        IN  A, (SCC3+ACTRL) ;IF NOTHING THERE
        BIT RXRDY,A
        LD  A,0
        RET Z ;RETURN ZERO
        DEC A
        RET
;

```


SUBTTL SCC INTERRUPT TEST

```

;
; RECEIVER INPUT GENERATES INTERRUPT
; INTERRUPT ROUTINE ECHOES INPUT DUE TRANSMITTER
;
TEST:  DI
      LD  C,SCC1+ACTRL ;CONTROL REGISTER ADR
      LD  A,WRR01      ;ENABLE INT SOURCES
      OUT (C),A        ;RECEIVER FULL ONLY
      LD  A,RCVINT     ;MAKES INTERRUPTS
      OUT (C),A
      LD  A,WRR09      ;ENABLE MASTER
      OUT (C),A        ;INTERRUPT
      LD  A,MSTINT
      OUT (C),A

      LD  HL,INTTAB
      LD  A,H
      LD  I,A
      IM  2
      EI

STOP:  HALT
      JR  STOP

INTSER: CALL TTYIN
      CP  'Q'
      JR  Z,ENDINT
      LD  C,A
      CALL TTYOUT
      LD  C,SCC1+ACTRL
      LD  A,RESIUS
      OUT (C),A
      EI
      RETI

ENDINT: LD  C,SCC1+ACTRL ;POINTER REG
      LD  A,WRR01      ;DISABLE INT
      OUT (C),A        ;SOURCES
      LD  A,INTCTR
      OUT (C),A
      LD  A,WRR09      ;DISABLE MASTER
      OUT (C),A        ;INTERRUPTS
      LD  A,MSTENA
      OUT (C),A
      LD  A,RESIUS     ;PREPARE NEXT
      OUT (C),A        ;STATUS READ

      DI
      POP AF
      RET

```

; TABLE FOR SCC INITIALISATION DUE CPU OTIR

```

SCCTAB:                ; MODES AND CONSTANTS
    DEFB    WRR04      ; TRANSM/RECV CONTRL
    DEFB    RTPARM     ; CLOCK*16, 2 STOBITS, NO PARTY
    DEFB    WRR01      ; SPEC INT DISABLE
    DEFB    INTCTR     ; ALL INTERRUPTS DISABLED
    DEFB    WRR02      ; INTERRUPT VECTOR
    DEFB    INTVEC     ; VECTOR IS 0000
    DEFB    WRR03      ; RECEIVER CONTROL
    DEFB    RECVCTR    ; 8 BITS RECV DISABLE
    DEFB    WRR05      ; TRANSMIT CONTROL
    DEFB    TRMCTR     ; 8 BITS TRANSMITTER DISABLE
    DEFB    WRR09      ; INTERRUPT CONTROL
    DEFB    MSTENA     ; MASTER ENAB, VECTORED
    DEFB    WRR11      ; CLOCK MODE
    DEFB    CLKMOD     ; TX/RX-CLK = BASCC1+ADATA. GEN
    DEFB    WRR12      ; BRGEN LOW BYTE
    DEFB    BRLOBT     ; DIV X
    DEFB    WRR13      ; BRGEN HIGH BYTE
    DEFB    BRHIBT     ; DIV 0
    DEFB    WRR14      ; BRGEN SOURCE
    DEFB    BRGCTR     ; GENERATOR SOURCE IS PCLK

                ; ENABLE SCC
    DEFB    WRR03      ; RX ENABLE
    DEFB    RECVEN     ;
    DEFB    WRR05      ; TX ENABLE
    DEFB    TRMEN      ;
    DEFB    WRR14      ; BRGEN ENABLE
    DEFB    BRGEN      ; GENERATOR ENABLE
    DEFB    RDR00      ; NEXT ACCESS IS STATUS

ENDTAB EQU    $
TABLEN EQU    ENDTAB-SCCTAB

    ORG     0C00H      ;INT TAB

INTTAB:
    REPT    128        ;CONSTRUCT
    DEFW    INTSER     ;INTERRUPT
    ENDM              ;TABLE

```

```

TITLE      UIC-CLOCK DRIVER
;
;
DATAIN EQU 01010H      ; DATAWRITE AREA
DATANT EQU 01000H      ; DATAREAD  AREA
;
;
;          CLOCK CLOCK ADDRESSES FOR:
;
SEC      EQU 000H      ; SECONDS
MIN      EQU 001H      ; MINUTES
HOURS   EQU 002H      ; HOURS
MDAY    EQU 003H      ; DAY
MON     EQU 004H      ; MONTH
YEAR    EQU 005H      ; YEAR
WDAY    EQU 006H      ; DAY IN THE WEEK
WNUM    EQU 007H      ; WEEK`S NUMBER IN THE YEAR
;
;          M3000 ALARM CLOCK ADDRESSES FOR:
;
ASEC    EQU 008H      ; SECONDS
AMIN    EQU 009H      ; MINUTES
AHOUS   EQU 00AH      ; HOURS
ADAY    EQU 00BH      ; DAY
;
;          M3000 TIMER ADDRESSES FOR:
;
TSEC    EQU 00CH      ; SECONDS
TMIN    EQU 00DH      ; MINUTES
THOU    EQU 00EH      ; HOURS
;
;          M3000 STATUS ADDRESS
;
MSTAT   EQU 00FH      ; STATUS
;
;
TBUSY   EQU 00FH      ; M3000 BUSY
;
;
ORG     BASIS

WAIT:   IN      A,(CLOCK)      ; INPUT CLOCK FOR BUSY TEST
        AND    TBUSY          ;
        JR     NZ,WAIT        ;
        RET

INIT:   CALL   WAIT           ; SET STATUS
        LD    A,MSTAT        ;
        OUT   (CLOCK),A      ;
        LD    A,0            ; NO TIMER, NO TEST
        OUT   (CLOCK),A      ;
        LD    A,1            ; NO INT
        OUT   (CLOCK),A      ;
        RET

```

```

READI:  EX      AF,AF'      ; READ 1 REG. OF M3000
        CALL    WAIT      ;
        EX      AF,AF'      ;
        OUT     (CLOCK),A   ;
        IN      A,(CLOCK)   ;
        AND     MSTAT      ;
        ADD     A,030H      ;
        LD      (HL),A      ;
        INC     HL          ;
        IN      A,(CLOCK)   ;
        AND     MSTAT      ;
        ADD     A,030H      ;
        LD      (HL),A      ;
        INC     HL          ;
        RET

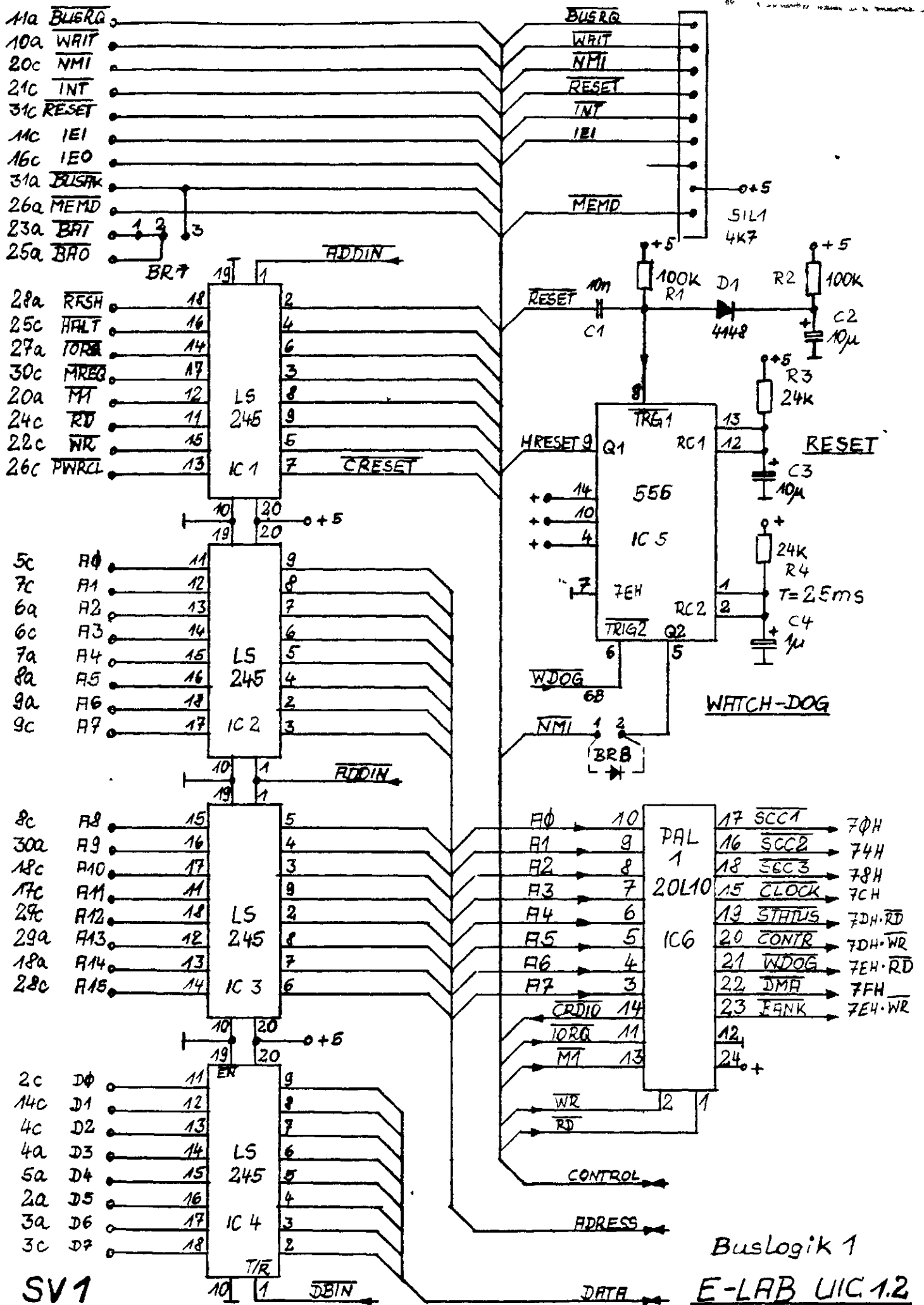
READ:   LD      HL,DATANT   ;
        LD      B,8         ;
READ1:  LD      A,B         ;
        DEC     A           ;
        CALL    READI      ;
        DJNZ   READ1      ;
        RET

SETI:   EX      AF,AF'      ;
        CALL    WAIT      ;
        EX      AF,AF'      ;
        OUT     (CLOCK),A   ;
        LD      A,(HL)      ;
        OUT     (CLOCK),A   ;
        INC     HL          ;
        LD      A,(HL)      ;
        OUT     (CLOCK),A   ;
        INC     HL          ;
        RET

SET T:  LD      HL,DATAIN   ;
        LD      B,8         ;
SET_T1: LD      A,B         ;
        DEC     A           ;
        CALL    SETI      ;
        DJNZ   SET_T1     ;
        RET

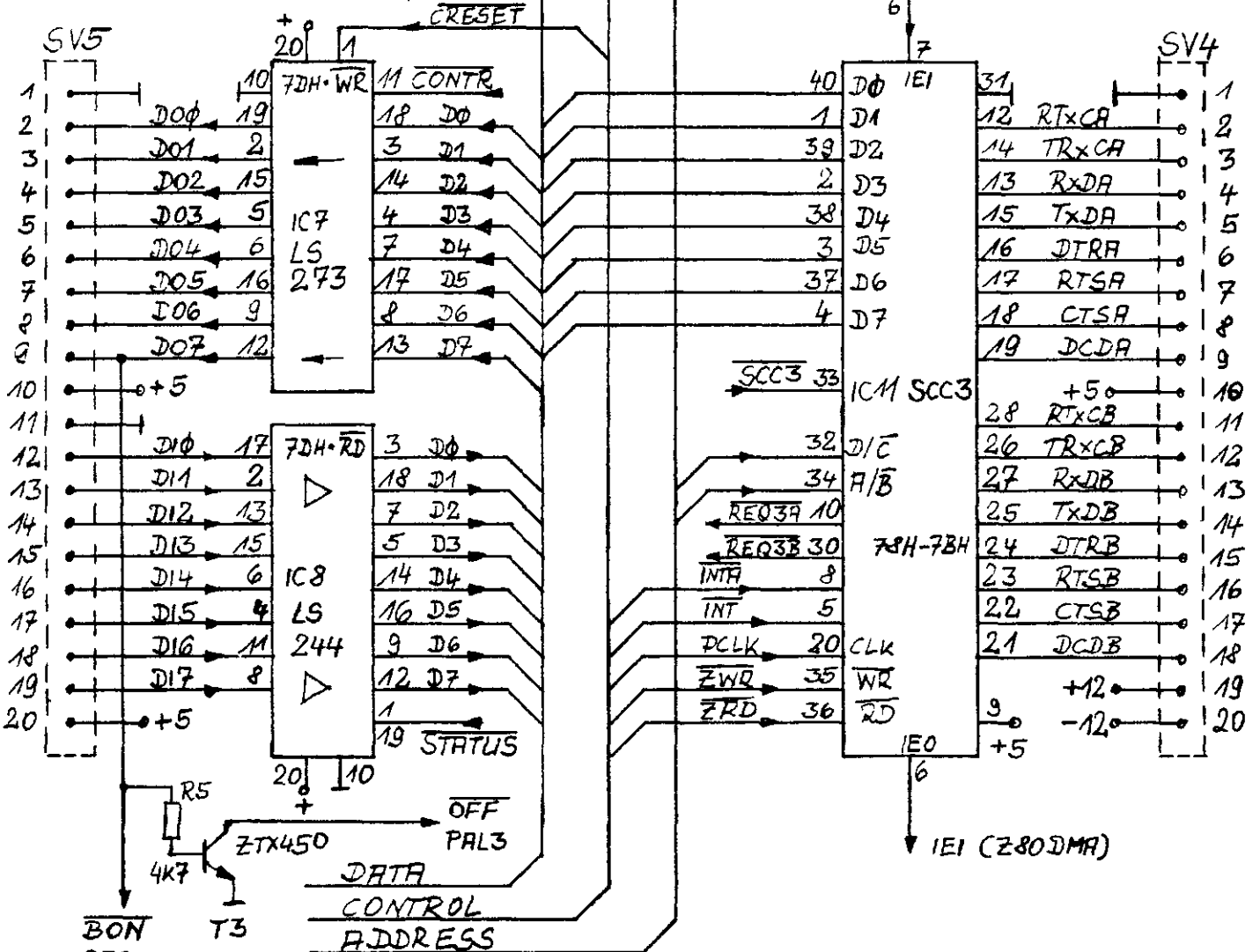
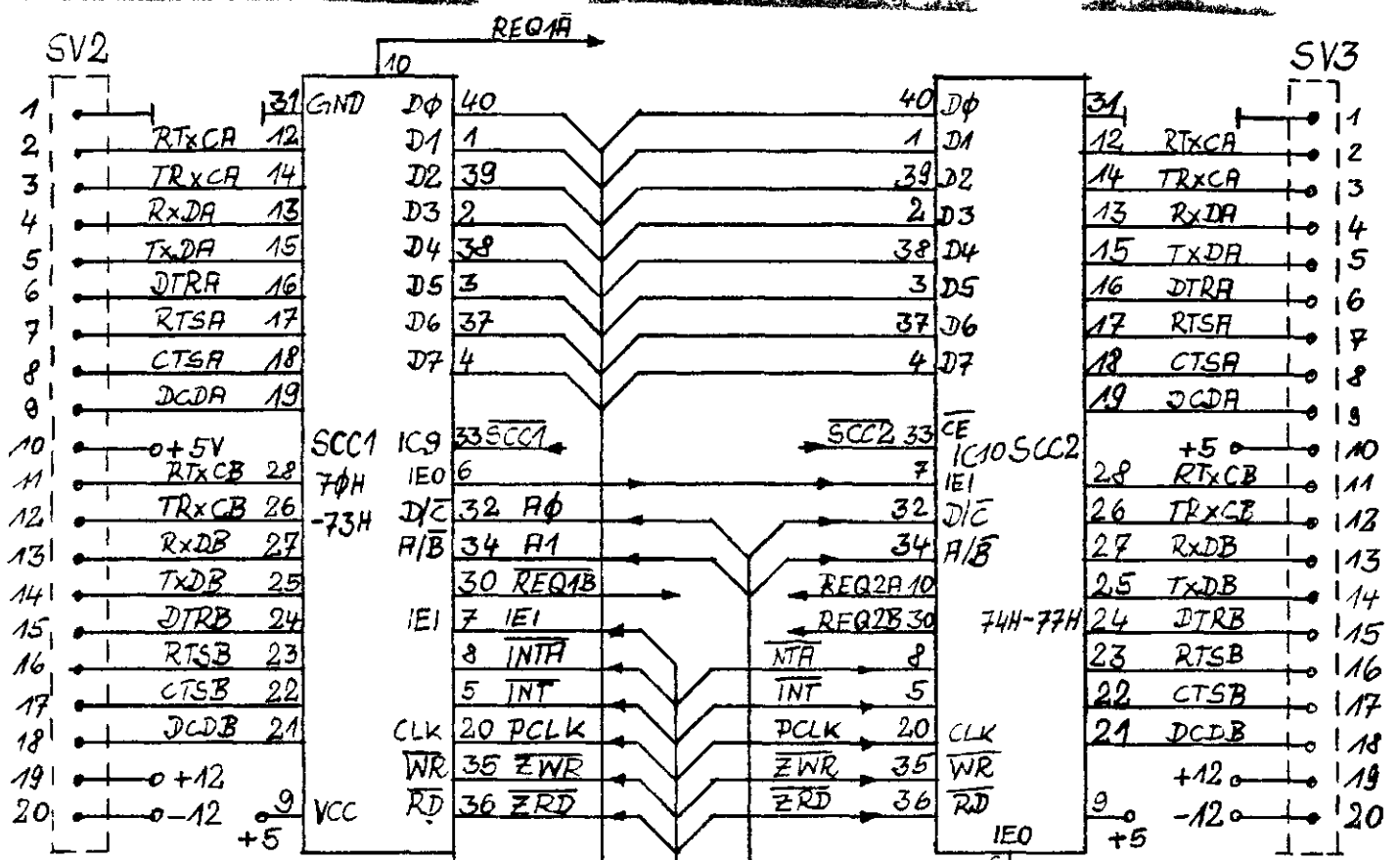
        END

```



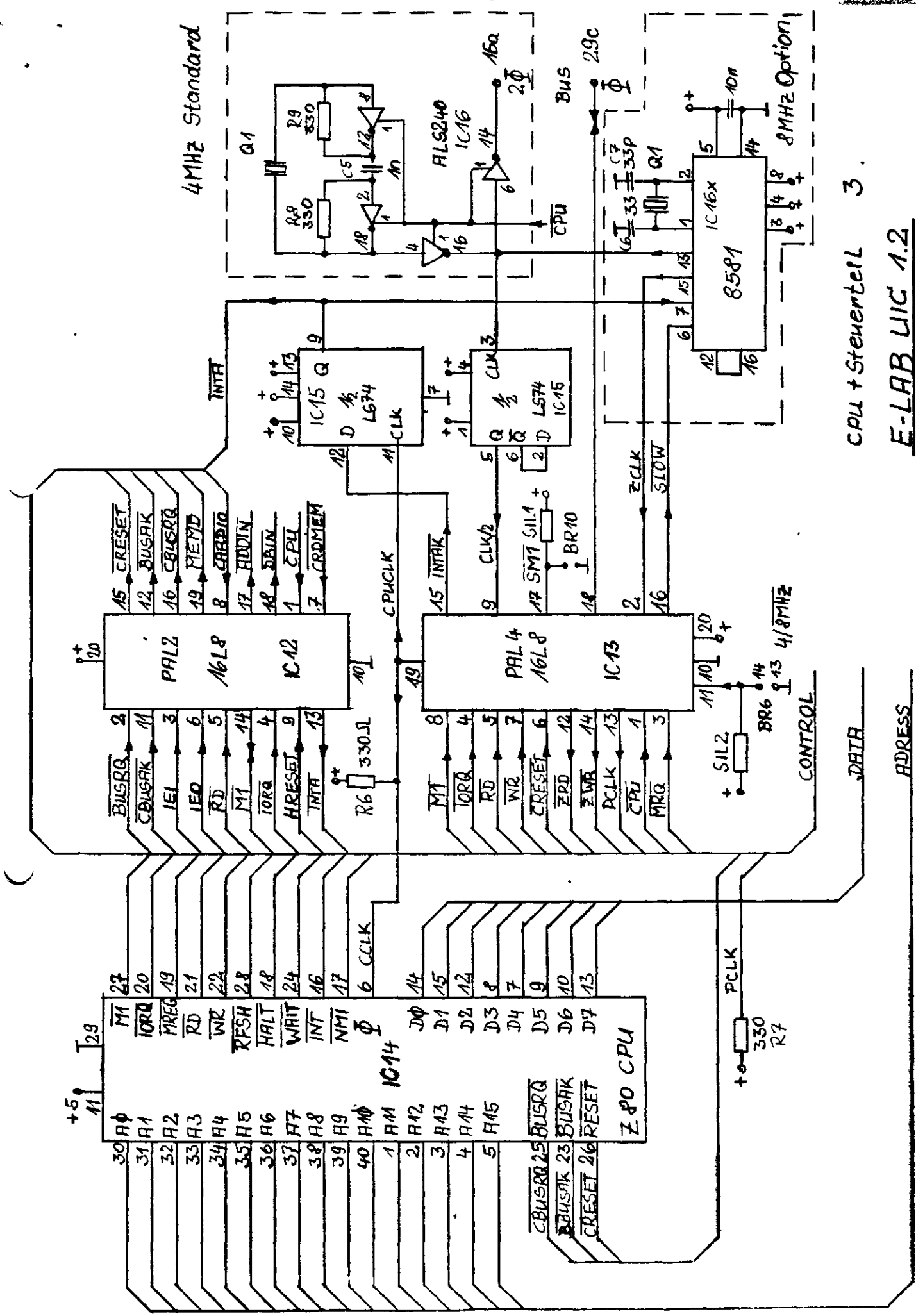
Buslogik 1
E-LAB UIC.12

SV 1



BON 2764

E-LAB UIC 1.2



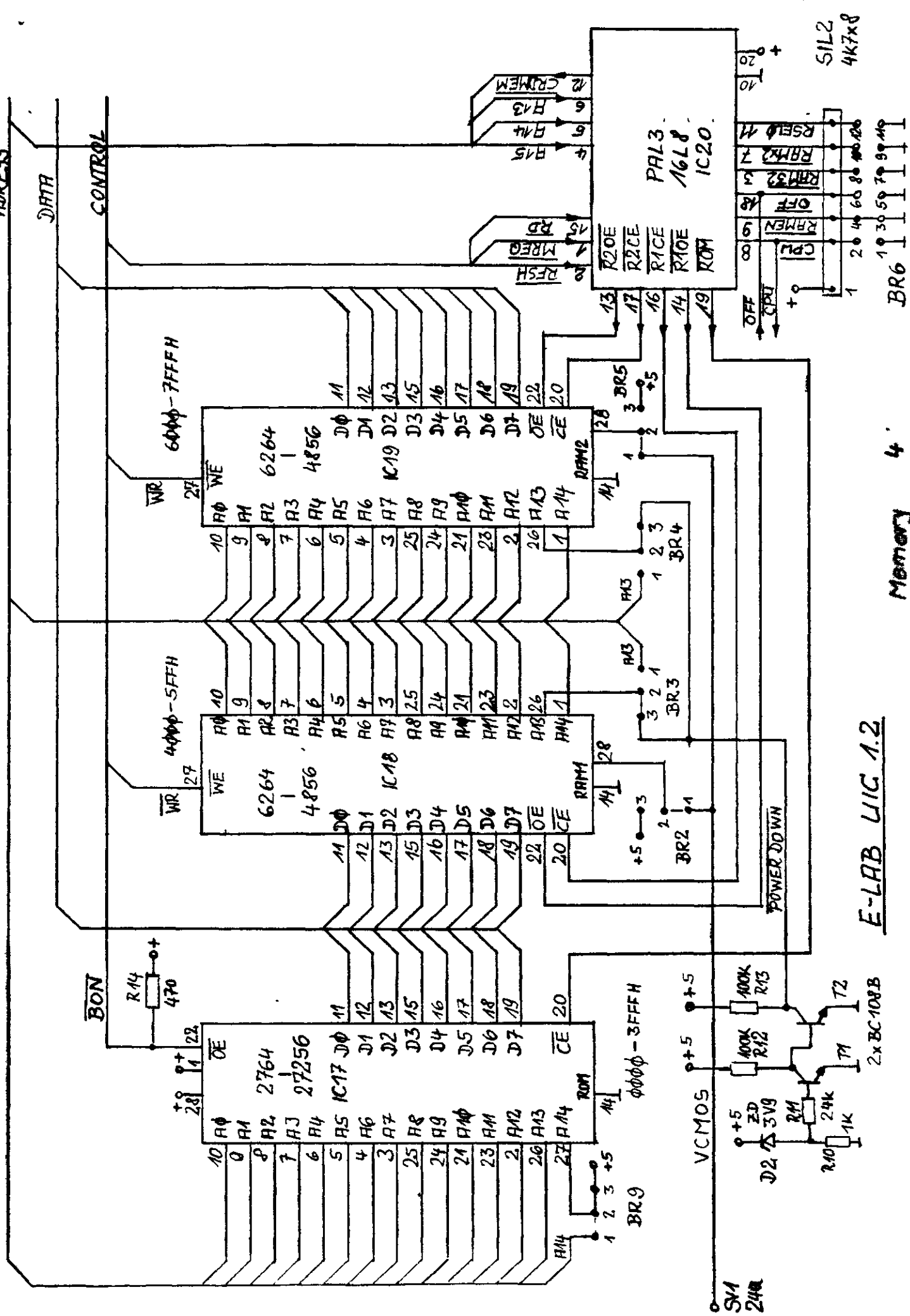
CPU + Steuerenteil 3.

E-LAB UIC 1.2

ADDRESS

DATA

CONTROL



SIL2
4K7x8

Memory

E-LAB UIC 1.2

2x BC108B

BR6

BR9

BR2

BR3

BR4

BR5

BR1

BR7

BR8

BR10

BR11

BR12

BR13

BR14

BR15

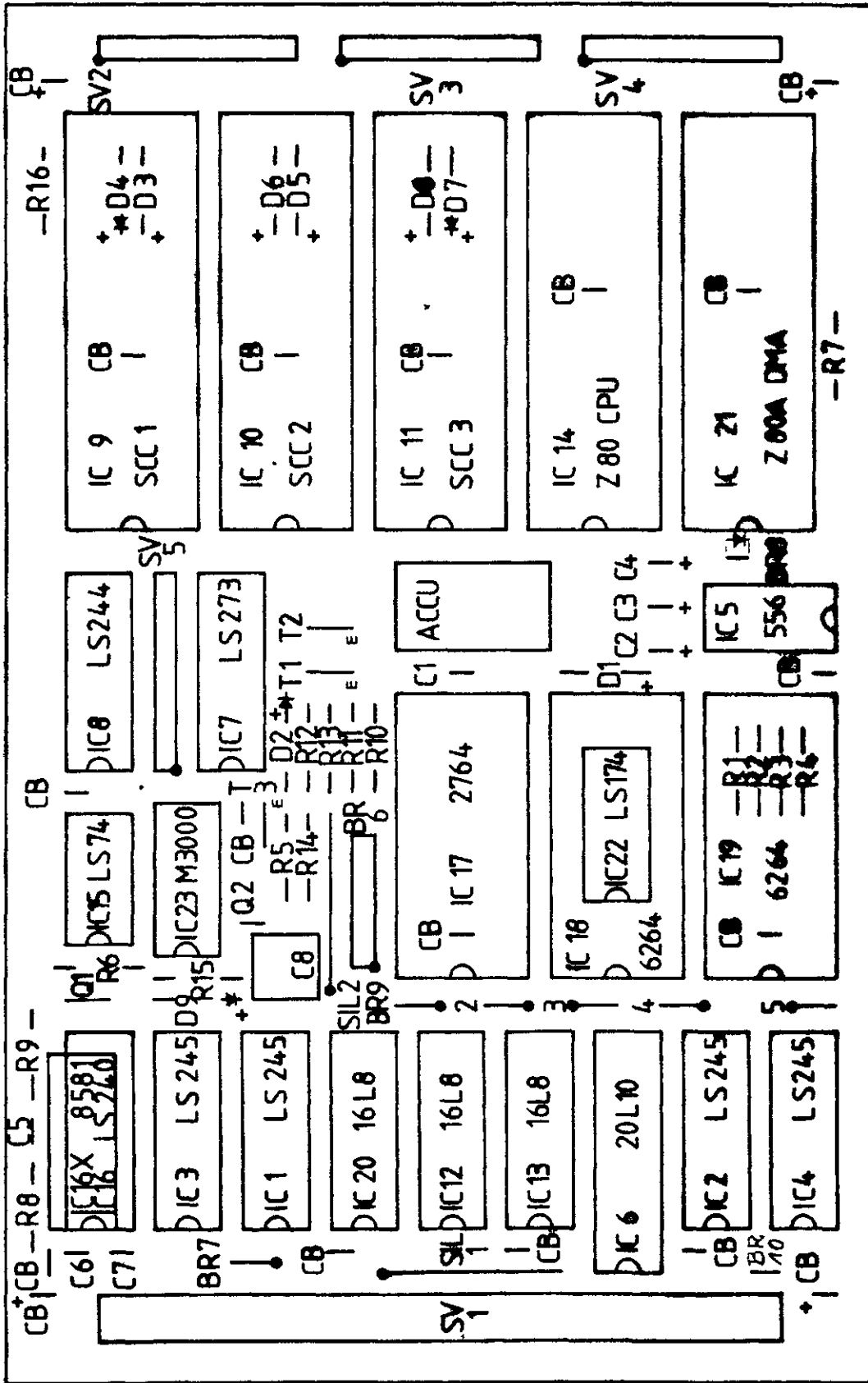
BR16

BR17

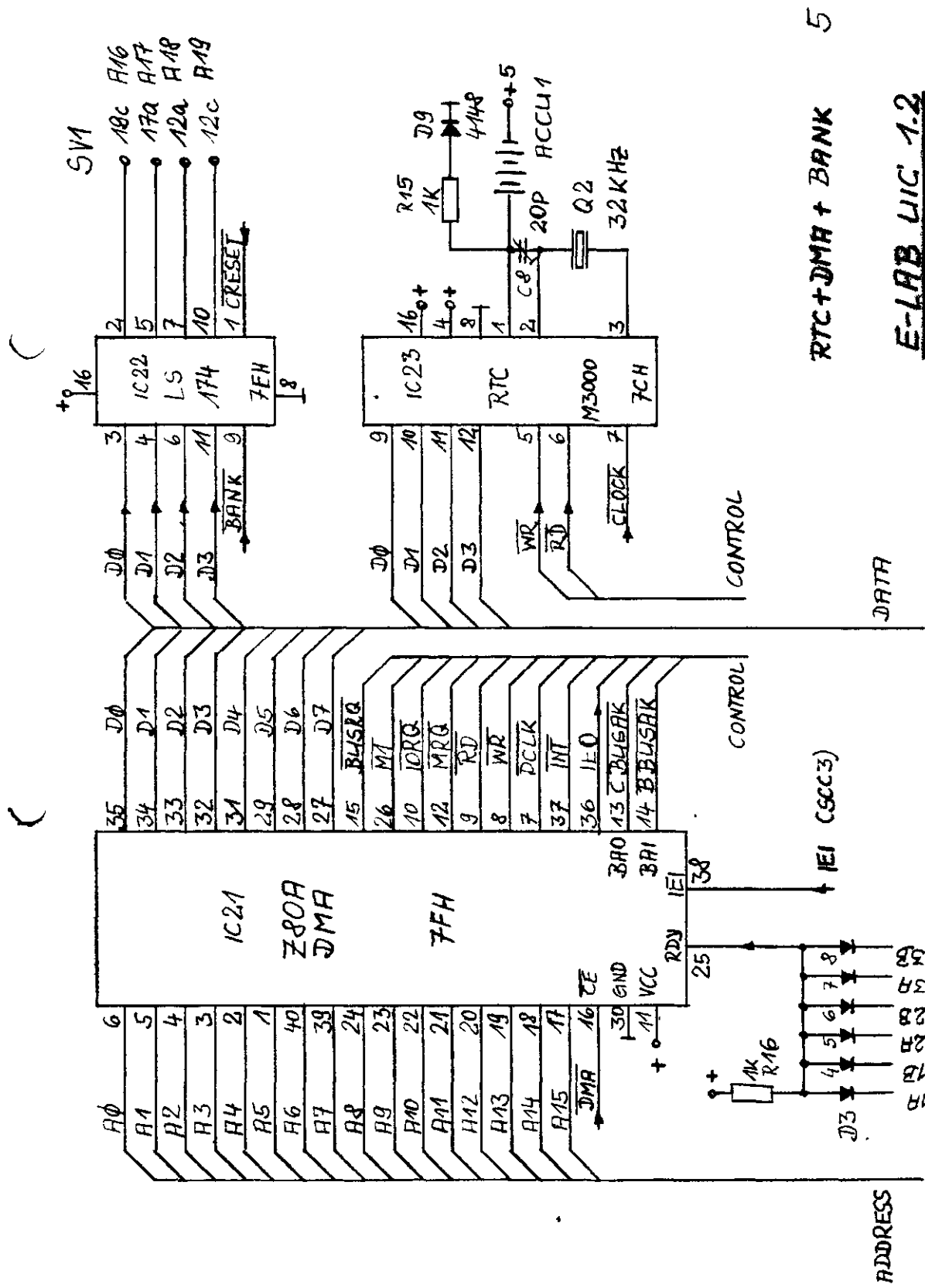
BR18

BR19

BR20



BS-PLAN UKC 1.2 E-LRB



RTC+DMA + BANK 5

E-LAB LIC 1.2