

Technisches Handbuch: ULTRA/8 für GENIE IIIs

Vorwort:

=====

Die Zusatzkarte ULTRA/8 zum GENIE IIIs ist eine in 1/60" Feinleitertechnik gefertigte Platine im Format 325x110 mm. Sie kann in SLOT 5 des GENIE III s eingesteckt werden ( von vorn gesehen der erste Slot von RECHTS ). Auf der Karte befinden sich neben einem Z-80-H Prozessor mit 64 kByte RAM-Speicher 9 programmierbare Timer ( NEC 8253 ) wovon 8 über Open-Collector Treiber auf einen 20-pol. Pfostenstecker gelegt sind. Der neunte Timer kann als Interruptgeber für die ULTRA/8 CPU verwendet werden. 8 Eingangskanäle mit TTL-Pegel können über den Stecker mit der Karte verbunden werden, wobei eine HIGH -> LOW Flanke je einen 16-Bit LAP-Counter triggert, den Kanal bis zum Service sperrt und ein Service-Bit setzt. Die Kommunikation der beiden Prozessoren auf der ULTRA/8 und dem GENIE IIIs wird über zwei 8 Bit Kanäle mit je 4 Hand-Shake Leitungen abgewickelt ( 2xNEC 8255 ). Darüberhinaus werden über einen weiteren 8255 die Timer freigegeben, die Service-Bits gelesen und eine Taktauswahl für die Timer und den LAP-Counter ermöglicht.

Der Einsatzbereich der Karte reicht von einfachen Steuerungen bis zu komplexen Messaufgaben mit echtem 2 Prozessorbetrieb.

Die technischen Daten und eine genaue Beschreibung der Hardware entnehmen Sie bitte den folgenden Seiten.

Lageplan: ULTRA/8

=====

PRE

Passive Bauteile: ULTRA/8 für GENIE IIIs

Wertordnung

=====

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
33 Ohm	11	R 21 - 31
330 Ohm	1	R 18
1 kOhm	10	R 1, R 10 - 17, R 20
10 kOhm	8	R 2 - R 9
1.5 kOhm	1	R 19

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
470 pF	1	C 1
100 nF	50	C 2 - 51

Quarze:	Anzahl:	Bauteilname:
-----	-----	-----
16.00 MHz	1	Q 1

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
20 polig	1	S 1
VG, 64 pol.a+c	1	VG 1

Passive Bauteile: ULTRA/8 für GENIE IIIs

Rangordnung

=====

Bauteilname:

Widerstand:

R 1	1	kOhm
R 2 - R 9	10	kOhm
R 10 - R 17	1	kOhm
R 18	330	Ohm
R 19	1.5	kOhm
R 20	.1	kOhm
R 21 - 31	33	Ohm

Bauteilname:

Kapazität:

C 1	470	pF
C 2 - 51	100	nF

Bauteilname:

Bezeichnung:

Q 1	Quarz, 16.00 MHz
-----	------------------

Bauteilname:

Bezeichnung:

S 1	Steckerleiste, 20 polig
VG 1	Steckerleiste, VG 64 pol., a+c

Aktive Bauteile: ULTRA/8 für GENIE IIIs  
 =====

Wertordnung

<u>TTL Baustein:</u>	<u>Anzahl:</u>	<u>Bauteilname:</u>
74 LS 00	2	U 24, U 31
74 S 04	1	U 17
74 07	2	U 12 - 13
74 LS 11	1	U 28
74 LS 27	1	U 25
74 LS 32	4	U 14, U 27, U 29 - 30
74 LS 74	4	U 6 - 9
74 S 74	1	U 23
74 LS 125	1	U 37
74 LS 132	2	U 10 - 11
74 LS 138	2	U 4 - 5
74 LS 139	1	U 26
74 LS 153	2	U 15 - 16
74 S 157	2	U 38 - 39
74 LS 244	4	U 1, U 22, U 33 - 34
74 LS 245	3	U 19 - 20, U 32
74 LS 273	1	U 21
74 LS 367	2	U 35 - 36
74 LS 374	16	L 0 - 15
74 LS 393	3	U 2 - 3, U 18

8 - 01  
 81 8  
 81 8  
 05 7  
 15 8

<u>Sonder IC'S:</u>	<u>Anzahl:</u>	<u>Bauteilname:</u>
Z-80-H CPU	1	BIG 7
8253-2 NEC	3	BIG 1 - 3
8255-2 NEC	3	BIG 4 - 6
NEC D 4164 C - 3	8	M 1 - 8

Aktive Bauteile: ULTRA/B für GENIE IIIs

Rangordnung

=====

Bauteilname:

Bezeichnung:

Bauteilname:	Bezeichnung:
U 1	TTL, 74 LS 244
U 2 - 3	TTL, 74 LS 393
U 4 - 5	TTL, 74 LS 138
U 6 - 9	TTL, 74 LS 74
U 10 - 11	TTL, 74 LS 132
U 12 - 13	TTL, 74 07
U 14	TTL, 74 LS 32
U 15 - 16	TTL, 74 LS 153
U 17	TTL, 74 S 04
U 18	TTL, 74 LS 393
U 19 - 20	TTL, 74 LS 245
U 21	TTL, 74 LS 273
U 22	TTL, 74 LS 244
U 23	TTL, 74 S 74
U 24	TTL, 74 LS 00
U 25	TTL, 74 LS 27
U 26	TTL, 74 LS 139
U 27	TTL, 74 LS 32
U 28	TTL, 74 LS 11
U 29 - 30	TTL, 74 LS 32
U 31	TTL, 74 LS 00
U 32	TTL, 74 LS 245
U 33 - 34	TTL, 74 LS 244
U 35 - 36	TTL, 74 LS 367
U 37	TTL, 74 LS 125
U 38 - 39	TTL, 74 S 157
L 00 - 15	TTL, 74 LS 374

Bauteilname:

Bezeichnung:

BIG 1 - 3	NEC, 8253-2
BIG 4 - 6	NEC, 8255-2
BIG 7	Z-80-H CPU
M 1 - 8	NEC D 4164 C - 3

Pinbelegung der Steckverbinder: ULTRA/8

Stecker: S 1

Dieser Stecker dient zum Anschluß von bis zu 8 Open-Collector Ein- und Ausgängen mit 5 Volt TTL-Pegel.

20            11  
.....  
+.....  
1            10

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:	Pin:	Belegung:
1	Ausgang 0, PU1	20	+ 5 Volt , 50 mA
2	Ausgang 1, PU1	19	+ 5 Volt , 50 mA
3	Ausgang 2, PU1	18	Eingang 7, PU2
4	Ausgang 3, PU1	17	Eingang 6, PU2
5	Ausgang 4, PU1	16	Eingang 5, PU2
6	Ausgang 5, PU1	15	Eingang 4, PU2
7	Ausgang 6, PU1	14	Eingang 3, PU2
8	Ausgang 7, PU1	13	Eingang 2, PU2
9	Masse	12	Eingang 1, PU2
10	Masse	11	Eingang 0, PU2

Erklärungen zu den einzelnen Signalen entnehmen Sie bitte den folgenden Seiten.

Es gilt: PU1 => Die Ausgänge (Open-Collector) sind mit 10 kOhm nach +5 Volt gezogen.

PU2 => Die Eingänge (TTL-Pegel) sind mit 1 kOhm nach +5 Volt gezogen.

Für den unteren DB 25 Stecker an der GENIE IIIs Rückwand ergibt sich folgende Pinbelegung:

13            1  
.....  
.....  
25            14

Die Pins 11 - 13 und 23 - 25 sind nicht belegt.

Pin:	Belegung:	Pin:	Belegung:
1	Ausgang 0	14	+ 5 Volt , 50 mA
2	Ausgang 1	15	+ 5 Volt , 50 mA
3	Ausgang 2	16	Eingang 7
4	Ausgang 3	17	Eingang 6
5	Ausgang 4	18	Eingang 5
6	Ausgang 5	19	Eingang 4
7	Ausgang 6	20	Eingang 3
8	Ausgang 7	21	Eingang 2
9	Masse	22	Eingang 1
10	Masse	23	Eingang 0

## Belegung der I/O-Ports: ULTRA/8

Innerhalb der Karte werden 36 vollständig dekodierte z-80 Ports (I/O) benötigt, wobei darüberhinaus noch 5 Ports für das GENIE IIIs bereitgestellt werden. Eine genaue Bestimmung der Adressen und eine Beschreibung der Funktionen finden Sie auf den folgenden Seiten.

<u>L.Nr.</u>	<u>Adre.: Hex, Dez</u>	<u>Kurzbeschreibung</u>
1	0C-0F, 012-015	U/8 Kommunikation => IIIs
2	10-13, 016-019	U/8 Service, Gate, Clock
3	14-17, 020-023	U/8 Timer, Ausgang 0 - 2
4	18-1B, 024-027	U/8 Timer, Ausgang 3 - 5
5	1C-1F, 028-031	U/8 Timer, Ausgang 6 - 7, Interrupt
6	20-2F, 032-047	U/8 LAP-Counter Latches
7	DC-DF, 220-223	IIIs Kommunikation => ULTRA/8
8	F5 , 245	IIIs Steuerport

### Die Beschreibung der Ports im Einzelnen:

- Über die Ports 0C-0F, 012-015 wird die I/O-Kommunikation mit dem GENIE IIIs abgewickelt und gegebenenfalls ein NMI auf das GENIE IIIs abgegeben. Bitte beachten Sie auch Punkt 7. An den Ports ist ein Baustein NEC 8255-2 angeschlossen, für den folgende Belegung gilt:

Port 0C, 012 => 8255-2, Kanal A, auf OUTPUT einstellen.  
Port 0D, 013 => 8255-2, Kanal B, auf INPUT einstellen.  
Port 0E, 014 => 8255-2, Kanal C, Lower Half auf INPUT,  
Upper Half auf OUTPUT  
Port 0F, 015 => 8255-2, Command-Register

### ACHTUNG:

Der Kanal A ist 1:1 mit Kanal B von Port DD, 221 verbunden.  
Der Kanal B ist 1:1 mit Kanal A von Port DC, 220 verbunden.  
Der Kanal C ist 1:1 mit Kanal C von Port DE, 222 verbunden.

Damit es nicht zu Kurzschlüssen kommt, ist die angegebene Initialisierung der Ports 0C-0F, 012-015 beziehungsweise der Ports DC-DF, 220-223 (Punkt 7) wie angegeben durchzuführen.

```
I82551 LD A,83H ;Kanal A=OUT, B=IN, C/LO=IN, C/UP=OUT
      OUT (0FH),A ;Wert zum Command-Register
      RET ;Zurück zum Hauptprogramm
```

Mit BIT 7 von Port OE, 014 kann auf die IIIs CPU ein Interrupt (NMI) gelegt werden, wenn im Steuerport F5, 245 das BIT 5 auf HIGH gelegt ist (siehe Punkt 8). Dabei gilt:

BIT 7, OE : BIT 5, F5 : NMI am IIIs

LOW	:	LOW	:	HIGH
HIGH	:	LOW	:	HIGH
LOW	:	HIGH	:	HIGH
HIGH	:	HIGH	:	LOW

Aus dieser Tabelle folgt, daß mit BIT 5 von Port F5, 245 ein NMI von der ULTRA/8 auf den IIIs unterbunden werden kann.

2. über die Ports 10-13, 016-019 können alle internen Status und Steuersignale über einen weiteren NEC 8255-2 gelesen und geschrieben werden. Es ist darauf zu achten, daß die angegebene Initialisierung durchgeführt wird. Für die Belegung gilt:

Port 10, 016 => 8255-2, Kanal A, auf OUTPUT einstellen.

Port 11, 017 => 8255-2, Kanal B, auf INPUT einstellen.

Port 12, 018 => 8255-2, Kanal C, auf OUTPUT einstellen.

Port 13, 019 => 8255-2, Command-Register

```

I82550 LD A,82H ;Kanal A=OUT, B=IN, C=OUT
      OUT (13H),A ;Wert zum Command-Register
      RET ;Zurück zum Hauptprogramm
  
```

Für die Funktion der Ports ergibt sich folgendes :

Port 10, 016:

Die BITS 0 - 7 sind direkt an die GATE-Eingänge der Timer 8253 angeschlossen (siehe auch Punkt 3 - 5).

Port 11, 017:

Die BITS 0 - 7 sind über Zwischenspeicher indirekt mit den Eingängen des Steckers S1 verbunden. Das heißt, wenn an einem Eingang von S1 eine HIGH=>LOW Flanke auftritt, wird diese in einem Flip - Flop zwischengespeichert und am Port 11, 017 durch einen HIGH-Pegel angezeigt. Gleichzeitig wird der Wert des LAP-Counters in 2 zum Eingang gehörige LAP-Latches übernommen (16 Bit). Bis zum Service (lesen der zugehörigen LAP-Latches) wird der Eingang gesperrt. Das Lesen der LAP-Latches (siehe Punkt 6) setzt den HIGH-Pegel zurück und gibt den Eingang wieder frei.

Port 12, 018:

Mit den BITS 0 - 2 und 4 - 6 werden die Grundfrequenzen des LAP Counters und der Timer eingestellt (siehe Tabelle).



Für die Frequenzen ergibt sich folgende BIT-Zuweisung:

Timer/BIT				:	LAP-Counter/BIT			
6	5	4	Frequenz	2	1	0	Frequenz	
0	0	0	8.0 MHz	0	0	0	8.0 MHz <i>1/1</i>	
0	0	1	4.0 MHz	0	0	1	4.0 MHz <i>1/2</i>	
0	1	0	2.0 MHz	0	1	0	2.0 MHz <i>1/4</i>	
0	1	1	1.0 MHz	0	1	1	1.0 MHz <i>1/8</i>	
1	0	0	500 KHz	1	0	0	500 KHz <i>1/16</i>	
1	0	1	250 KHz	1	0	1	250 KHz <i>1/32</i>	
1	1	0	125 KHz	1	1	0	125 KHz <i>1/64</i>	
1	1	1	62.5 KHz	1	1	1	62.5 KHz <i>1/128</i>	

Für BIT 3 gilt:

BIT 3 = LOW => Der LAP-Counter ist freigegeben und zählt.

BIT 3 = HIGH => Der LAP-Counter ist gesperrt und NULL gesetzt.

Für BIT 7 gilt: (siehe auch Memory Abschnitt)

BIT 7 = LOW => Der IIS kann die unteren 32 kByte des ULTRA/8 Speichers lesen (0000 - 7FFF, 00000 - 32767).

BIT 7 = HIGH => Der IIS kann die oberen 32 kByte des ULTRA/8 Speichers lesen (8000 - FFFF, 32768 - 65535).