

# **jk82 PIO-WRAP**

## **Technische Beschreibung**

Bestellnummer:

404.014230.000 6 jk82 PIO-WRAP (6MHz)

Ihr Ansprechpartner:

## Inhaltsverzeichnis

1.	Allgemeine Eigenschaften der jk82 PIO-WRAP-Platine .....	3
1.1	Unterschiede zur Revision 1.2 .....	3
2.	IEI/IEO-Daisy-Chain.....	4
3.	Steckerbelegungen.....	4
3.1	Steckerbelegungen der parallelen Ports.....	4
3.2	Belegung der optionalen 64pol. Leisten.....	5
3.3	Stromversorgung für das WRAP-Feld .....	5
4.	Dil-Schaltereinstellung .....	6
4.1	Adreßeinstellung der I/O-Ports .....	6
4.2	BAI/BAO-Daisy-Chain.....	6
4.3	Standardeinstellung .....	7
5.	Busbelegung.....	7
6.	Pull-Up-Widerstände.....	8
7.	Stückliste .....	8
8.	Bestückungsplan .....	9
9.	Schaltplan .....	10

## 1. Allgemeine Eigenschaften der jk82 PIO-WRAP-Platine

Die jk82 PIO-Wrap-Platine enthält 4 Z80B PIOs, die komplette Bussteuerlogik für den jk82 Systembus und ein Lochrasterfeld zum Aufbau von speziellen Anwenderschaltungen.

Die technischen Daten der PIO-WRAP-Platine in Stichworten:

- **Vier Z80B PIOs**

Die PIO-Datensignale einschließlich READY und STROBE sind für jeweils beide Datenports auf 26polige Pfostenstecker geführt. Der Einbau einer VG64-Leiste bzw. einer 64pol. Pfostenleiste für alle Datensignale ist vorgesehen.

- **Einfach-Europakarte mit ECB-kompatiblen jk82 Bus**

jk82 PIO-WRAP ist voll IM2-interruptfähig. Die Bussteuerung erlaubt eine RETI-Erkennung für die internen PIOs. IEI und IEO sind mit Look-Ahead beschaltet. Auch bei einer Teilbestückung bleibt die IEI/IEO-Daisy-Chain voll erhalten.

- **Stromverbrauch bei 6MHz typisch 220mA auf 5V.**

- **Lochrasterfeld im 2,54mm-Raster**

Ausnutzbare Fläche: 39x12(13) Rasterpunkte mit 1,0mm Bohrungen.

### 1.1 Unterschiede zur Revision 1.2

- Die Bestückung mit einer zusätzlichen 64pol. Pfostenleiste bzw. VG64-Leiste, die dann die Datensignale von allen vier PIOs bereitstellt, ist vorgesehen. Wurde eine ältere Revision mit einer zusätzlichen VG64-Leiste bestückt, so war diese nicht beschaltet.
- Es besteht die Möglichkeit alle Datensignale mit Pull-Up-Widerständen (SILs) zu versehen.

## 2. IEI/IEO-Daisy-Chain

Die vier Vector-Interrupt-fähigen PIOs sind in einer Daisy-Chain priorisiert. Die Daisy-Chain ist mit einer Carry-Look-Ahead-Logik beschaltet, so da die gesamte Durchlaufverzögerung im Bereich von 10-20ns liegt.

Die Priorisierung geschieht in folgender Reihenfolge:

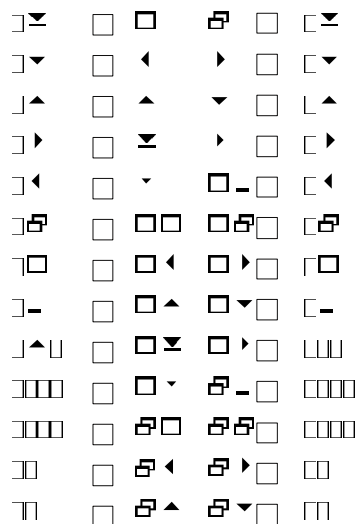


Durch Pull-Up-Widerstände von IEO der PIO1, PIO2 und PIO3 ist eine einwandfreie Funktion der Daisy-Chain auch dann gewährleistet, wenn nicht alle 4 PIOs bestückt werden. Auf PIO 0 kann jedoch nicht verzichtet werden, da sonst die Daisy-Chain unterbrochen wird! PIO1, PIO2 oder PIO3 können beliebig weggelassen werden.

## 3. Steckerbelegungen

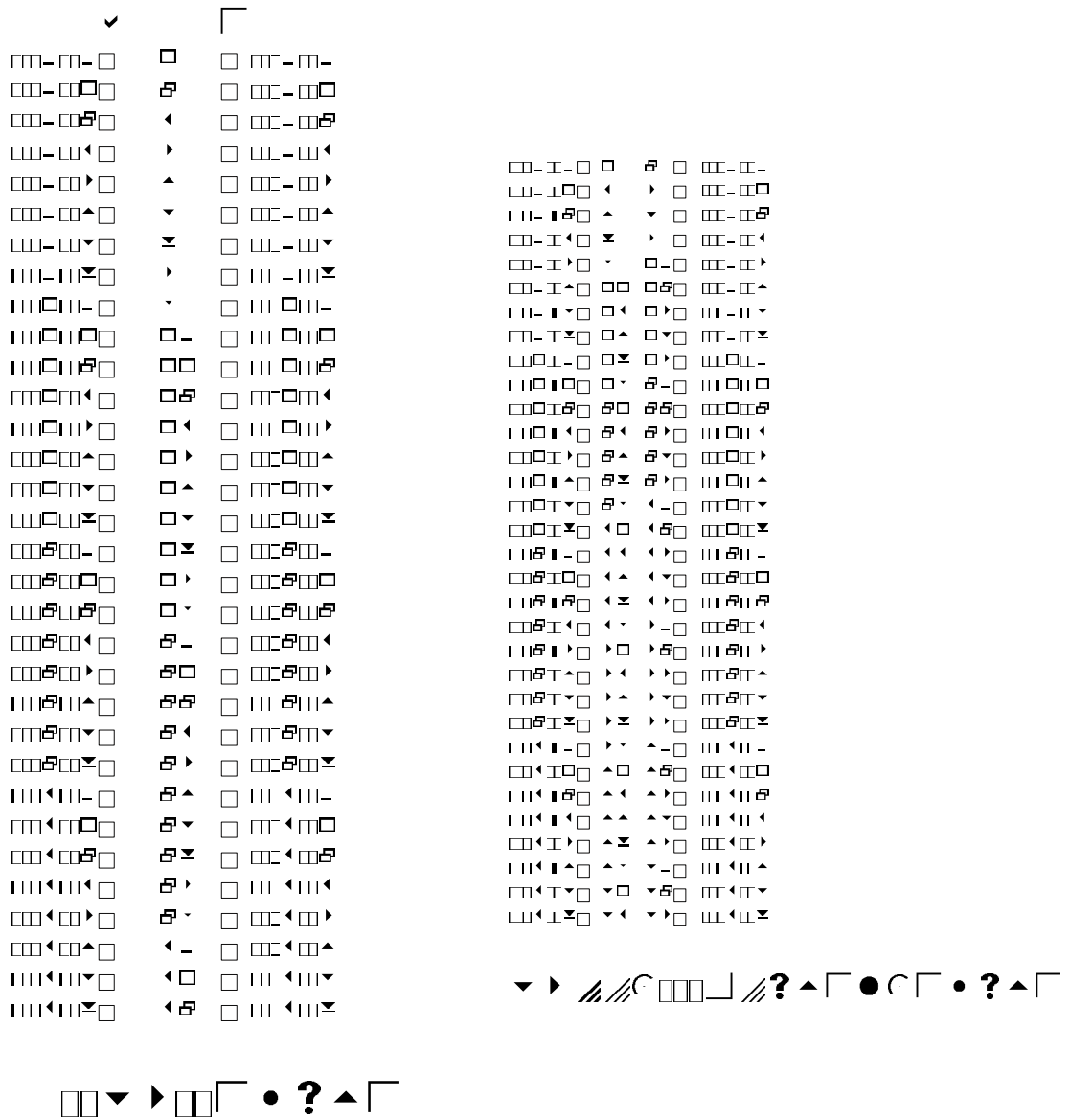
### 3.1 Steckerbelegungen der parallelen Ports

Jeder PIO ist ein 26poliger Pfostenstecker (S2-S5) mit folgender Belegung zugeordnet:



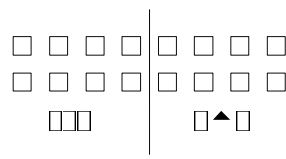
### 3.2 Belegung der optionalen 64pol. Leisten

Alle 64 Datensignale können optional über eine VG64- oder 64pol. Pfostenleiste abgegriffen werden (S6). Diese Leisten besitzen die folgende Belegung:



### 3.3 Stromversorgung für das WRAP-Feld

Zur einfacheren Verdrahtung einer Zusatzschaltung im WRAP-Feld ist eine 16pol. Pfostenreihe mit GND und +5V vorhanden (siehe auch Bestückungsdruck):



## 4. DIL-Schaltereinstellung

### 4.1 Adreeinstellung der I/O-Ports

Die jk82 PIO-WRAP-Platine belegt 16 I/O-Adressen, wobei die oberen 4 Bit der Adresse über die DIL-Schalter A4 bis A7 einstellbar sind.

Die Adrebelegung sieht folgendermaßen aus:

A7	A6	A5	A4	A3	A2	A1	A0	(Hex)	
X	X	X	X	0	0	0	0	(X0)	PIO 0 DATA Kanal A
X	X	X	X	0	0	0	1	(X1)	PIO 0 CONTROL Kanal A
X	X	X	X	0	0	1	0	(X2)	PIO 0 DATA Kanal B
X	X	X	X	0	0	1	1	(X3)	PIO 0 CONTROL Kanal B
X	X	X	X	0	1	0	0	(X4)	PIO 1 DATA Kanal A
X	X	X	X	0	1	0	1	(X5)	PIO 1 CONTROL Kanal A
X	X	X	X	0	1	1	0	(X6)	PIO 1 DATA Kanal B
X	X	X	X	0	1	1	1	(X7)	PIO 1 CONTROL Kanal B
X	X	X	X	1	0	0	0	(X8)	PIO 2 DATA Kanal A
X	X	X	X	1	0	0	1	(X9)	PIO 2 CONTROL Kanal A
X	X	X	X	1	0	1	0	(XA)	PIO 2 DATA Kanal B
X	X	X	X	1	0	1	1	(XB)	PIO 2 CONTROL Kanal B
X	X	X	X	1	1	0	0	(XC)	PIO 3 DATA Kanal A
X	X	X	X	1	1	0	1	(XD)	PIO 3 CONTROL Kanal A
X	X	X	X	1	1	1	0	(XE)	PIO 3 DATA Kanal B
X	X	X	X	1	1	1	1	(XF)	PIO 3 CONTROL Kanal B

Bei der Adreeinstellung ist zu beachten, da "ON" eine Null und "OFF" eine Eins bedeutet.

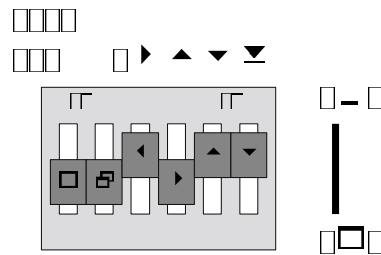
### 4.2 BAI/BAO-Daisy-Chain

Bei Verwendung eines jk82 Busses bzw. ECB-Busses (KONTRON-Belegung) und gleichzeitiger Benutzung von mehreren DMA-Bausteinen ist der DIL-Schalter 1 (BAI/BAO) zu schließen (Busacknowledge-Daisy-Chain)!

Bei anderen Bussystemen (z.B. ELZET 80) ist zu prüfen, ob diese Signale nicht anders belegt sind. Ein Schließen von Schalter 1 könnte somit zu einem Kurzschluss führen. Im Zweifel sollte der Schalter deshalb nicht geschlossen werden!

### 4.3 Standardeinstellung

Bei Auslieferung einer bestückten Platine wird der DIL-Schalter wie folgt eingestellt:



Das bedeutet:           BAI/BAO-Daisy-Chain:           offen  
                                   I/O-Basisadresse der Platine:   20H

### 5. Busbelegung

Input/Output	LS-Fan	out	in		✓	
A0	Adresse	0	—	1	—	□
A1	Adresse	1	—	1	—	□
A2	Adresse	2	—	1	—	□
A3	Adresse	3	—	1	—	□
A4	Adresse	4	—	3	—	□
A5	Adresse	5	—	3	—	□
A6	Adresse	6	—	3	—	□
A7	Adresse	7	—	3	—	□
D0	Data 0	60	—	1	—	□
D1	Data 1	60	—	1	—	□
D2	Data 2	60	—	1	—	□
D3	Data 3	60	—	1	—	□
D4	Data 4	60	—	1	—	□
D5	Data 5	60	—	1	—	□
D6	Data 6	60	—	1	—	□
D7	Data 7	60	—	1	—	□
$\overline{IORQ}$	I/O Request	—	—	1	—	□
$\overline{RD}$	Read	—	—	1	—	□
$\overline{M1}$	Maschinenzyklus 1	—	—	1	—	□
CLK	Clock	—	4	—	—	□
$\overline{PWCLR}$	Power on clear	—	—	1	—	□
$\overline{INT}$	Interrupt	3,2mA	—	—	—	□
IEI	Int. Enable in	—	3	—	—	□
IEO	Int. Enable out	19	—	—	—	□
$\overline{BAI}$	Busacknowledge in	—	—	—	—	□
$\overline{BAO}$	Busacknowledge out	—	—	—	—	□

## 6. Pull-Up-Widerstände

Es besteht die Möglichkeit alle Datensignale der PIOs mit Pull-Up-Widerständen zu versehen. Hierfür sind SILs (Widerstands-Netzwerke) mit 8 Widerständen zu verwenden. Der Wert sollte in der Regel zwischen  $1k\Omega$  und  $10k\Omega$  liegen. Es gilt die folgende Zuordnung:

RN1	-	PIO 0	B0-B7
RN2	-	PIO 0	A0-A7
RN3	-	PIO 1	B0-B7
RN4	-	PIO 1	A0-A7
RN5	-	PIO 2	B0-B7
RN6	-	PIO 2	A0-A7
RN7	-	PIO 3	B0-B7
RN8	-	PIO 3	A0-A7

## 7. Stückliste

1	IC1	602.007485.000 6	74LS85	4-Bit Vergleicher
1	IC2	602.074139.000 6	74LS139	2 zu 4 Binärdekoder
1	IC3	602.007421.000 8	74LS21	2 vierfach AND-Gatter
1	IC4	602.007408.000 2	74LS08	4 zweifach AND-Gatter
1	IC5	602.007427.000 6	74LS27	3 dreifach NOR-Gatter
1	IC6	602.074243.000 6	74LS243	4-Bit Bustreiber
1	IC7	602.074245.000 2	74LS245	8-Bit Bustreiber
4	IC8-IC11	641.008420.006 4	Z80B	PIO
8	R1-R8	501.472250.510 6	4k $\Omega$	Standardwiderstand 250mW 5%
2	C1,C2	552.106016.025 7	10 $\mu$ F	Tantalkondensator 16V
7	C3-C9	553.104063.025 7	100nF	Vielschichtkondensator 63V
1	S1	821.533601.000 0	VG64-Messerleiste	DIN41612 a,c
4	S2-S5	823.000026.002 0	26pol. Pfostenreihe	
1	J1	823.000016.002 4	16pol. Pfostenreihe	
1	DS1	841.161390.006 6	6facher Dilschalter	

Optionale Bestückung:

8	RN1-RN8	531.900103.000 4	SIL10k $\Omega$	
1	S6	821.533601.000 0	VG64-Messerleiste	DIN41612
	oder			
1	S6	823.000064.002 8	64pol. Pfostenreihe	