

Service Manual

Kontron
PSI Ψ 980/9800/9068/9868



V O R W O R T

Aufbauend auf die Erfahrungen, die im eigenen Hause gesammelt werden konnten, wurde ein Handbuch geschaffen, das allen Interessierten die Möglichkeit bietet, sich schnell und effizient mit der Technik und dem Service der Systeme Kontron PSI 980/9800/9068/9868 vertraut zu machen.

Ergänzend zu diesem Manual bietet Kontron zur schnelleren Einarbeitung in die beschriebenen Systeme Servicekurse an - fragen Sie uns!

Wichtige Hinweise:

Kontron behält sich technische Änderungen vor, dies beinhaltet auch den Austausch von kompletten Bau- bzw. Funktionsgruppen.

Nicht alle in diesem Manual beschriebenen Baugruppen sind in allen Systemkonfigurationen enthalten.

Diese Beschreibungen sind keine Spezifikationen.

Dieses Manual wurde mit größter Sorgfalt erstellt. Kontron übernimmt jedoch keine Verantwortung für Fehler, die in diesem Handbuch bei technischen Beschreibungen, Zeichnungen oder Fotografien der Produkte auftreten können.

Bei nicht autorisierten Änderungen bzw. Eingriffen in das System erlischt jede Gewährleistung!

Mit freundlichen Grüßen
Kontron Elektronik GmbH
Abt. Schulung und Dokumentation

Breslauer Straße 2
8057 Eching bei München

Tel. 089/31901-320
Telex 522 122



Handhabung des Manuals

Um dem Anwender die Orientierung in diesem Handbuch zu erleichtern, wurde der Aufbau nach Registern gewählt....

Dabei sind unter den entsprechenden Registerpunkten folgende Kapitel zu finden:

1. Allgemeine Systembeschreibungen mit Hinweisen und dem Fehler eingrenzungsplan zur Fehlerlokalisierung auf Baugruppen-ebene.
2. Speichermedien Floppy-Laufwerke, Harddisk mit Controller
3. Zentralbaugruppe TCB/Z80
4. Ein-/Ausgabebaugruppe TCB/IOV
5. Bus-Systeme
6. Ergoline-Tastatur
7. Monitoreinheit 9M15
8. Netzteile
9. SUN-Boards
10. Testdebugger mit Testsoftware



1. Allgemeine Systembeschreibung

Die Systeme KONTRON PSI 980/98xx stellen moderne Arbeitsplatz-computer dar, die für kommerzielle wie für technisch-wissenschaftliche Aufgaben eingesetzt werden können.

Alle diese Systeme können entsprechend den Spezifikationen innerhalb des Kontron KOBUS-Verbundnetzes eingesetzt werden und lassen sich in ihrem Aufbau folgendermaßen charakterisieren:

1.1 Kontron PSI 980

Das System ist ein modulares Computersystem mit getrenntem 15" Bildschirm und superflacher Tastatur.

In der Computerbox sind folgende Baugruppen untergebracht:

1. TCB/Z80 (Z80-Prozessorboard)
2. TCB/IOV (Ein-/Ausgabe- und Videoboard)
3. TCB/BUS-980 (Backplain)
4. Massenspeicher:
 - bei 980Q/M2: 2 Floppy-Laufwerke je 616 kB
 - bei 980Q/W20: 1 Floppy-Laufwerk 616 kB
 - 1 Festplattenlaufwerk mit 20 MByte

Da auf der Backplain noch weitere Steckplätze vorhanden sind, kann das Gerät mit weiteren 2 ECB/TCB- und 6 ECB-Erweiterungsbaugruppen bestückt werden.

Das System ist mit einem 15" Monitor ausgestattet.



1.2 Kontron PSI 9068

Dieses System stellt ein modulares Doppelprozessor-System dar. Das Gesamtsystem besteht nur aus der Computerbox, besitzt also keinen Bildschirm und keine Tastatur.

Im einzelnen sind in der Computerbox enthalten:

1. 68000-Prozessorboard (16 Bit-Prozessorboard)
2. TCB/Z80 (Z80-Prozessorboard)
3. TCB/BUS-9000 (Backplain)
4. Massenspeicher:
 - 1 FD-Laufwerk mit 616 kByte
 - 1 Festplattenlaufwerk mit 21.8 MByte

Im Gerät befinden sich noch freie Steckplätze für folgende Platinen:

- 3 weitere ECB/TCB-Boards
- 2 Speichererweiterungsbaugruppen mit Multibus (P796)-Anschluß

1.3 Kontron PSI 9800

Dieses System ist bis auf die Backplain identisch mit dem System 980. Statt der 900-er Backplain besitzt es die 9000-er Backplain und ist somit aufrüstbar zum System Kontron PSI 9868.

Der Kontron PSI 9800 ist mit einem 15"-Bildschirm und der flachen Ergoline-Tastatur ausgestattet. Das Innenleben der Computerbox besteht aus:

1. TCB/Z80 (8 Bit Prozessorboard)
2. TCB/IOV (Eingabe/Ausgabe Videoboard)
3. TCB/BUS-9000 (Backplain)
4. Massenspeicher:
 - 2 FD-Laufwerke mit je 616 kByte
(bei Kontron PSI 9800 Q/M2)
 - bei Kontron PSI 9800Q/W20:
 - 1 FD-Laufwerk mit 616 kByte
 - 1 Festplattenlaufwerk mit 20 MByte

Das Gerät besitzt weitere Steckplätze für

- 2 ECB/TCB-Baugruppen
- 3 Multibus-(P796) Baugruppen



1.4 Kontron PSI 9868

Das System ist identisch mit dem System Kontron PSI 9068, besitzt aber als Ergänzung einen 15" Monitor sowie die flache Ergotastatur. Um den Monitor betreiben zu können ist außerdem die TCB/IOV Platine eingebaut.

Im einzelnen sind in der Computerbox folgende Komponenten enthalten:

1. 68000-Prozessorboard (16 Bit)
2. TCB/Z80 (8Bit Subprozessorboard)
3. TCB/IOV (Ein-/Ausgabe und Videoboard)
4. TCB/BUS-9000 (Backplain)
5. Massenspeicher:
 - 1 FD-Laufwerk mit 616 kByte
 - 1 Festplattenlaufwerk mit 20 MByte

Es sind noch freie Steckplätze für

- 2 weitere ECB/TCB Baugruppen
- 2 Speicher-Erweiterungsbaugruppen (P796-Multibus)

vorhanden.



1.5 Zusammenfassung

Der Ausrüstungsstand aller Geräte der Serie 980/9xxx ist in folgender Tabelle zusammengefaßt:

Komponente	980	9800	9068	9868
TCB/Z80	x	x	x	x
TCB/IOV	x	x	-	x
68000	-	-	x	x
TCB/BUS-900	x	-	-	-
TCB/BUS-9000	-	x	x	x
weitere TCB	2 *	2 *	3 **	2 *
weitere P796	-	3	2	2

* oder 6 ECB-Karten
oder 1 TCB- und 3 ECB-Karten

** z.B. 1 TCB/IOV und 6 zusätzliche ECB-Karten



Fehlereingrenzung auf Baugruppenebene

Ein Computersystem, wie das der Reihe Kontron PSI 980/9xxx, besteht aus mehreren komplexen Baugruppen, die miteinander verknüpft sind. Dadurch ergeben sich die unterschiedlichsten Beeinflussungen und nur das einwandfreie Zusammenwirken aller beteiligten Baugruppen macht einen fehlerfreien Betrieb des gesamten Systems erst möglich.

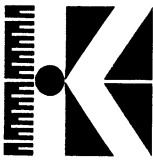
Grundsätzlich werden in diesem Manual alle Baugruppen behandelt. Allerdings werden Einschränkungen bezüglich des Umfangs der Einzelbeschreibungen gemacht.

Baugruppen, die erfahrungsgemäß häufiger ausfallen, sollen genauer betrachtet werden als solche, die in der Ausfallstatistik nur eine untergeordnete Rolle spielen. Außerdem wird nur auf solche Fehler genauer eingegangen, die sich auch mit einer normal vorhandenen Serviceausrüstung beseitigen lassen. So wird normalerweise kein sog. Clean-room zur Verfügung stehen, wie er zur Justage von Harddisklaufwerken unbedingt benötigt wird.

Die häufigsten Systemausfälle haben ihre Ursache in Fehlern bei den Floppy-Laufwerken und auf den Zentralplatinen TCB/Z80 bzw. TCB/IOV. Dies ist auch nicht weiter verwunderlich, da es sich hierbei um die komplexesten Baugruppen des Systems handelt. Besonders die Laufwerke mit ihrer hochentwickelten Feinmechanik neigen - besonders bei entsprechender "Behandlung" - zur Veränderung ihrer Einstelldaten und führen so zu Systemausfällen.

Beim Auftreten eines Störungsfalles gilt es als Erstes, den Fehler auf eine dieser Baugruppen einzuschränken. Erst dann kann die entsprechende Baugruppe einer genaueren Analyse zur Fehlereingrenzung auf Bauteileebene unterzogen werden.

Zur Lokalisierung der fehlerhaften Baugruppe hat sich die Tabelle auf der folgenden Seite als nützlich erwiesen. In der linken Spalte dieser Tabelle sind Hinweise zu Messungen bzw. Beobachtungen gegeben. In der mittleren Spalte ist der Messpunkt gegeben, der auf eine in der rechten Spalte ersichtliche Baugruppe weist, in der mit hoher Wahrscheinlichkeit der Fehler zu suchen sein wird.

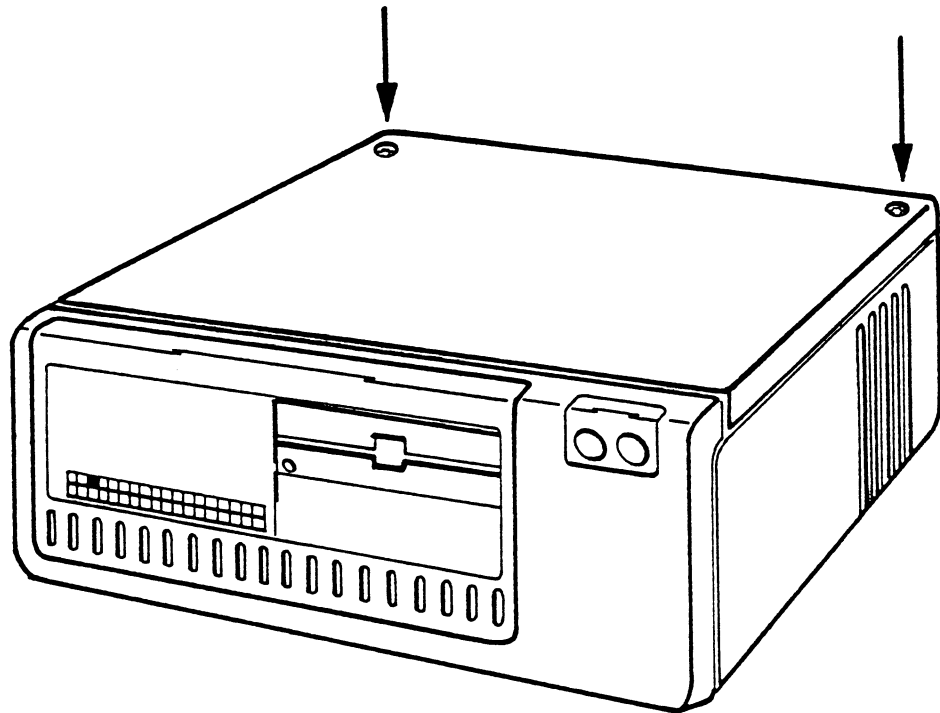


Check	Wo ?	Fehler in Baugruppe
Sind alle Spannungen vorhanden ?	Netzteil Leitungen, Bus	Netzteil, Sicherung
Erscheint eine Betriebsmeldung ?	Monitor	Monitor, TCB/Z80, TCB/IOV, Bus
Sind Daten und Strobe vorhanden ?	Tastatur	Tastatur
Können Zeichen auf den Bildschirm geschrieben werden ?	Bildschirm	TCB/IOV
Kann das Betriebssystem geladen werden ?	Speichermedien	Laufwerk oder TCB/Z80
Multibusboards arbeiten nicht ?	externes Terminal	Multibus-Boards TCB/Z80

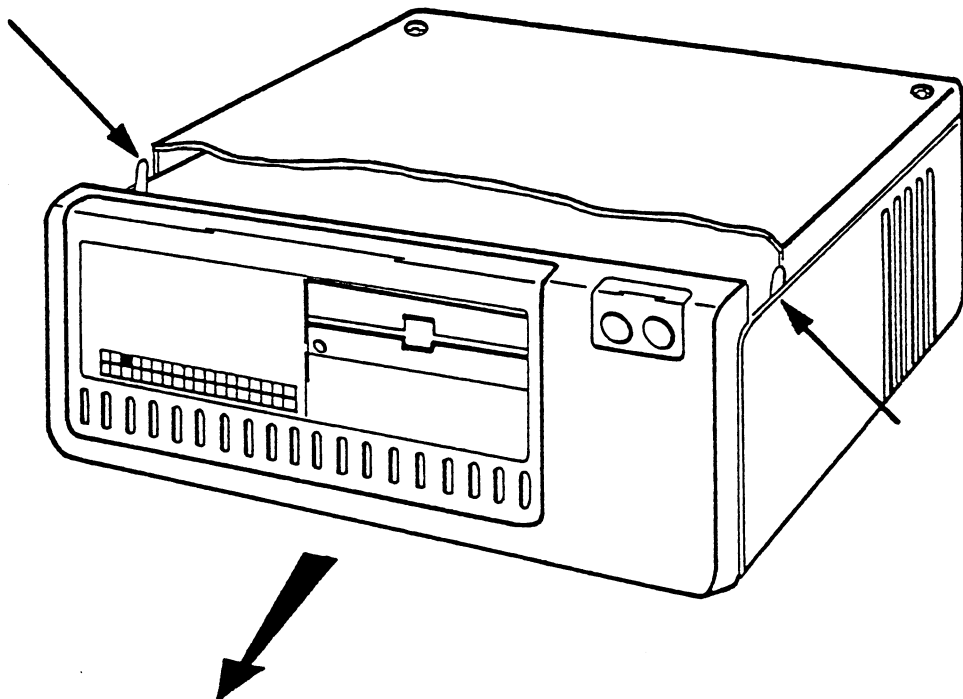


2. Mechanik der Systeme

Um Servicearbeiten an der Computerbox vornehmen zu können, müssen Sie das Gehäuse der Box öffnen. Dazu heben Sie zuerst den Deckel ab, nachdem Sie die zwei bezeichneten Schrauben gelöst haben.



Um alle Systemkomponenten zu erreichen, muß die Frontblende abgenommen werden. Dazu ziehen Sie die beiden seitlichen Hebel nach vorne und nehmen die Frontblende nach vorne ab. Netzschalter und Resetknopf bleiben an der Frontblende.

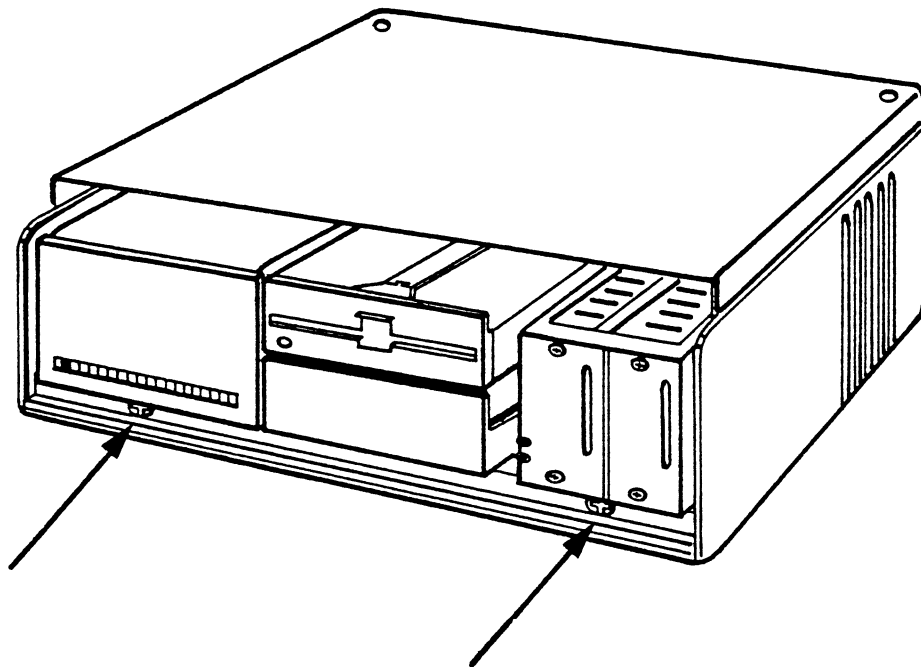




Die Frontblende kann nun oben auf dem System abgelegt werden. Achten Sie auf die Verbindungsleitungen!

Nun sind alle Systemkomponenten zugänglich.

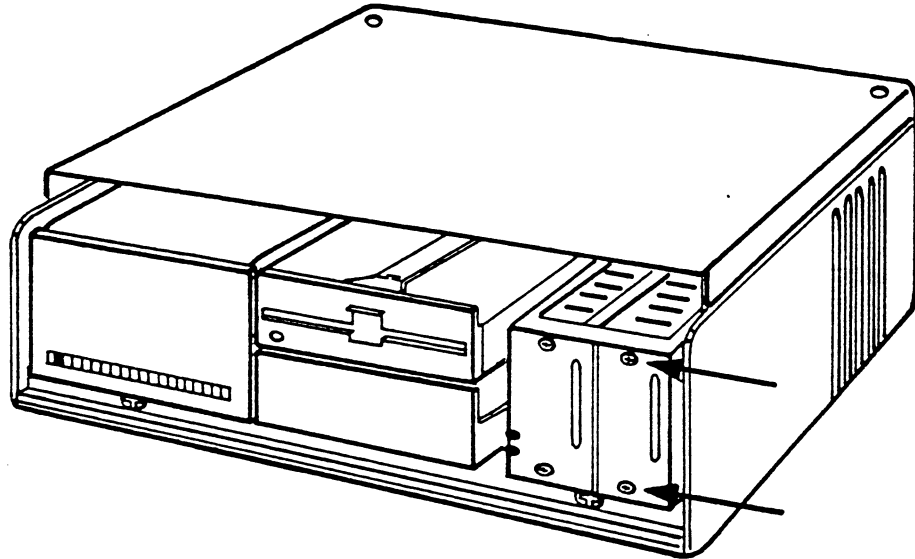
Zum Tausch von Harddisk, Floppy oder Netzteileinschub lösen Sie die Halteschrauben der Verrigelungsstange um diese dann nach links zu schieben.



Die einzelnen Module können nun leicht herausgenommen werden: Kurz nach vorne ziehen und nach oben abnehmen. Vorsicht auf Kabelverbindungen!



Die einzelnen Netzteileneinschübe können durch Lösen der bezeichneten Halteschrauben herausgezogen werden, ohne den gesamten Netzteilkäfig herausnehmen zu müssen.



Die einzelnen Platinen können nach Abschrauben der hinteren Blenden herausgezogen werden.

Die Platinen müssen folgendermaßen eingesteckt werden:

- ganz oben: TCB/Z80
- darunter: TCB/IOV

SUN-Boards:

- oberer Multibusstecker: SUN 68000-Board
- darunter: 1MByte Speichererweiterungsbaugruppe



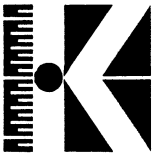
Serviceanleitung Teac FD-55 F

Diese Anleitung behandelt das Floppy-Laufwerk
Teac FD-55 F



Inhaltsverzeichnis

	Seite
1. Spezifikationen	1
2. Allgemeines	3
3. Schaltungsbeschreibung	7
4. Anschluß des Laufwerkes	14
5. Beschreibung der Ein-/Ausgangssignale	17
5.1 Eingangssignale	17
5.2 Ausgangssignale	19
5.3 Zeitverhalten der Signale	21
6. Wartung und Abgleich des Drives	22
6.1 Vorbeugende Wartungsarbeiten	26
6.2 Überprüfung und Abgleich	27
6.2.1 Ladearmpositionierung	27
6.2.2 Klemmarmeinstellung	28
6.2.3 Umdrehungsgeschwindigkeit	29
6.2.4 Löschtorverzögerung	30
6.2.5 Schreibabschlußwiderstand	32
6.2.6 Asymmetrieeinstellung	33
6.2.7 Lesepegel	35
6.2.8 Spurlage	35
6.2.9 Spur-00-Sensor	38
6.2.10 Spur-00-Anschlag	40
6.2.11 Index-Sensor	41
6.2.12 Azimuth-Einstellung	43
7. Zusammenstellung aller Anschlüsse, Testpunkte und Einstellregler	44
7.1 Anschlüsse	44
7.1.1 Interfacestecker	45
7.1.2 Stromversorgungsanschluß	47
7.1.3 Schreib-/Lesekopfanschluß	48
7.1.4 Interne Anschlüsse	48
7.2 Lage der Testpunkte und Einstellwiderstände	49
8. Pläne	52
8.1 Schaltpläne	52
8.2 Bestückungspläne	56



1. Spezifikationen

Teac FD-55 F

Abmessungen

Höhe	41,3 mm
Breite	146 mm
Tiefe	203 mm
Gewicht	1.5 kg

Betriebsbedingungen

Temperaturbereich	4...46 Grad C
Feuchtigkeitsbereich	20...80 % nicht kondensierend

Leistungsaufnahme

Betrieb	5.5 W
Standby	2.6 W

Kapazität

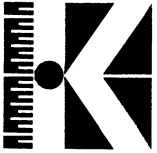
unformatiert	1000 Kilobytes
formatiert	655 Kilobytes

Laufwerkdaten

Umdrehungsgeschwindigkeit	300 U/min
Latenzzeit	100 msec
Kopfladezeit	< 35 msec
Motorstartzeit	< 400 msec

Zugriffszeiten

Spur-zu-Spur	< 3 msec
mittl. Positionierzeit	94 ms (schließt Schritt- und Beruhigungszeit mit ein)



<u>Übertragungsrate</u>	250 Kilobit/sec
<u>Aufzeichnungsdichte</u>	5922 bits/inch
<u>Spurdichte</u>	96 Spuren/inch
<u>Spurenzahl</u>	80 Spuren / Oberfläche
<u>Mediengröße/Spezifikation</u>	Double-Sided, 96 tpi Standard 5 1/4 inch Diskette
<u>Zuverlässigkeit</u>	
MTBF	> 10.000 Stunden Einschaltzeit
MTTR	30 min
System-Lebensdauer	> 5 Jahre
Soft-Error-Rate	1 pro 10^9 bits (bis zu zwei Zugriffsversuchen)
Hard-Error-Rate	1 pro 10^{12}
Seek-Error-Rate	1 pro 10^6
Diskettenlebensdauer	> 3.5×10^6 Zugriffe/Spur



2. Allgemeines

Um eine Fehlersuche am Floppy-Drive (FD) vorzunehmen, muß man sich vorher mit der Wirkungsweise der magnetischen Aufzeichnung sowie der Schaltungsfunktion vertraut machen. Ferner sind zur Fehlersuche und Justage spezielle Meßmittel nötig.

Die benötigte Technik zur Aufzeichnung und für das Rücklesen von Daten kann man in 3 Bereiche gliedern:

- | | |
|----------------------|------------------|
| - intelligente Logik | Zentralplatine |
| - Drive-Elektronik | FD-Laufwerkboard |
| - Mechanik | FD |

Die intelligente Steuerung der Drives befindet sich auf der Zentralplatine. Das Laufwerk ist mit dieser Platine über ein Flachbandkabel verbunden und erhält auf diesem Wege Steuersignale und Daten.

Die Elektronik auf dem Laufwerksboard beschränkt sich darauf, diese Signale auszuwerten um die elektromechanischen Teile zu steuern, sie zu überwachen und Rückmeldungen an die Zentralplatine zu liefern. Außerdem werden die Schreib- und Lesevorgänge durchgeführt - es müssen also TTL-Pegel in Schreibströme umgewandelt werden bzw. Leseströme in TTL-Pegel.

Den empfindlichsten und stör anfälligsten Teil des Laufwerkes stellt die Mechanik dar.

Um ein fehlerfreies Schreiben und Lesen zu gewährleisten, müssen auch die Disketten dementsprechend behandelt werden:

- Disketten nur mit Filzstift nur auf dem Klebeetikett beschriften. Kugelschreiber o.ä. hinterlassen Druckspuren auf der Diskettenoberfläche und verursachen Lesefehler.
- Disketten nicht knicken
- Disketten vor magnetischen Einflüssen fernhalten
- Disketten vor Feuchtigkeit und Staub schützen
- Lagertemperatur von Disketten: 10 - 52 Grad C.
- Starke Sonnenbestrahlung vermeiden
- Nach Gebrauch in die Diskettenhülle zurücklegen
- Disketten vorsichtig in das Laufwerk einführen und vor dem Abschalten entnehmen
- Diskettenoberfläche nicht berühren.



Allgemeines zum Aufzeichnungsverfahren

Das Laufwerk beschreibt die Disketten auf beiden Seiten mit doppelter Schreibdichte (double sided, double density).

Das "double density"-Aufzeichnungsverfahren bietet gegenüber dem "single density"-Aufzeichnungsverfahren den Vorteil der doppelten Schreibdichte, es bietet also eine bessere Auslastung der Diskette. Dieses Verfahren erfordert allerdings auch eine größere Präzision des Laufwerkes. So dürfen sich die Zeitverhältnisse der Signale z.B. bei Temperaturschwankungen nur unwesentlich ändern.

Als Aufzeichnungsverfahren kommt das sogenannte MFM-Verfahren zur Anwendung, das wie folgt arbeitet:

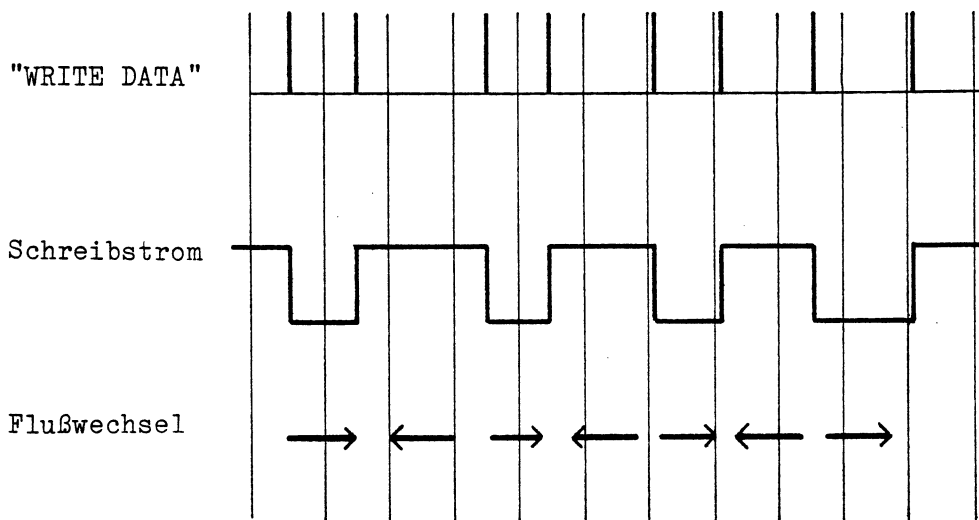
Bei jedem "HIGH"-Datenbit wird ein "WRITE-DATA"-Puls in der Mitte des Datenbitzeitfensters erzeugt.

Wird ein "LOW"-Datenbit erkannt, so wird kein "WRITE-DATA"-Puls generiert, falls es das erste "LOW"-Bit nach einem "HIGH"-Bit ist. War das Vorgängerbit jedoch ebenfalls "LOW", so wird ein "WRITE-DATA"-Puls an den Anfang dieser Bitzelle gesetzt.

Jeder "WRITE-DATA"-Puls bewirkt eine Umpolung des Schreibstromes im Schreibkopf des Laufwerkes.

Zur verdeutlichung der beschriebenen Funktionsweise dient folgendes Bild:

Datenfolge +---+---+---+---+---+---+---+---+---+---+---+---+
 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
 +---+---+---+---+---+---+---+---+---+---+---+---+

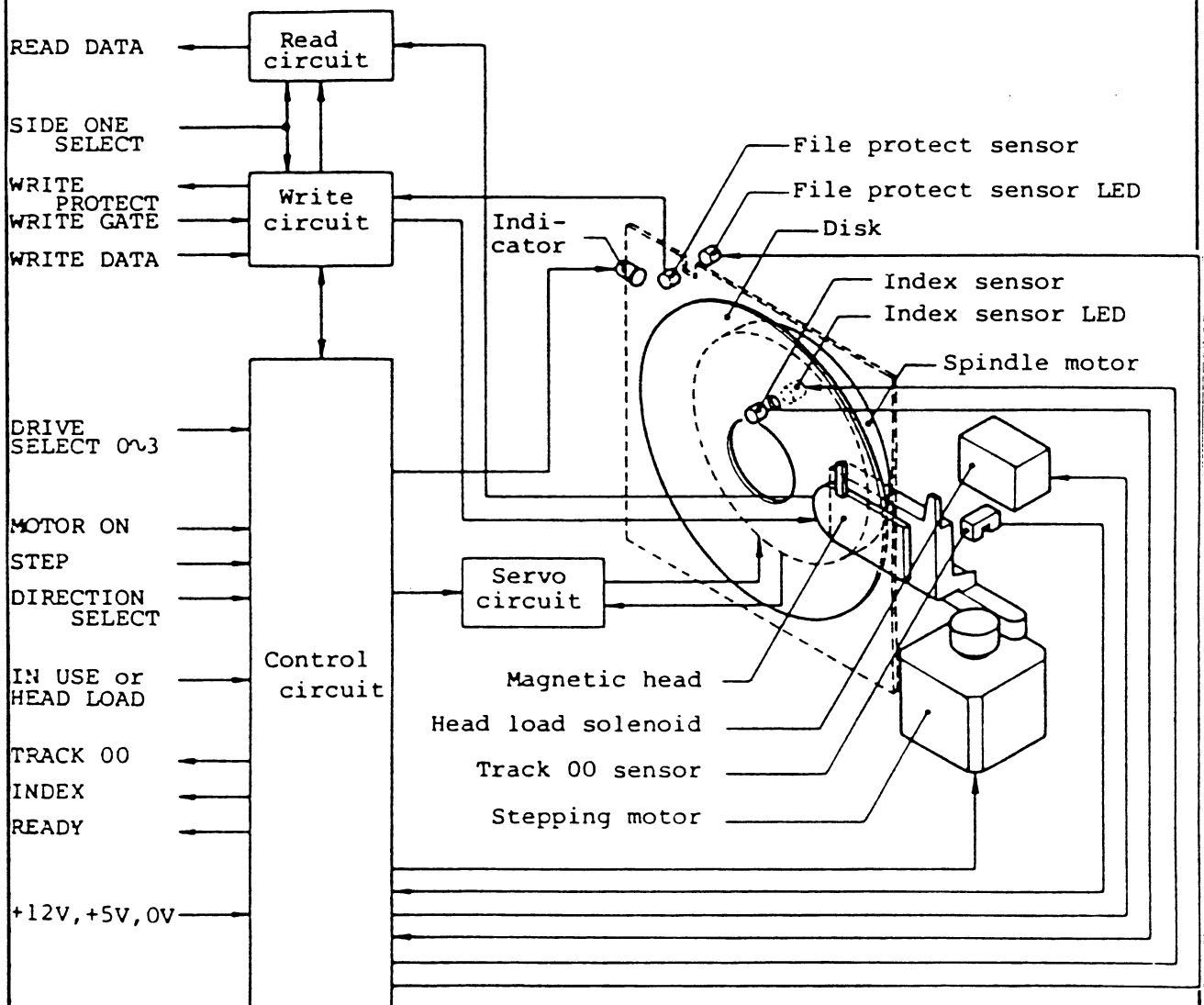




Funktionsübersicht des Laufwerkes

Folgende Abbildung zeigt einen funktionalen Überblick des Laufwerkes mit all seinen mechanischen und elektrischen Funktionsgruppen:

General Block Diagram





Auf der elektronischen Seite läßt sich das Laufwerk in folgende Funktionseinheiten einteilen:

- Leseschaltung
 - * Vorverstärker
 - * Tiefpaßfilter
 - * Differentiationsverstärker
 - * Peak-Detektor
 - * Ausgabetreiber

- Schreibschaltung
 - * Kopfauswahl
 - * Schreibtreiber
 - * Löschtreiber

- Kontrollschaltung
 - * Steuerlogik für Steppermotor
 - * Auswertschaltung für Index-Sensor, Schreibschutz-Sensor und Spur-00-Sensor
 - * Kopfladeschaltung
 - * Regelschaltung für Spindelmotor

Achtung: Zur Schonung der Köpfe sollte unbedingt während der Lagerung bzw. des Transportes des Gerätes das sog. "Head protection Sheet" verwendet werden. Es wird statt einer Diskette in das Gerät eingeführt und verhindert ein Aufeinanderschlagen der Köpfe durch Erschütterungen.



3. Schaltungsbeschreibung

Die Elektronik des Laufwerkes ist auf drei Platinen untergebracht, auf denen jeweils folgende Funktionseinheiten zu finden sind:

- Auf der Unterseite des Laufwerkes:
 - * Spindelmotorsteuerung
 - * Steuerlogikplatine

- Auf der Oberseite:
 - * Schreib-/Lese-Verstärkerplatine

Spindelmotorsteuerung:

Diese Schaltung sorgt für eine konstante Umdrehungsgeschwindigkeit des Spindelmotors von 300 U/min. Der Motor selbst ist ein bürstenloser Gleichspannungsmotor, der durch 2 Hall-Elemente über das Zweiphasen-IC U102 angesteuert und geregelt wird.

Als Regelgröße wird die Frequenz eines im Motor eingebauten Tachogenerators verwendet. Diese Frequenz wird durch IC U101 in eine der Umdrehungsgeschwindigkeit proportionale Spannung umgewandelt. Diese Spannung steuert nun, nachdem sie über die Phasen-Kompensationsschaltung, bestehend aus C107 - C109 und R108 - R109 geleitet wurde, das Motortreiber-IC U101.

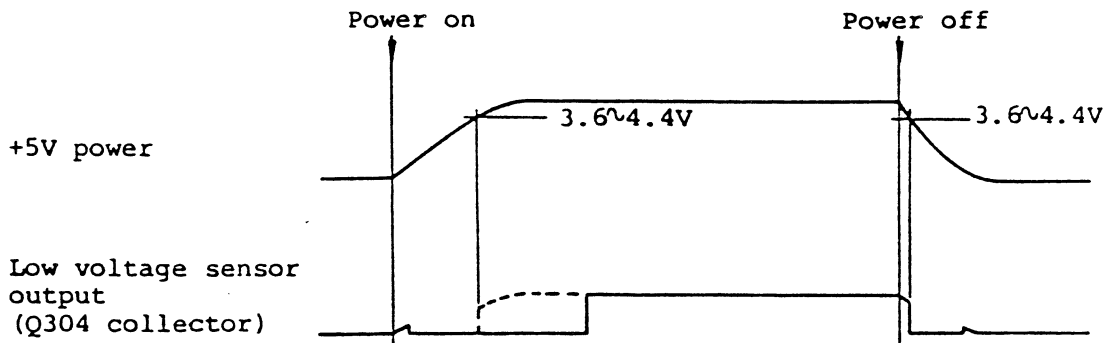
Mit R1 ist die Umdrehungsgeschwindigkeit in gewissen Grenzen einstellbar.

Steuerlogikplatine:

Auf ihr befinden sich die Detektoren zur Erkennung des Index-Loches, der Spur 00 sowie des Diskettenschreibschutzes.

Weiterhin ist ein Unterspannungssensor (Q203, Q204, CR208, C202, R203 usw.) vorhanden, der den Betrieb des Laufwerkes nur bei stabiler Spannungsversorgung zuläßt. Somit werden irrtümliche Operationen während Spannungsschwankungen, wie sie z.B. beim Ein- oder Ausschalten der Versorgungsspannung auftreten, vermieden.

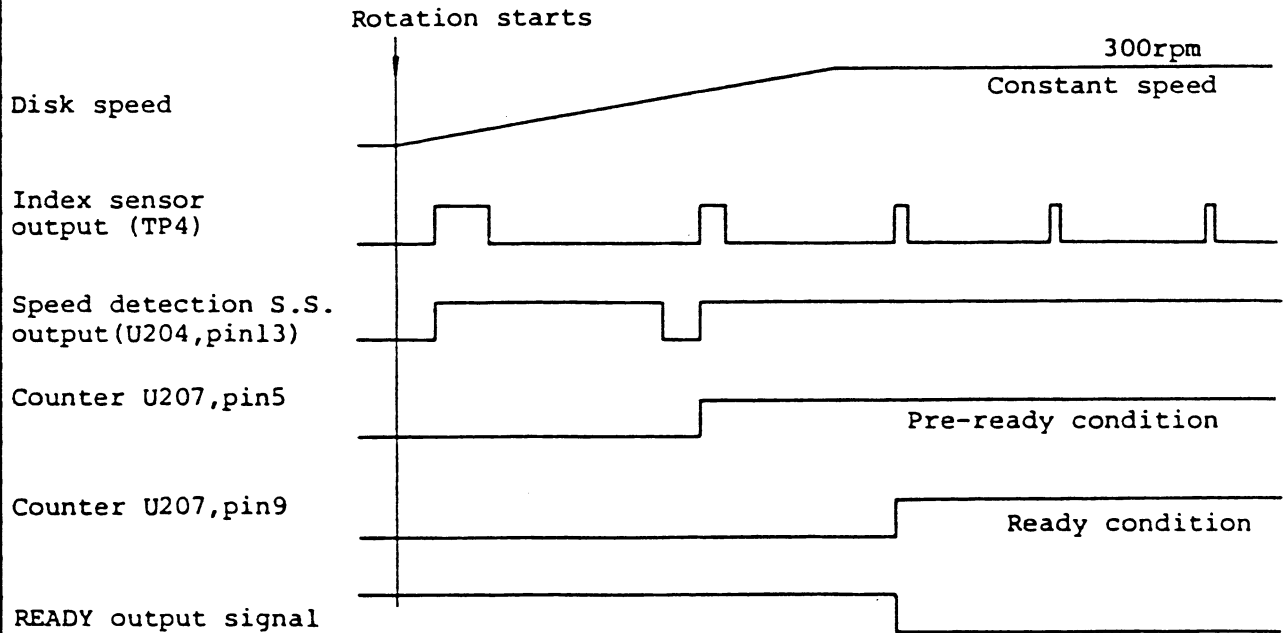
Die Ausgänge aller Treiber des Laufwerkes werden nur dann freigegeben, wenn der Unterspannungssensor eine logische "1" sendet.



Um der Zentraleinheit die Arbeitsbereitschaft des Laufwerkes über die "Ready"-Leitung mitteilen zu können, ist die Schaltung rund um die IC's U204 (monostabile Kippstufe SN74LS123) und U207 (Zähler, SN74LS74) aufgebaut. Der Ausgang des Monoflops wird HIGH sobald die Umdrehungsgeschwindigkeit ca. 50 % der Endumdrehungszahl erreicht. Die erste Stufe des Zählers (U207 Pin 5) erkennt den ersten Indexpuls, nachdem die Umdrehungsgeschwindigkeit 50 % beträgt und erzeugt das "Pre-Ready"-Signal. Sobald der zweite Puls erkannt wurde (zweite Stufe von IC U207) wird über den Ausgangstreiber U202 ein "Ready"-Signal an den Rechner gesendet.



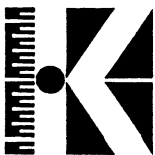
Folgendes Bild zeigt die entsprechenden Zeitverhältnisse:



Der Kopflademagnet zieht an, nachdem das "Pre-Ready"-Signal erzeugt wurde und das "Head-Load"-Signal vorhanden ist. Der Kopflademagnet wird über den Treiber Q201 mit 12V versorgt.

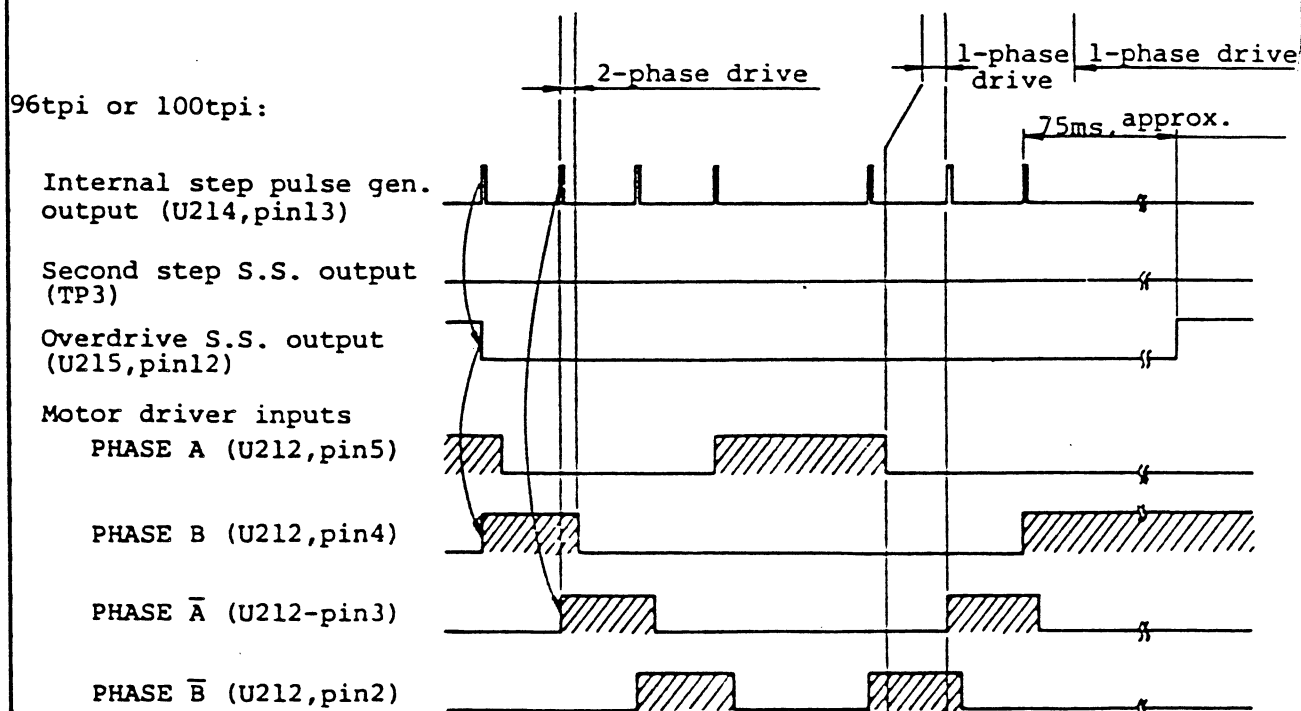
Die Steppermotorkontrollschaltung besteht aus Richtungsspeicher, Step-Puls-Generator, Shift-Register, Steppermotortreiber usw.

Der Richtungsspeicher (U216, Q = Pin 6) ist eine Sample + Hold-Schaltung, die ein Dauersignal erzeugt, das der Kopflaufrichtung entspricht (siehe auch Kapitel "Zusammenstellung der Ein-/Ausgangssignale").



Der interne Step-Pulsgenerator erzeugt bei jeder führenden Flanke des Eingangssignals einen 1 μ s langen Puls. Jeder Puls bewirkt das Weiterschalten des Steppermotors um eine Spur (entspricht einer 1.8-Grad Umdrehung des Steppermotors).

Die Ansteuerung des Steppermotors geschieht über ein Schieberegister (U209) und einen 2-phasigen Motorsteuer-IC (U210). Die Ausgangssignale dieser IC's werden über ODER-Gatter (U211) dem Treiberschaltkreis U212 zugeleitet, der wiederum den Steppermotor versorgt. Folgendes Zeitdiagramm verdeutlicht den Ablauf:





Der Ausgang des internen Steppulsgenerators (U214,Q) versorgt auch die "Overdrive-Schaltung" (U215,Q). Während der aktiven Zeit dieses Signals (ca. 75 msec) wird der Steppermotor mit 12 Volt versorgt, um ein ausreichendes Drehmoment zu gewährleisten. Nachdem der Kopf über der gewählten Spur zu liegen kommt, wird er nur noch mit 5 Volt versorgt.

Durch diese Maßnahme sinkt die Verlustleistung, die Leistungsaufnahme des Motors beträgt dann nur noch ca. 0.25 Watt.

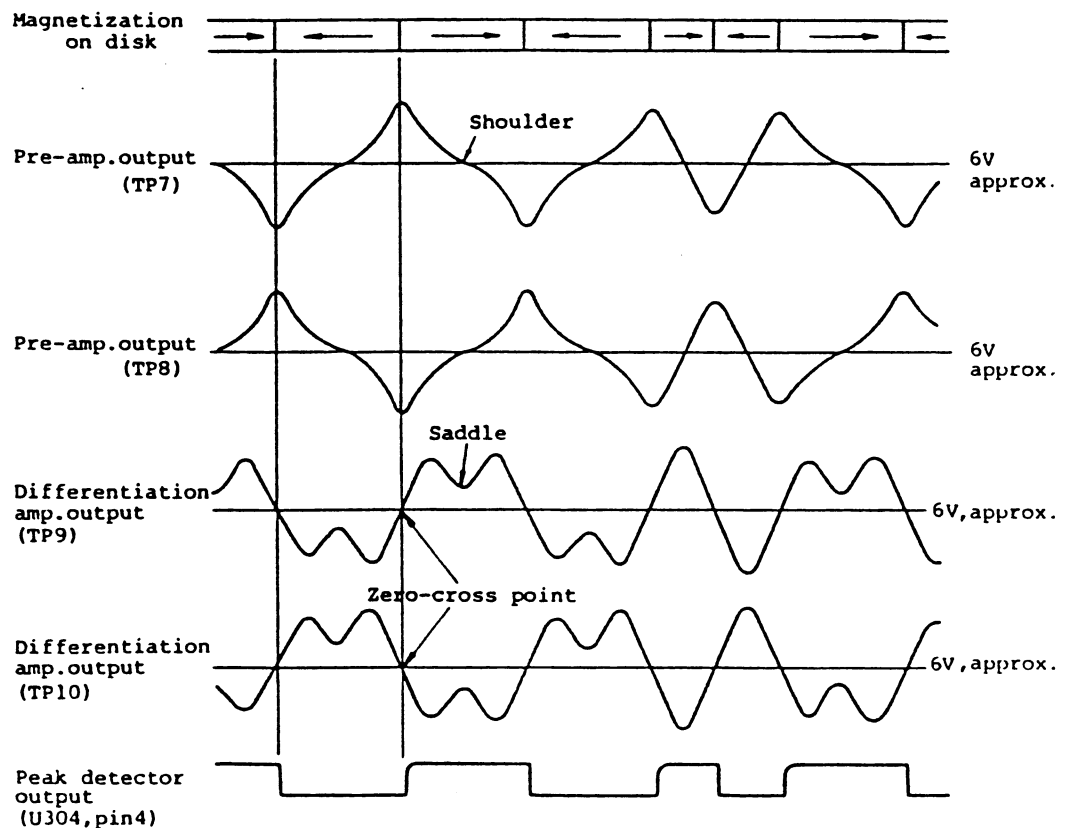
Schreib-/Leseplatine:

Während der Lesephase wird die im Lesekopf induzierte Spannung zunächst um ca. 30 dB verstärkt. Dies erledigt der Verstärker U307.

Unerwünschtes hochfrequentes Rauschen wird durch den Tiefpaßfilter (L302, L303, C319 usw.) eliminiert. Dieses gefilterte Signal wird nun dem Differenzierungsverstärker, gebildet aus Q301, Q302, L301 usw. zugeführt.

Durch die Differentiation ergeben sich aus den Spannungsspitzen Nulldurchgänge. Das Signal wird nun verstärkt und auf den Eingang des Spitzendetektors (U304) geführt, der es in ein Rechtecksignal umwandelt.

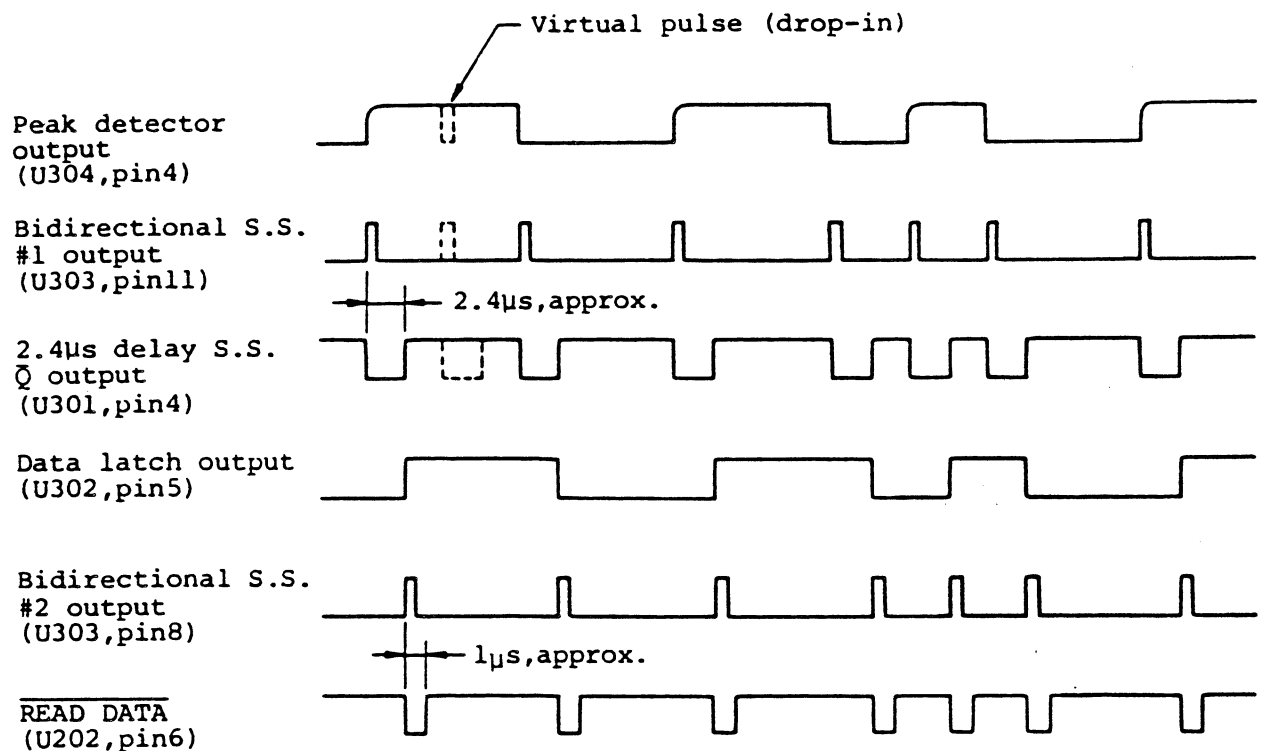
Die entsprechenden Zeitdiagramme gehen aus folgender Abbildung hervor:



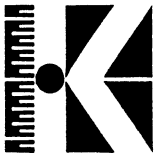


Das nachgeschaltete Filter eliminiert mögliche Pulse, die durch den Sattelpunkt im niederfrequenten Bereich (ca. 62.5 KHz) beim Auslesen von äußeren Spuren entstehen könnten. Dieses Zeitfensterfilter wird gebildet aus einem Multivibrator Nr.1 (RA302, C310, U303 pins 11 u. 13), einem Monoflop mit einer Impulsbreite von 2.4 us (U301, Q - pin 4), Datenspeicher (U302, Q - pin 5), bidirektionalem Monoflop Nr.2 (RA302, C309, U303 pins 8-10) sowie einem weiteren Monoflop (1 us Impulsbreite - U301, Q - pin 5).

Dieses Signal wird nun über das "Read"-Tor ausgegeben.



Zeitverhältnisse "Read-Signal"



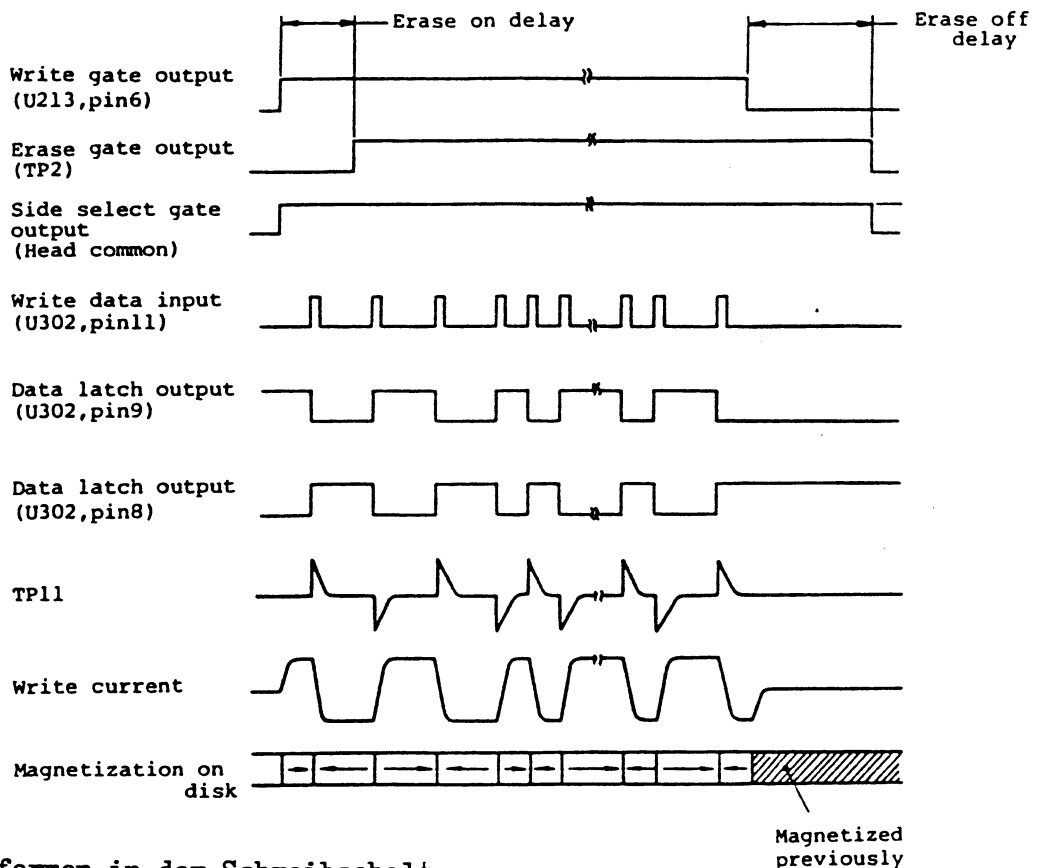
Schreibschaltung:

Schreibzugriffe sind nur möglich, wenn folgende drei Bedingungen erfüllt werden:

- Der Schreibschutzsensor entdeckt die Aussparung an der Diskette
- Das "Write Gate"-Signal ist TRUE (neg. Logik)
- Jumper MX ist gesteckt oder das "Drive-Select"-Signal ist TRUE (neg. Logik)

Da der Spalt des Löschkopfes ca. 0.85 mm hinter dem Schreib-/Lesespalt liegt, muß der Löschtreiber das "Write Gate"-Signal verzögern, damit die geschriebenen Daten durch den Löschkopf beschnitten werden. Dieser Tunnellöscheffekt erzeugt ein "Sicherheitsband" zwischen den Datenspuren und vermindert so ein Übersprechen zwischen den Spuren.

Das Write-Eingangs-Datensignal gelangt über U302 auf die Schreibrreiber (U306), von denen jeweils nur einer durchgeschaltet wird. Durch dieses Umschalten wird über den Schreibkopf ein magnetischer Flußwechsel auf der Diskette erzeugt.



Signalformen in der Schreibschaltung



4. Anschluß des Laufwerkes

Da mehrere Laufwerke an eine Zentraleinheit angeschlossen werden können und die Anschlüsse der Drives dabei parallel zu liegen kommen, muß innerhalb des Laufwerkes eine Unterscheidungsmöglichkeit gegeben sein.

Die Unterscheidung wird durch Stecken bestimmter Jumper auf dem Controllerboard, das an der Unterseite des Laufwerkes angebracht ist, gewährleistet.

Es handelt sich hierbei um die Jumper DSO bis DS3 (Drive Select). Es können also maximal 4 Laufwerke an ein 34-poliges Datenkabel angeschlossen werden. Es darf jeweils nur ein Drive-Select-Jumper gesteckt werden, wobei folgende Zuordnung gilt:

Laufwerk 0	Jumper DSO	gesteckt
	.	
	.	
Laufwerk 3	Jumper DS3	gesteckt

Ist nur ein Laufwerk am System angeschlossen, kann Jumper MX gesteckt werden.

Die Jumper HS und HM steuern das Kopfladen. Es darf nur entweder HS oder HM gesteckt werden.

Bedeutung von HS und HM

HS: Die Köpfe werden geladen, wenn das Drive mit "Drive Select" angesprochen wird.

HM: Die Köpfe werden geladen, wenn der Motor gestartet wird.

Es empfiehlt sich die Stellung "HM", da das Drive dann geräuschloser arbeitet.

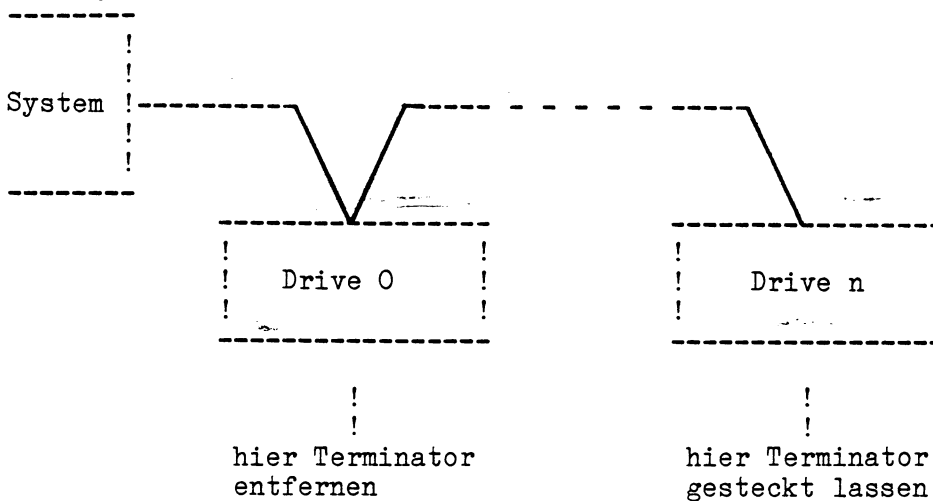
Neben IC U213 ist noch ein weiterer Jumper DS vorhanden. Mit ihm kann die Spurdichte gewählt werden. Sie beträgt entweder 48 tpi (single density) oder 96 tpi (double density).

Jumper DS:	Stellung ST	48 tpi
	Stellung WT	96 tpi



Da das Laufwerk vom System über "Open-Collector"-Treiber mit Signalen versorgt wird, müssen die Leitungen mit Abschlußwiderständen abgeschlossen werden. Diese Abschlußwiderstände befinden sich standardmäßig als gestecktes Widerstandsnetzwerk auf jedem Laufwerk.

Dabei ist zu beachten, daß dieses Array **nur** bei dem geographisch letzten angeschlossenen Laufwerk gesteckt bleiben darf. Bei allen anderen Laufwerken **muß** es entfernt werden.



Auf der nächsten Seite ist die Lage aller Jumper sowie die Lage der Abschlußwiderstände ersichtlich.

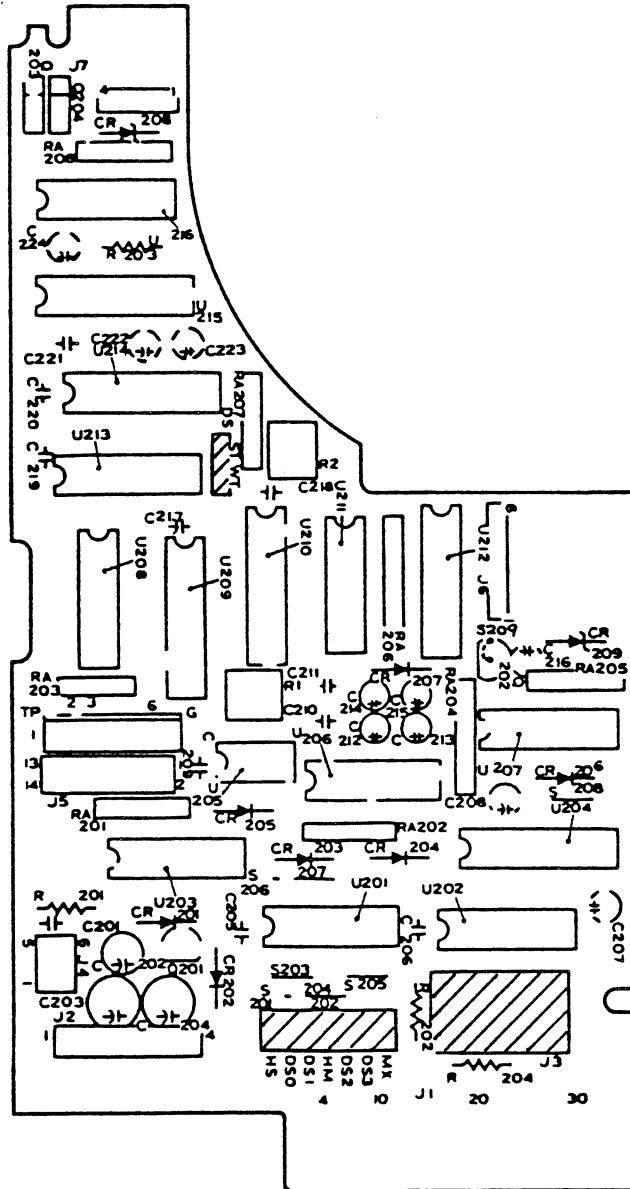


Abb.: Lage aller Jumper und Abschlußwiderstände



5. Beschreibung der Ein-/Ausgangssignale

5.1 Eingangssignale

1. Drive-Select 0 bis 3

Je nach mittels Jumper ausgewähltem Drive Select kann ein entsprechendes Drive 0 bis 3 mit dem gemultiplexten Eingangssignal angesprochen werden. Das Drive wird angesprochen, falls das Eingangssignal 0 ist (neg. Logik).

2. Side one select

Auswahl einer Seite des Drives:

- 0: Seite 1
- 1: Seite 0

beim Umschalten des Side Select-Signals müssen die Zeitbedingungen gem. Abb. 5-5 eingehalten werden. Es sind gewisse Pausen zwischen Umschalten und Schreib-/Lesezugriffen notwendig.

3. Direction Select

Dieses Signal legt die Richtung der Bewegung des Lese-/Schreibkopfes fest, in die dann bei Pulsen des Signals "Step" gefahren wird:

- 1: Bewegung nach außen
- 0: Bewegung nach innen

4. Step

Pulsförmiges Signal zur Steuerung der Schreib-/Leseköpfe in die durch "Direction select" vorgegebene Richtung.

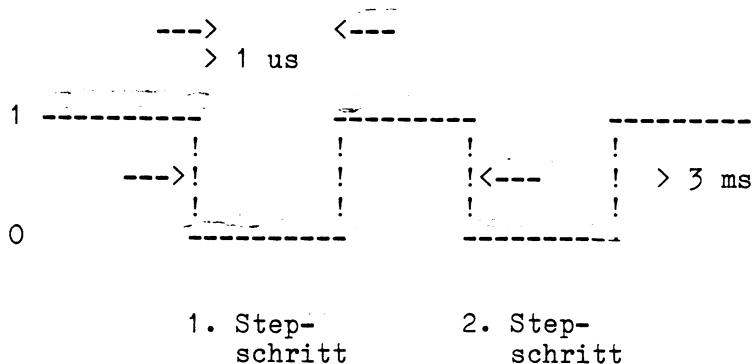


Abb.5-1: "Step"-Signal



5. Write gate

Ist diese Interfaceleitung logisch "0", so wird der Schreiber aktiviert und die über "write Data" übertragenen Signale werden auf die Diskette geschrieben.

Auch hier müssen die in Abb. 5-5 gezeigten Zeitverhältnisse eingehalten werden, um ein einwandfreies Verhalten sicherzustellen.

6. Write data

Die Information, die auf die Diskette aufgezeichnet werden soll, wird über diese Leitung übertragen.

Diese Leitung ist normalerweise auf logisch "1" und invertiert den Schreibstrom bei jeder 1-->0 Flanke, um Daten-Bits zu schreiben. Diese Leitung ist durchgeschaltet, falls "Write Gate" = 0 ist.

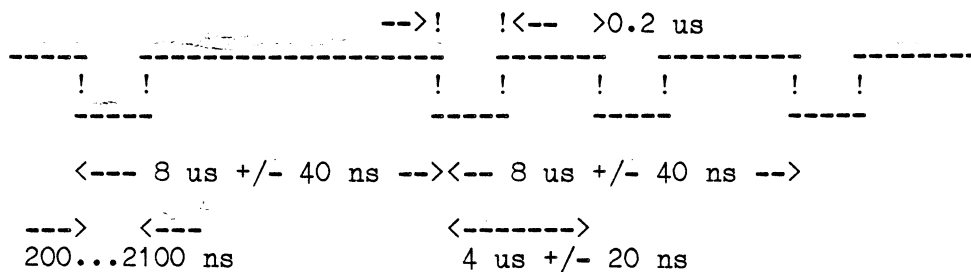


Abb. 5-2: Schreibzeitverhalten

7. IN USE

Dieses Signal bringt die an der Frontplatte des Drives angebrachte LED zum Leuchten (bei "in USE" = 0). Die LED wird ebenso durch das Signal "Drive Select" aktiviert.

8. Motor on

Bei logisch 0 wird der Spindelmotor gestartet. Um dem Motor eine Anlaufzeit zu ermöglichen, darf das Write-Gate-Signal erst 250 ms später gesetzt werden.



5.2 Ausgangssignale

Das M4853-Laufwerk hat 5 Ausgangssignalleitungen:

1. Index

Dieses Signal bezeichnet den Anfangspunkt einer Spur auf der sich drehenden Diskette (also Sector Nr. 0). Dieses Signal ist normalerweise logisch "1", sendet aber eine 4 ms lange logische "0" bei jeder Diskettenumdrehung (alle 200 ms) des gewählten Drives.

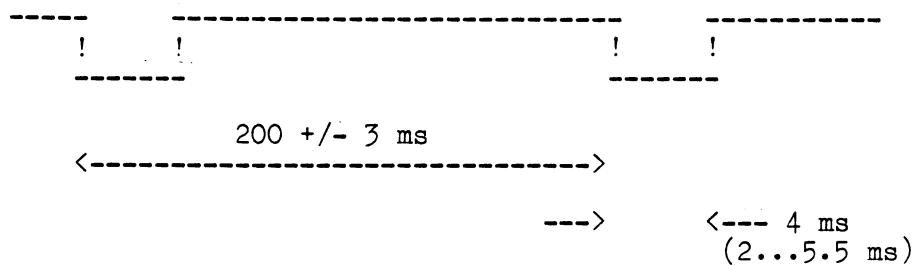


Abb. 5-3: "Index"-Signal

2. Track 00

Falls dieses Signal logisch "0" ist, so stehen die Schreib-/Leseköpfe des gewählten Drives auf Spur 00.

Bei logisch "1" stehen die Köpfe auf einer der übrigen Spuren.

3. Ready

"1": Die Klappe des Laufwerks ist offen oder im Drive befindet sich keine Diskette

"0": Eine Diskette befindet sich im Drive, die Laufwerkstür ist geschlossen, alle anliegenden Spannungen sind in Ordnung. Außerdem wurden bereits zwei Indexpulse korrekt erkannt.

4. Read Data

An diesem Ausgang liegen die vom Lesekopf auf der Diskette erkannten und über eine besondere Schaltung in Pulse umgewandelten Informationen.



In Abb. 5-4 ist der zulässige Toleranzbereich dargestellt:

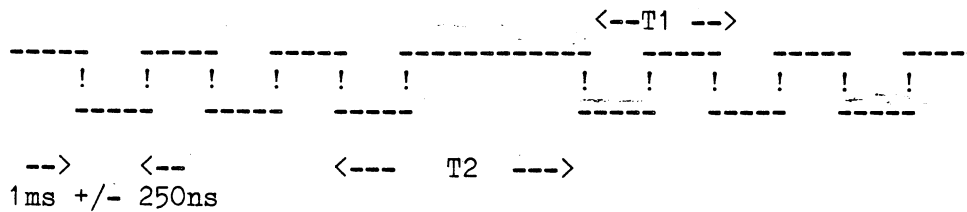


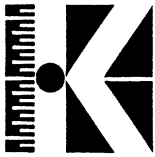
Abb. 5-4: "Read Data"

T1 = 4.00 us +/- 800 ns (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

T2 = 8.00 us +/- 1.6 ms (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

5. Write protect

Diese Leitung teilt dem System mit, ob eine Diskette mit Überschreibschutz eingelegt wurde. Ist dies der Fall (Write protect = "0"), so werden sämtliche Schreibzugriffe unterbunden.



5.3 Zeitverhalten der Signale

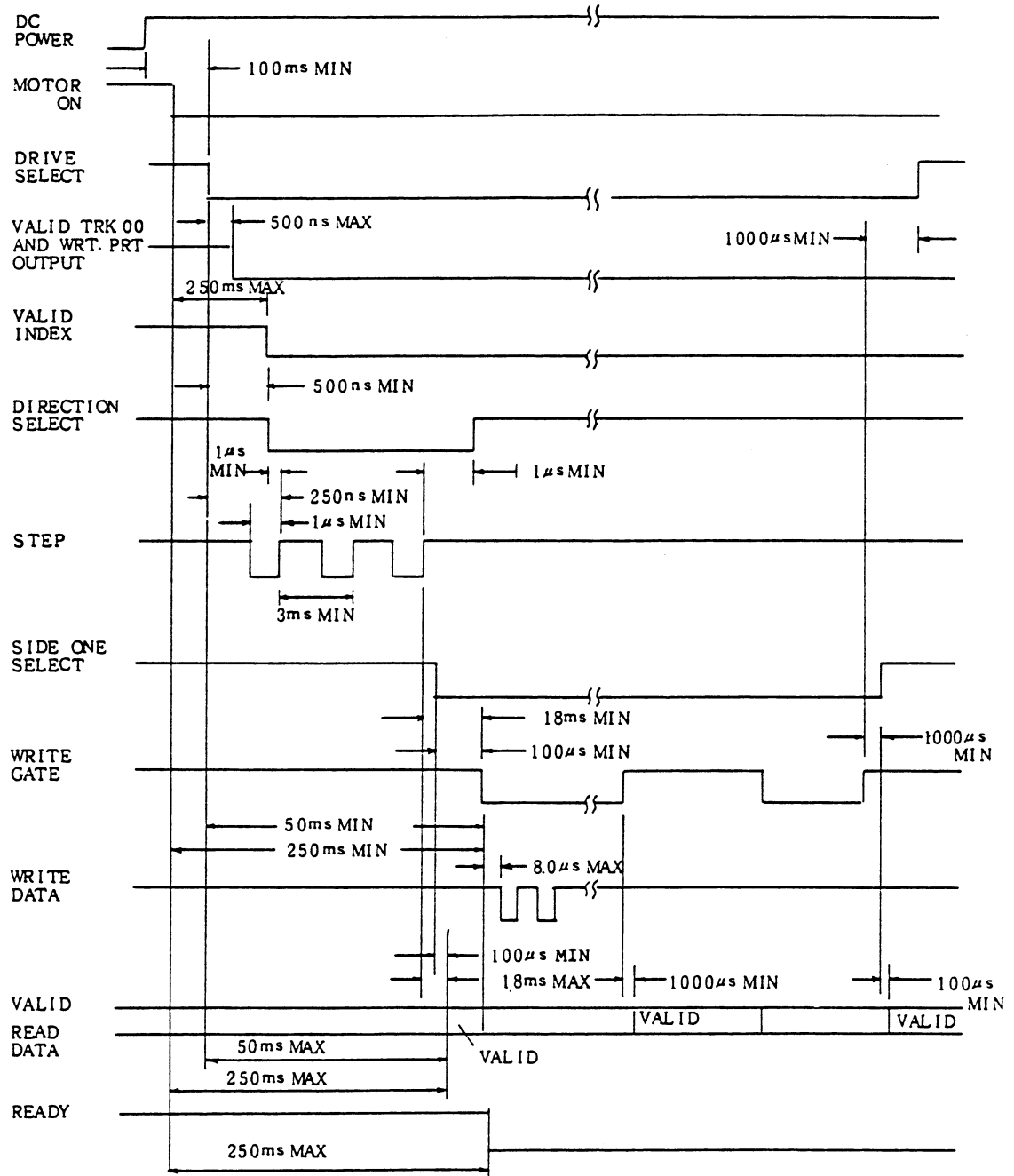


Abb. 5-5: Zusammenstellung aller wichtigen Signale



6. Wartung und Abgleich des Drives

Wenn das Laufwerk unter normalen Umgebungsbedingungen betrieben wird, ist keine regelmäßige Wartung notwendig.

Trotzdem ist es empfehlenswert, um die Lesbarkeit der aufgezeichneten Daten sicherzustellen, die Schreib-/Leseköpfe mit einer Reinigungsdiskette zu säubern. Dies sollte unter normalen Umgebungsbedingungen einmal pro Monat geschehen.

Falls einige Teile des Laufwerks besonders stark beansprucht werden, oder das Laufwerk mehr als 5 Jahre in Betrieb war, ist es empfehlenswert, die beanspruchten Teile laut folgender Tabelle auszutauschen:

Teil	Austauschintervall	Zeitbedarf
Kopfeinheit (Kopfführungen)	7000 Stunden Head load + Motoreinschaltzeit	45 min.
Steppermotoreinheit + Stahlband + Federband	10^7 Zugriffe	30 min.
Spindelmotor	30.000 Stunden Laufzeit	20 min.
Kopfladeeinheit	10^7 Kopfladungen	15 min.



Allgemeine Hinweise

Fehler in der Driveelektronik lassen sich mit herkömmlichen Meßmitteln wie 2-Kanal-Oszillograph und Multimeter erkennen und beseitigen. Ebenso lassen sich damit die meisten Einstelldaten eines Drives überprüfen.

Eine Einstellung der mechanischen Daten erfordert darüberhinaus jedoch eine spezielle Zusatzausrüstung und viel Erfahrung. Insbesondere werden benötigt:

- Alignment-Diskette
- Exerciser

Diese Ausrüstung ist unbedingt zur korrekten Justage des Lesekopfes auf dem Schlitten notwendig.

Einige der übrigen Einstellungen lassen sich auch mit Hilfe einer auf einem exakt justierten Laufwerk formatierten Diskette unter Zuhilfenahme des Testdebuggers vornehmen. Die Kenntnis des Testdebuggers wird vorausgesetzt.

Bei den im Folgenden beschriebenen Wartungs- und Einstellarbeiten wird, wo es sinnvoll erscheint, auf beide Möglichkeiten eingegangen. Selbstverständlich ist beim Arbeiten mit dem Testdebugger eine einwandfreie Elektronik auf dem Zentralboard (KDT6 bzw. TCB) Voraussetzung. Auch wird ein Verlängerungskabel zum Anschluß des Drives außerhalb des Gehäuses benötigt, falls Einstellarbeiten vorgenommen werden sollen.

Bemerkungen zu Exerciser und Alignment-Diskette

Die Firma TEAC empfiehlt in ihren Unterlagen einen Exerciser des Typs SKA-G.

Die Verwendung von Exercisern mit abweichenden Stepperraten ist grundsätzlich möglich.

Die zur Justage benötigte Alignmentdiskette unterscheidet sich in folgenden Punkten von "normalen" Disketten:

- Es sind Analogsignale aufgezeichnet (anstelle von digitalen Daten).
- Eine Zentrierung der Spuren ist 100%-ig gewährleistet.
- Die Lage der Sektoren ist ebenfalls exakt in Bezug zum Indexloch.



Alignment-Disketten eignen sich somit hervorragend zum Abgleich von Floppy-Laufwerken; sie sind aber aufgrund ihrer Genauigkeit auch teuer.

Als Alignment-Diskette wird ein Typ Double Sided/96/100 tpi benötigt, wie z.B. DYMEK 502-1D Standard Diskette. Auch hier können ähnliche Disketten verwendet werden, da die Signale zur Erzeugung der Cat-Eyes stets auf derselben Spur zu finden sind.

Bei der Verwendung anderer Alignment-Disketten kann es allerdings zu Unterschieden bei den Bildern der Azimuth-Einstellung kommen. Dies liegt daran, daß bei manchen anderen Laufwerktypen der Kopf einen bestimmten Winkel zur Spur einnehmen muß, also das Analogsignal auch "schräg" zur Spur liegt (z.B. im Winkel von + 30'). Wird mit einer solchen Diskette abgeglichen, so ist die Azimuth-Einstellung dann korrekt, wenn ein Winkel von 30' angezeigt wird.

Sollten Sie weiterführende Informationen über Exerciser und Alignmentdisketten wünschen, so bitten wir Sie, sich selbst mit den entsprechenden Herstellern in Verbindung zu setzen. Um Ihnen einen Anhaltspunkt über die Kosten einer Alignment-Ausrüstung zu geben, sind die ca.-Preise (Stand Juli 1983) aufgeführt.

Alignment-Diskette: ab 150 DM
Exerciser: ab 1.000 DM bis über 10.000 DM

Grundsätzliches

1. Bei Wartung oder Abgleich darauf achten, daß kein Schmutz in das Laufwerk eindringen kann.
2. Vor der Wartung Gerät spannungslos machen
3. Ausbau der gedruckten Schaltung nur in spannungslosem Zustand um die Halbleiter und IC's zu schützen.
4. Diskettenoberfläche und Schreib-/Leseköpfe nicht berühren
5. Beim Arbeiten mit der Alignment-Diskette darauf achten, daß auf ihr keine Signale zerstört werden (also Vorsicht mit Write-Modus! Am Exerciser: "DC-Erase" stets auf "off"!).
6. Stepperband nicht berühren und dazugehörigen Mechanismus nicht verstellen.
7. Keine Gewalt auf die Kopfaufnahme ausüben, da sie genau justiert wurde. Nur an den in der Abgleichanleitung beschriebenen Stellen justieren.



Funktionsprüfung (hier mit Micropolis-Exerciser):

Eine Funktionsprüfung des Laufwerkes kann mit dem Exerciser durchgeführt werden. Sie sieht folgendermaßen aus:

1. Select: Stimmt die Einstellung am Exerciser mit der Selektierung am Drive überein, so muß die LW-LED rot leuchten.
2. Headload: Wird der Headload-Schalter am Exerciser auf Normal gelegt, muß der Magnet anziehen und der Ladearm auf den Kopf drücken.
3. MTRN: In der Stellung Spindel Motor Run läuft der Drivemotor.
4. Spur 0: Bei Betätigung der Restore Taste muß der Steppermotor auf Spur 0 zurückfahren und die LED am Exerciser aufleuchten.
Es wird nun überprüft, ob der mechanische Anschlag ebenfalls auf Spur 0 steht. Dazu wird der Kopf mit dem Finger nach außen bis zum Anschlag geschoben. Kehrt er in seine Ursprungslage zurück, ist die Einstellung in Ordnung. Der Schiebeweg sollte ca. 1/2 Spurbreite betragen.
5. RDY: Werden Headload auf Normal und MTRN auf RUN gelegt und eine Taste betätigt, muß die LED für die Ready Status Meldung aufleuchten, falls sich eine Diskette im Laufwerk befindet.
6. Index: Die Index LED leuchtet auf, wenn keine Diskette im Laufwerk ist. Ansonsten pulst sie bei jeder Umdrehung.
7. File protect: Ist die Diskette schreibgeschützt, wird dies durch Aufleuchten der WPT-LED angezeigt.
8. Schlitten-Vor- und Rücklauf: Dieser Teil zeigt, ob die elektrischen Anweisungen auch mechanisch ausgeführt werden. Man geht dazu folgendermaßen vor:

Exerciser --- Drive funktionsbereit machen
COMMAND SEQUENCE-Schalter auf SK stellen
Programmschalter auf Continuous stellen
Restore ---> Schlitten auf Spur 0 fahren

Einstellen der obersten Spur: 64 + 8 + 4
LOAD M-Taste betätigen
Einstellung zurücknehmen
EXECUTE-Taste betätigen

Nun wird der Kopf fortlaufend zwischen Spur 0 und 76 hin- und herfahren.



6.1 Vorbeugende Wartungsarbeiten

Reinigung des Magnetkopfes

Unter normalen Umgebungsbedingungen wird eine Reinigung pro Monat empfohlen. Die Reinigung sollte nur mit einer handelsüblichen Reinigungsdiskette durchgeführt werden.

Hinweis: 1. Vergewissern Sie sich, daß sich die Reinigungsdiskette in einwandfreiem Zustand befindet.

Verwenden Sie für dieses doppelseitige Laufwerk nur doppelseitige Reinigungsdisketten.

Dehnen Sie den Reinigungsvorgang nicht zu lange aus, da sonst die Köpfe in Mitleidenschaft gezogen werden könnten.

2. Der Reinigungsvorgang sollte entsprechend den Hinweisen des Diskettenherstellers erfolgen.
3. Damit die Reinigungsdiskette gleichmäßig abgenutzt wird, sollten während eines Reinigungsvorganges alle Spuren durchfahren werden.



6.2 Überprüfung und Abgleich

6.2.1 Justage der Ladearmpositionierung

Benötigte Ausrüstung: - Kreuzschlitzschraubenzieher
- Sicherungslack

Vorgehensweise:

1. Die zwei Halteschrauben des Ladearms lösen, damit der Arm von Hand bewegt werden kann.
2. Durch Drehen des Fronthebels das Laufwerk verriegeln (= Ladearm senken).
3. Jetzt den Ladearm so justieren, daß die Hülse in die Mitte des Ladearmloches zu liegen kommt.
4. Die gelösten Schrauben wieder anziehen und mit Sicherungslack sichern.
5. Vergewissern Sie sich durch Öffnen und Schließen des Ladearms, daß dieser Vorgang ohne zu haken durchgeführt werden kann.

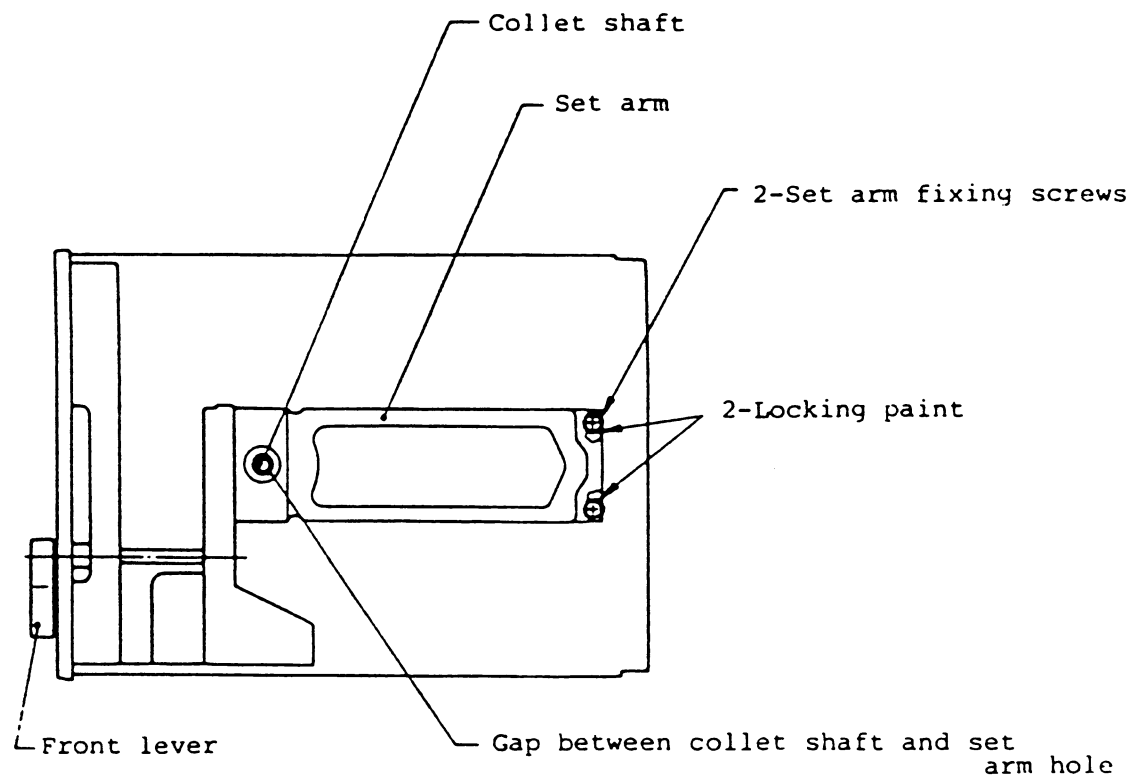


Abb.: Justage der Ladearmpositionierung



6.2.2 Einstellung des Klemmarmes

- Ausrüstung:**
- Kreuzschlitzschraubenzieher
 - Exerciser oder Benutzersystem
 - Arbeitsdiskette

Vorgehensweise:

1. Die vier Halteschrauben lt. Abbildung lösen.
2. Haltearm verriegeln
3. Halter herunterdrücken, bis zwischen dem Sicherungsring auf der Hülse und dem Ladearm ein enger Spalt bleibt. Die gelösten Schrauben festziehen.
4. Arbeitsdiskette einlegen
5. Spindelmotor starten und den weichen Lauf der Diskette beobachten.
6. Diskettenende, das aus dem Frontpanel herauschaut, leicht mit den Fingern zusammenkneifen. Der Spindelmotor muß bis zum Stillstand abgebremst werden können.
7. Falls dies nicht der Fall ist, muß der Halter weiter abgesenkt werden, wobei die Einstellhinweise 1 bis 6 wiederholt werden müssen.

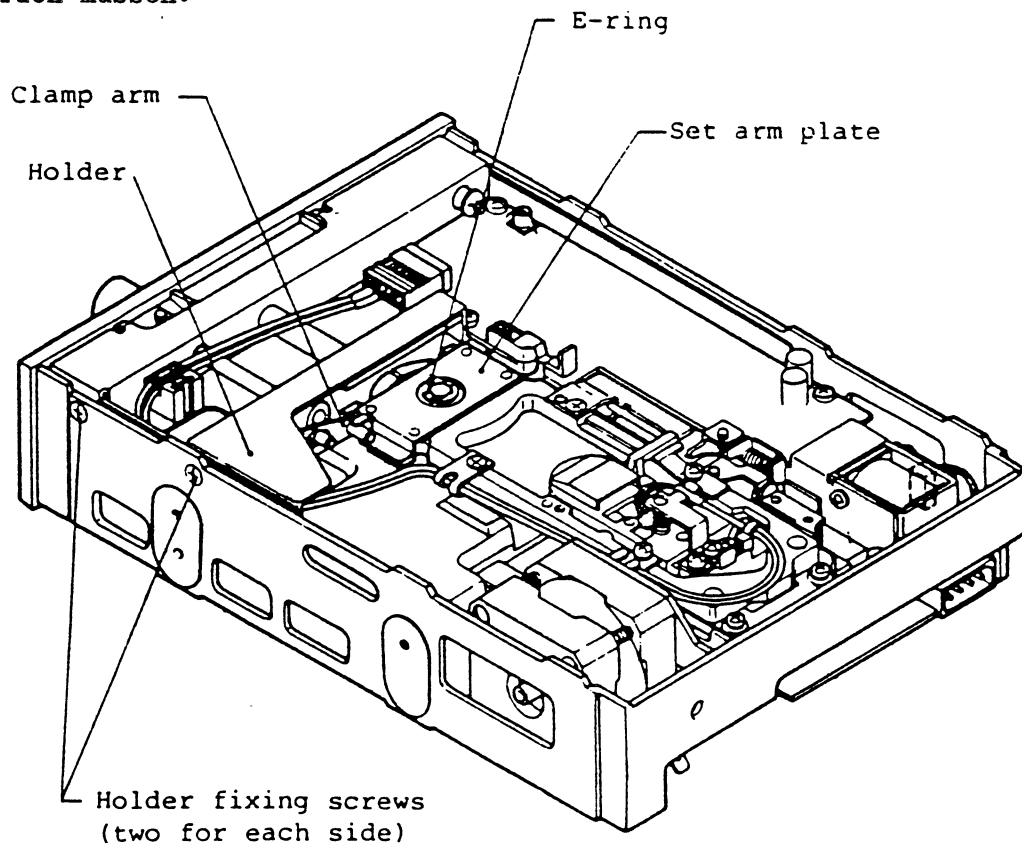


Abb: Einstellung der Klemmarmposition



6.2.3 Einstellung der Umdrehungsgeschwindigkeit

- Ausrüstung:**
- Schmalere Schraubenzieher
 - Exerciser oder Benutzersystem
 - Frequenzzähler (oder Oszillograph)
 - Softsektorierte Arbeitsdiskette

Vorgehensweise:

1. Zähler (oder Oszillograph) am Testpunkt TP4 (Index) anschließen
2. Diskette einlegen und Motor starten
3. Auf Spur 00 fahren (z.B. mit Testdebugger >FC 1 0 oder Exerciser)
4. Pulsintervall muß 200 +/-3 msec betragen
5. Falls nicht:
Auf der Rückseite der Motorsteuerplatine befindet sich ein Trimpoti R1, mit dem die Umdrehungsgeschwindigkeit in weiten Grenzen eingestellt werden kann.

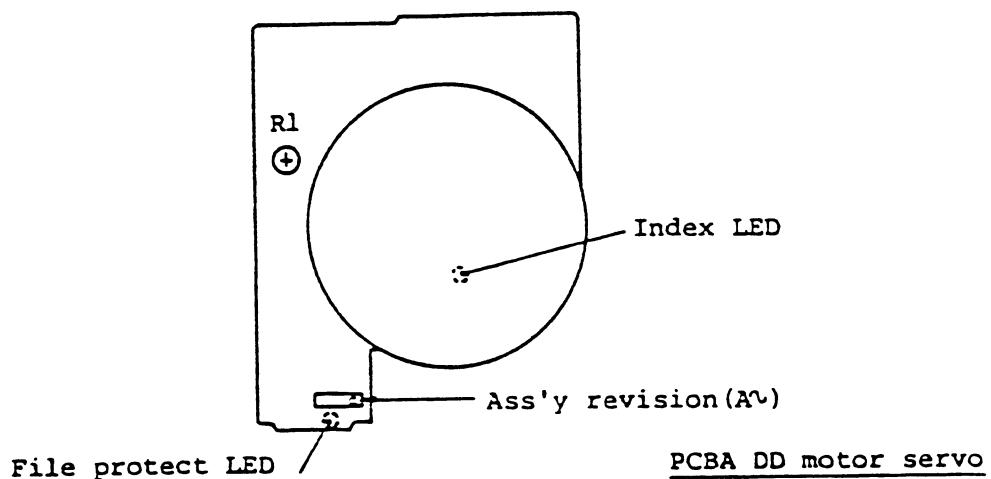


Abb.: Einstellung der Umdrehungsgeschwindigkeit



6.2.4 Abgleich der Löschtorverzögerung

- Ausrüstung:**
- schmaler Schraubenzieher
 - Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

An Testpunkt 2 kann der Ausgang des Löschores gemessen werden. Wenn das Signal "High" ist, fließt der Löschstrom durch den Löschkopf.

Mit dem Trimpoti R1 auf der Steuerlogikplatine müssen folgende Zeitbedingungen in Bezug auf das Schreibtorsignal eingestellt werden.

Einschaltverzögerung	260 +/- 60 us
Ausschaltverzögerung	890 + 60 - 30 us

Anschluß des Oszilloskops:

Triggerkanal: WRITE GATE
Kanal 2: TP2 (Löschtorverzögerung)

Einschaltverzögerung:

- Write Gate: TRUE
- negativer Trigger

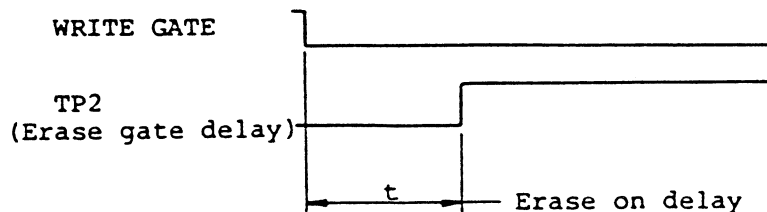


Abb: Einschaltverzögerung



Ausschaltverzögerung:

- Write Gate: False
- positiver Trigger

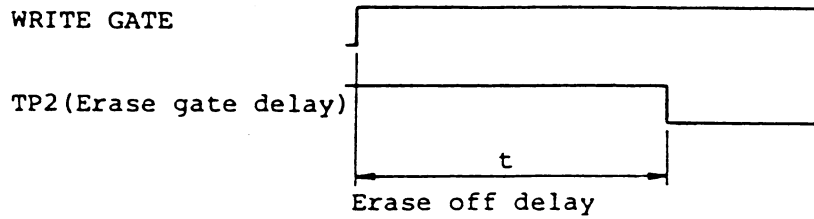


Abb: Ausschaltverzögerung



6.2.5 Überprüfung und Abgleich des Schreibabschlußwiderstandes

Dieser Punkt betrifft nur die Laufwerke, auf denen das Trimpoti R5 sowie der Testpunkt TP11 auf der Schreib-/Leseverstärkerplatine vorhanden sind. Falls R5 und TP11 nicht vorhanden sind, braucht diesem Kapitel keine Beachtung geschenkt werden.

- Ausrüstung:**
- Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

Überprüfung und Abgleich:

- Oszilloskop an Testpunkt 11 auf der Schreib-/Leseverstärkerplatine anschließen (AC-Modus, 0.5V, 0.5...2usec).
- Drive mit eingelegter Arbeitsdiskette starten
- Diskette mit Testmuster 2F beschreiben
- Beobachten der Kurvenform. Ein kleiner Überschwinger ist erlaubt. Dieser Vorgang muß für beide Seiten durchgeführt werden. Mit Poti R5 kann der optimale Verlauf eingestellt werden.

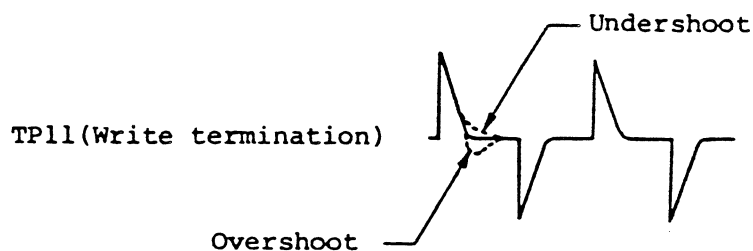


Abb.: Schreibsignal



6.2.6 Asymmetrieeinstellung

Dieser Punkt betrifft nur Laufwerke, bei denen das Trimpoti R4 auf der Schreib-/Leseverstärkerplatine vorhanden ist.

- Ausrüstung:**
- Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

Überprüfung und Abgleich:

- Oszilloskop an TP5 auf der Schreib-/Leseverstärkerplatine oder an der "Read Data"-Leitung anschließen.
Einstelldaten: DC-Mode 2V, 1 usec
- Spindelmotor starten, Arbeitsdiskette einlegen, auf die innerste Spur fahren und Kopf laden
- Spur mit 1F beschreiben
- Asymmetrie gemäß Abb. messen

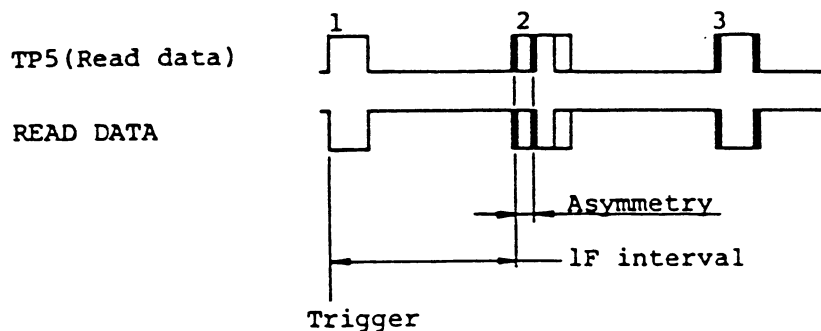


Abb: Asymmetrie

Achtung: Das Oszilloskop sollte so eingestellt werden, daß 3 "Read Data"-Pulse beobachtet werden können. Die Asymmetriebreite wird am zweiten "Read Data"-Puls nach dem Triggerpuls gemessen.



Die Asymmetrie sollte max. 0.6 μ sec betragen.

- Falls dieser Wert größer ist, sollte mittels R4 bei abwechselnden 1F Lese- und Schreibzugriffen ein minimaler Asymmetriewert eingestellt werden.

Diese Einstellungen müssen für **beide** Seiten getätigt werden.

Falls sich der angegebene Wert nicht erreichen läßt, kommen folgende Ursachen in Betracht:

- | | | |
|------------------------------------|------|---------------|
| - Schlechte Arbeitsdiskette | ---> | austauschen |
| - beschädigte Köpfe | ---> | austauschen |
| - defekter Schreib-/Leseverstärker | ---> | instandsetzen |

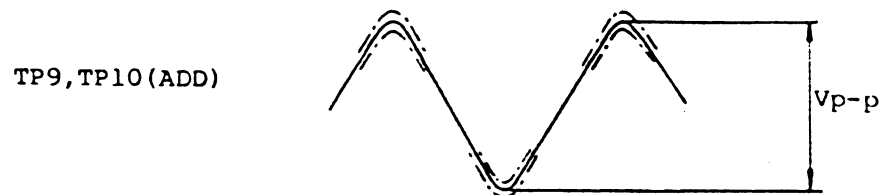


6.2.7 Überprüfung des Lesepegels

Der Lesepegel sollte auf der innersten Spur auf beiden Diskettenseiten mindestens 0.6 V_{p-p} betragen.

Dazu werden die Testpunkte TP9 und TP10 benutzt.

Oszilloskopeinstellung: AC-Mode, 0.2 V



6.2.8 Überprüfung und Einstellung der Spurlage (Track Alignment)

- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Alignment-Diskette
 - Abgleichschlüssel oder 15 mm lange M3-Schraube
 - Exerciser
 - Oszilloskop
 - Hygrometer
 - Sicherungslack

Achtung: Die Überprüfung und der Abgleich der Spurlage sollten unter normalen Betriebsumgebungsbedingungen (Temperatur, Feuchte) durchgeführt werden. Extreme Temperatur- und Feuchtwerte sind zu vermeiden.

Das Laufwerk sollte diesen Bedingungen mindestens 2 Stunden lang ausgesetzt sein, bevor eine Überprüfung erfolgen kann.

Während des Abgleichs sollte sich das Laufwerk in derselben Lage wie im eingebauten Zustand befinden.

- Abgleich:**
- Zweikanaloszilloskop an den Testpunkten TP9 und TP10 auf der Schreib-/Leseverstärkerplatine anschließen
 - AC-Mode, 0.2V, 20 msec
(für beide Kanäle; einen Kanal invertieren und beide Kanäle addieren)
 - Alignmentdiskette einlegen und auf Spur 36 fahren. Es sollte nun ein der Abb. entsprechendes Bild zu erkennen sein. Dabei ist es noch nicht notwendig, daß die beiden Testmuster V_A und V_B gleich groß sind.



Falls auf dieser Spur nur ein Pattern oder kein entsprechendes Muster zu erkennen ist, befindet sich der Kopf nicht auf der Alignment-Spur. Der Kopf muß dann soweit nach innen bzw. außen gefahren werden, bis ein entsprechendes Muster zu erkennen ist.

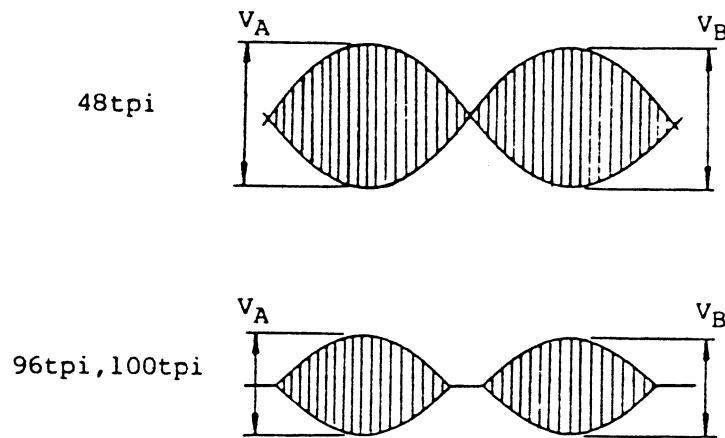


Abb.: Testmuster



Die maximale Abweichung der Amplituden V_A und V_B zueinander ergibt sich ungefähr zu:

$$\frac{V_A - V_B}{\text{Max}(V_A, V_B)} \times 100 (\%)$$

Dieser Wert darf max. 30 % betragen und ist für beide Oberflächenseiten zu überprüfen.

Falls dieser Wert nicht erreicht wird, muß die Spurlageneinstellung folgendermaßen eingestellt werden:

- Lösen Sie die 2 Halteschrauben des Steppermotors ein wenig
- Abgleichwerkzeug oder M3-Schraube gemäß Abb. einschrauben
- Auf diese Weise läßt sich der Steppermotor soweit verschieben, bis das Oszillographenbild für beide Oberflächen ein optimales Aussehen zeigt.
- Sicherungsschrauben des Steppermotors wieder festziehen und mit Sicherungslack sichern.
- Nun müssen Spur 00-Sensor und der Spur 00-Anschlag wie in Kapitel 6.2.9 beschrieben eingestellt werden.

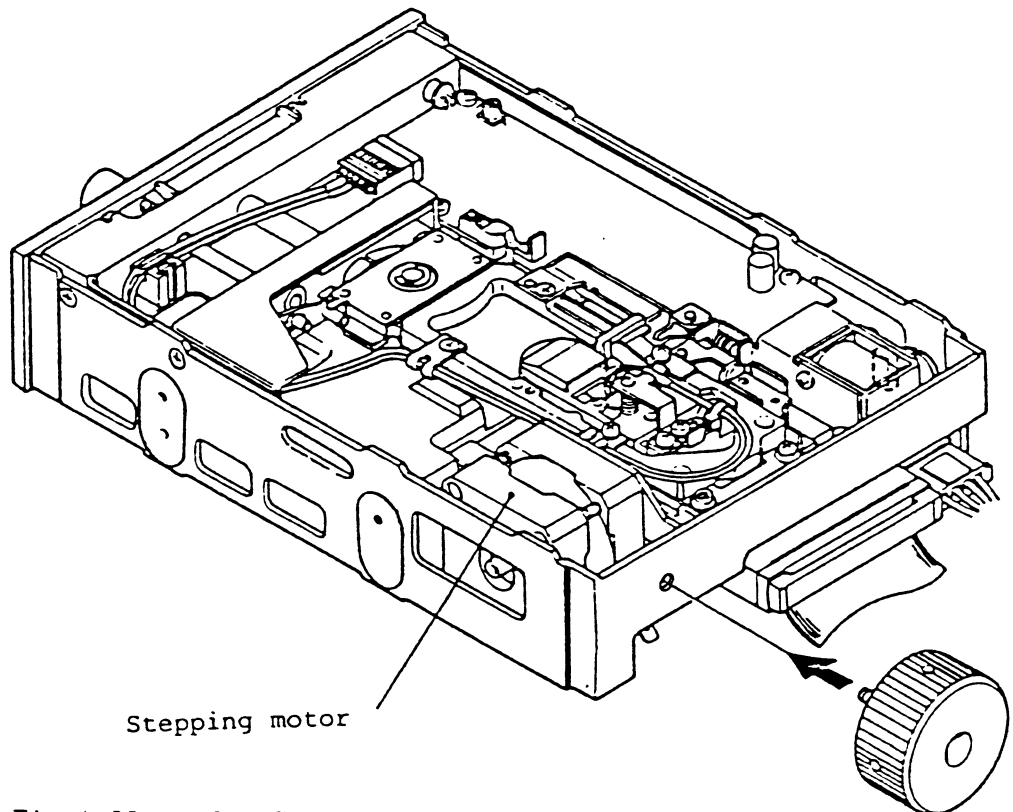


Abb: Einstellung der Spurlage



6.2.9 Überprüfung und Abgleich des Spur 00-Sensors

- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Arbeitsdiskette
 - Alignmentdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop oder Digitalvoltmeter
 - Sicherungslack

Abgleichanleitung:

1. Digitalvoltmeter oder Oszilloskop (DC, 1V) am Spur 00-Sensor (Testpunkt TP1) auf der Schreib-/Leseverstärkerplatine anschließen.
2. Arbeitsdiskette einlegen, Motor starten und Kopf senken
3. Wenn der Kopf auf Spur 00 steht muß am TP1 eine Spannung von mindestens 3 Volt zu messen sein.
4. Das Laufwerk kurz spannungslos machen. Beim Wiedereinschalten darf sich die Kopflage nicht verstellen. Dies bedeutet, daß sich der Stepermotor in der 0-Lage befindet.
5. Kopf auf Spur 04 fahren. Die Spannung an TP1 darf maximal 0.5 Volt betragen.

Falls die Werte der Punkte 3...5 nicht erreicht werden, muß der Spur 00-Sensor verstellt werden:

- Als erstes muß sichergestellt werden, daß die Head-Alignment-Einstellung (Kap. 6.2.8) korrekt ist.
- Oszilloskop an TP1 anschließen (DC, 1V)
- Kopf auf Spur 02 fahren
- Mit eingelegter Arbeitsdiskette wird der Spur 00-Sensor nach Lösen seiner Halteschraube soweit verschoben, bis sich folgender Spannungswert einstellt:

Spur 02: 1 Volt +/- 0.2 Volt

- Sensor festschrauben und Schraube mit Sicherungslack sichern.

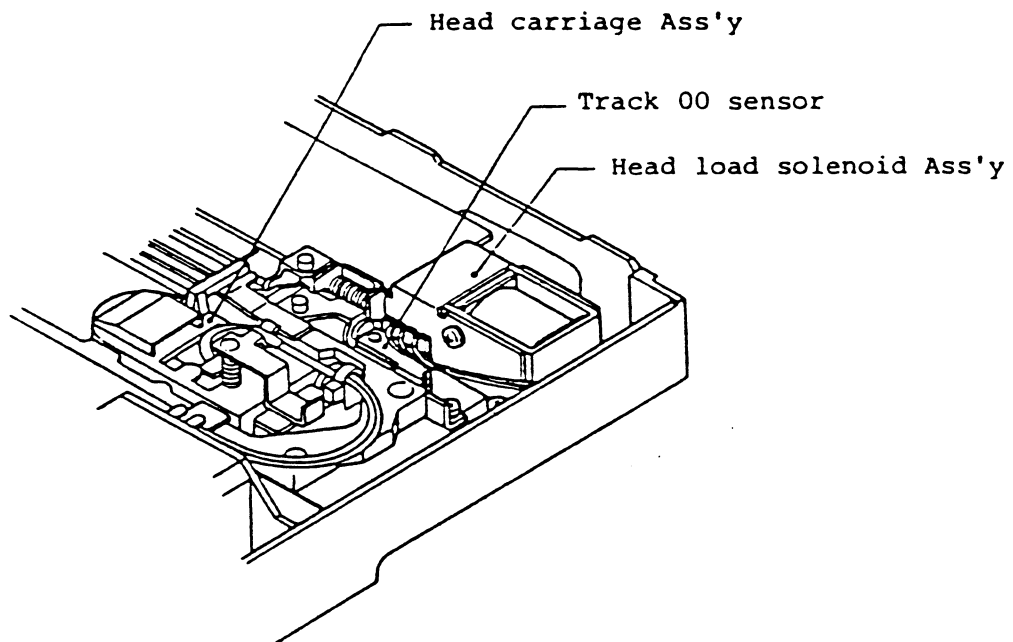


Abb.: Justieren des Spur-00-Sensors



6.2.10 Einstellung und Abgleich des Spur 00-Anschlages

- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Exerciser oder Benutzersystem
 - Sicherungslack

Vorgehensweise:

- Kopf auf Spur 00 fahren
- Eine weitere Spur nach außen fahren; es darf zwischen Kopf-Aufnahme und Anschlag kein Abstand vorhanden sein.

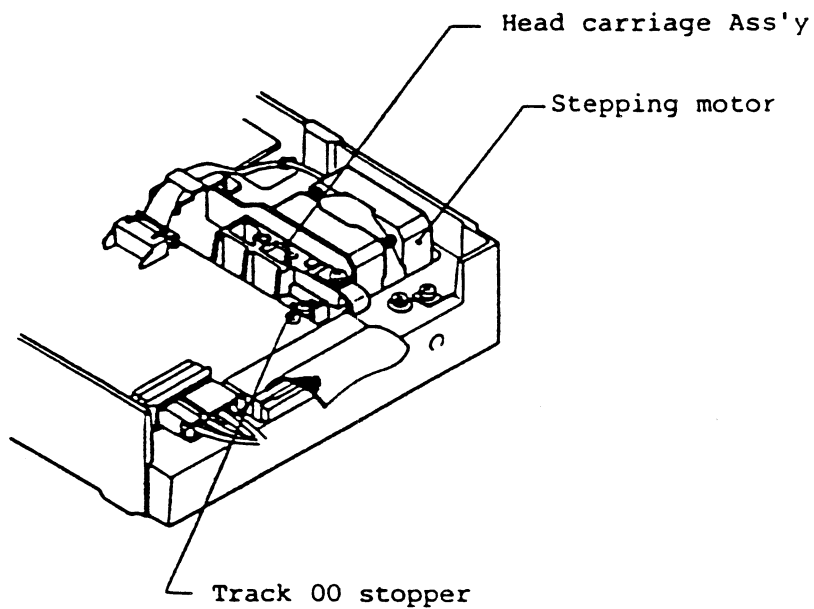


Abb.: Einstellung des Spur-00-Anschlages



6.2.11 Index-Sensor-Einstellung

Das Index-Signal bezeichnet bekannterweise den Anfang einer Spur auf der Diskette. Der Index-Sensor muß deshalb so justiert werden, daß der Kopf am Anfang einer Spur steht, wenn das Indexloch der Diskette beim Passieren des Index-Sensors einen Impuls erzeugt.

- Benötigte Ausrüstung:**
- Inbusschlüssel 1,5 mm
 - Alignment-Diskette
 - Exerciser oder Benutzersystem
 - Oszilloskop
 - Sicherungslack

Vorgehensweise:

- Oszilloskop aus Laufwerk anschließen
Kanal 1: TP4 (Index) + Trigger (DC, 2V, 50 us)
Kanal 2: TP7 oder TP8 (Vorverstärker) (AC, 0.5V, 50 us)
- Spindelmotor starten, Alignment-Diskette einlegen, Kopf laden und auf Spur 02 fahren
- Zeit entsprechend Abb. messen. Sie muß 200 +/- 200 us betragen

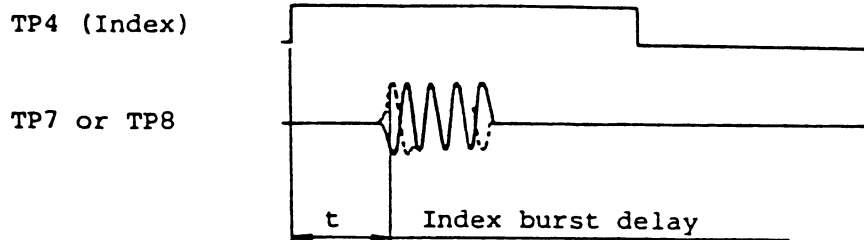


Abb.: Zeitdiagramme zur Index-Sensor-Einstellung



- Falls die Zeit außerhalb des vorgegebenen Rahmens liegt, muß die Indexsensorhalterung justiert werden:
- Halteschraube des Sensors lt. Abb. lösen und ihn entsprechend verstellen.
- Festgezogene Schraube mit Sicherungslack sichern.

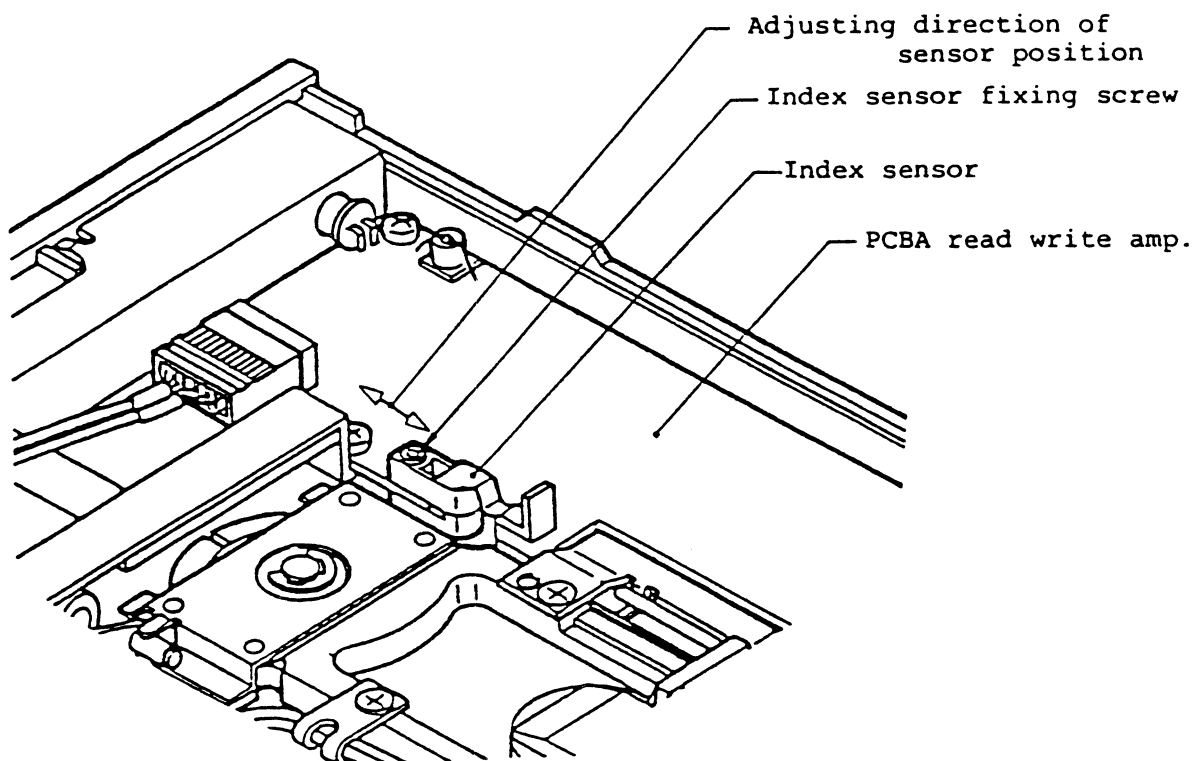


Abb.: Justage des Indexsensors



6.2.12 Azimuth-Überprüfung

Die Kontrolle der folgenden Signale ermöglicht eine Aussage darüber, ob der Kopf richtig im Schlitten montiert ist, d.h. es wird angezeigt, ob der Lesespalt genau parallel zur Spurrichtung steht.

Ausrüstung:

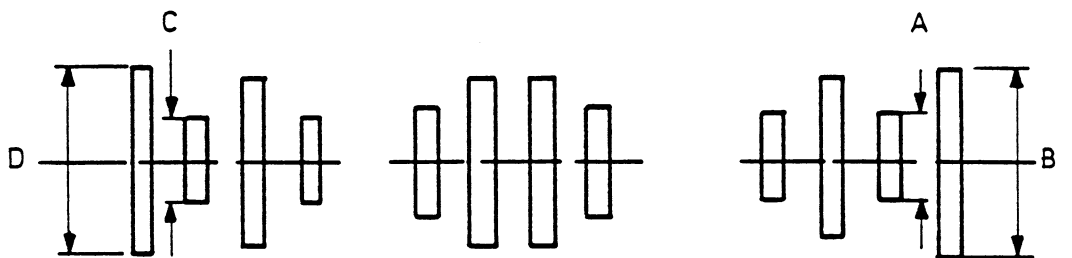
- Exerciser
- Alignment-Diskette
- Oszilloskop

Vorgehensweise:

1. Exerciser am Drive anschließen und einschalten
2. Alignment-Diskette laden
3. Motor einschalten und Drive auswählen
4. Spur 68 anwählen
5. Kurvenform ablesen

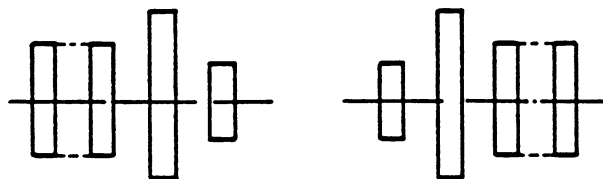
Trigger EXT - Index (DC,-) 0.5 ms/div
CH1 - TPB9 (AC) 50 mV/div) ADD
CH2 - TPB10 (AC,INV) 50 mV/div)

6. Die Einstellung stimmt, wenn sich die Kurven im angegebenen Bereich befinden.



$$130 > \frac{D}{C} \times 100 \quad \text{ACCEPTANCE RANGE} \quad \frac{B}{A} \times 100 < 130$$

REFERENCE ACCEPTANCE RANGE



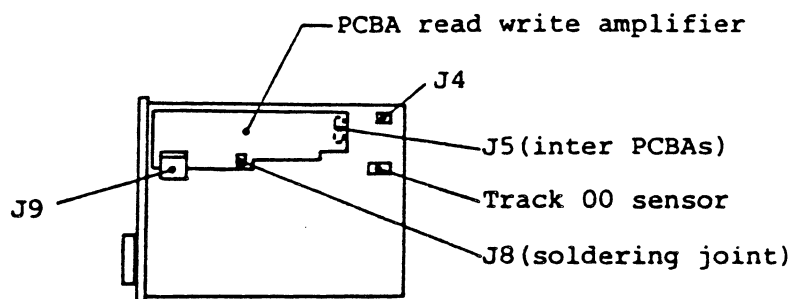
-12'

+12'

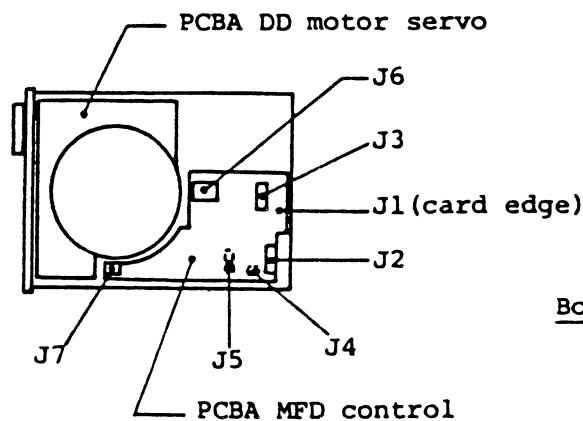


7. Zusammenstellung aller Anschlüsse, Testpunkte und Einstellregler

7.1 Anschlüsse



Top view of the FDD



Bottom view of the FDD

- J1: Interface-Anschluß
- J2: Stromversorgungsanschluß
- J3: IC-Sockel für Terminator
- J4: Kopfladeeinheit und Spur 00-Anschluß
- J5: Verbindung zwischen den Platinen
- J6: Anschluß für Steppermotor
- J7: Anschluß für Spindelmotor
- J8: Index-Sensor-Anschluß
- J9: Kopf-Anschluß



7.1.1 Interfacestecker

Passender Stecker:

3M, Scotchflex ribbon connector
PIN 3463-0001
oder
AMP P/N 583717-5
und P/N 1-563616-1
oder ähnliche

Maximallänge des Interface-Kabels: 3 m

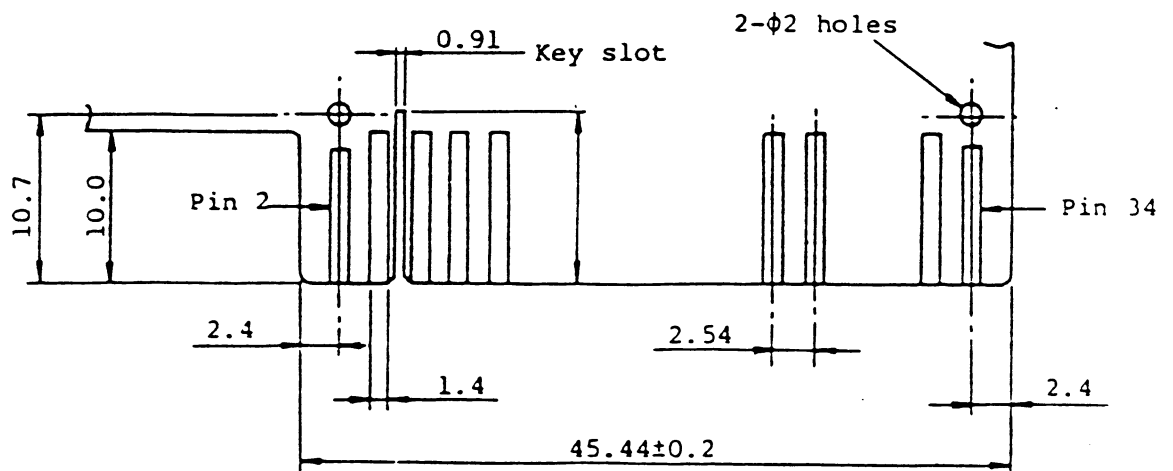
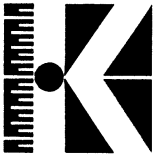


Abb: Interfacestecker



Serviceanleitung Teac FD-55 F

Signal	Richtung	Pin-Nummern	
		Signal-Leitung	OV-Rückführung
SPARE	INPUT	2	1
IN USE	INPUT	4	3
DRIVE SELECT 3	INPUT	6	5
INDEX/SECTOR	OUTPUT	8	7
DRIVE SELECT 0	INPUT	10	9
DRIVE SELECT 1	INPUT	12	11
DRIVE SELECT 2	INPUT	14	13
MOTOR ON	INPUT	16	15
DIRECTION SELECT	INPUT	18	17
STEP	INPUT	20	19
WRITE DATA	INPUT	22	21
WRITE GATE	INPUT	24	23
TRACK 00	OUTPUT	26	25
WRITE PROTECT	OUTPUT	28	27
READ DATA	OUTPUT	30	29
SIDE ONE SELECT	INPUT	32	31
READ	OUTPUT	34	33



7.1.2 Stromversorgungsanschluß

Passender Stecker: AMP, P/N 1-480424-0
und pins 60617-1
oder 60619-1
oder ähnliche

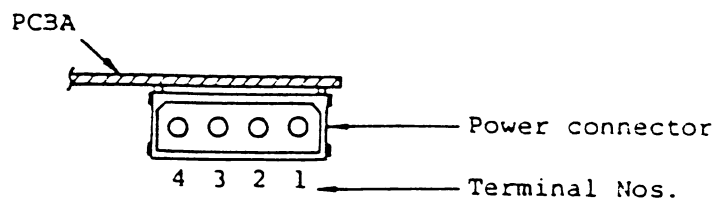


Abb.: Stromversorgungsanschluß

Anschlußbelegung:

Spannung	Anschluß Nr.
DC + 12V	1
0V	2
0V	3
DC + 5V	4



Die Versorgungsspannungen müssen folgende Bedingungen erfüllen:

12V DC: 1. Toleranzen:

während einer Schreib-/Leseoperation: +/- 5%
sonst: +/- 10%

2. Überlagerte Wechselspannung:

maximal 200mV_{p-p}

3. Stromaufnahme:

bei normal leichtgängiger Diskette: typ 0.25A
bei schwergängiger Diskette : max 0.60A
beim Einschalten (für 0.4 sec): 0.90A
Standby-Betrieb typ 0.05A
max 0.08A

5V DC: 1. Toleranzen:

Unter allen Betriebsbedingungen max +/- 5%

2. Überlagerte Wechselspannung:

maximal 100mV_{p-p}

3. Stromaufnahme:

unter normalen Betriebsbedingungen typ 0.50A
maximaler Mittelwert: max 0.65A
kurzzeitige Spitzen: max 0.80A
Standby-Betrieb: typ 0.40A
max 0.50A

Besonderheiten: Da das Laufwerk mit einer "Power-Reset" Schaltung ausgerüstet ist, führt das Anlegen und Abschalten der Versorgungsspannungen zu keinem Datenverlust.



7.1.3 Schreib-/Lesekopf-Anschluß

PIN	Signal
J9 - 4	Side 0 - Abschirmung
J9 - 12	R/W Start
J9 - 2	R/W Finish
J9 - 10	Masse
J9 - 8	Löschen
J9 - 3	Side 1 - Abschirmung
J9 - 11	R/W Start
J9 - 1	R/W Finish
J9 - 9	Masse
J9 - 7	Löschen

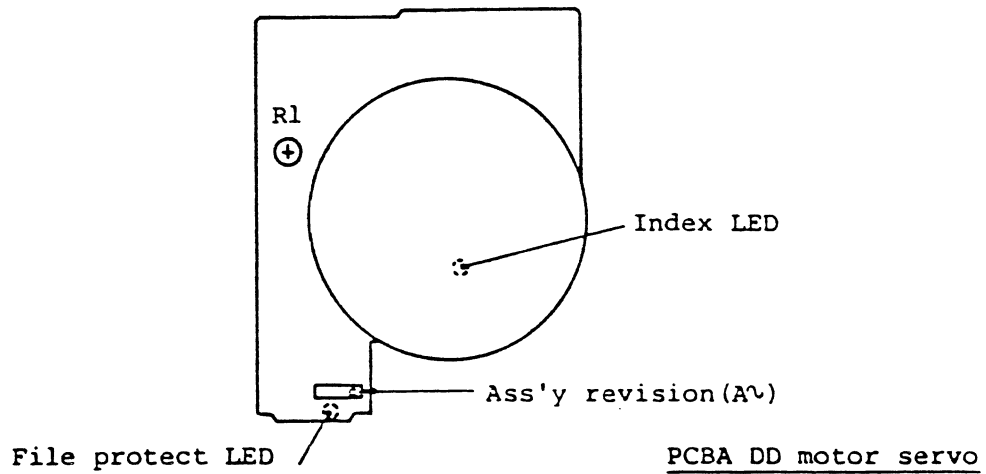
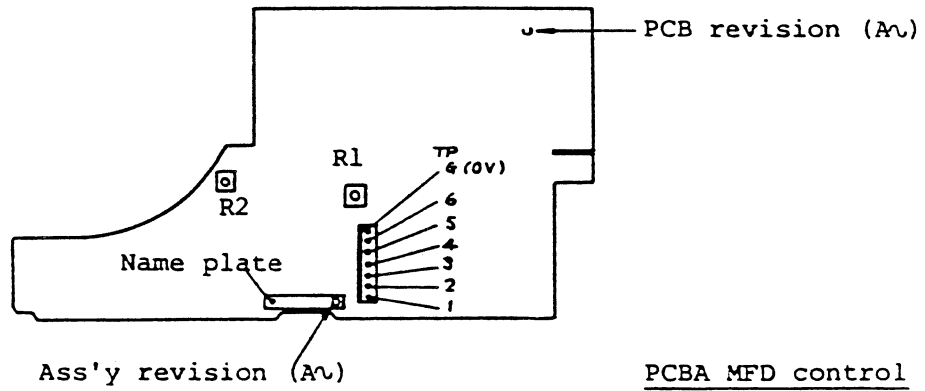
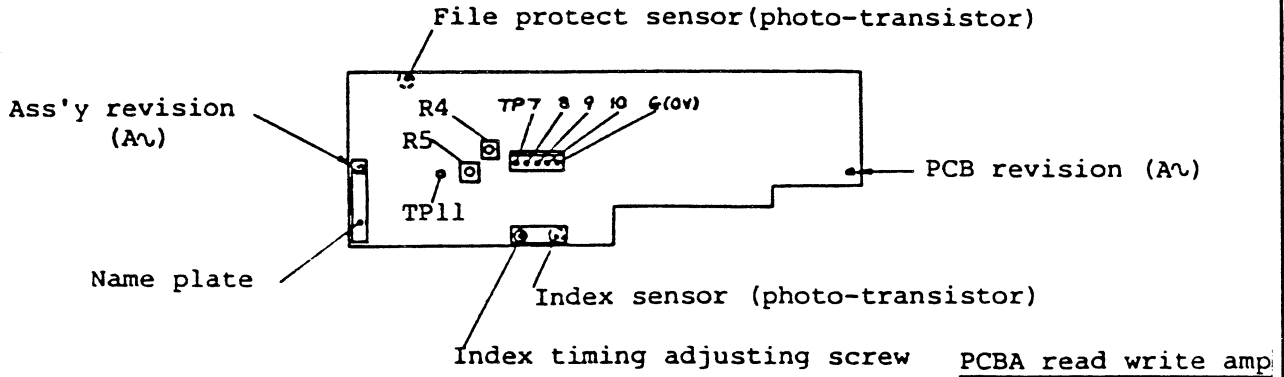
7.1.4 Interne Anschlüsse

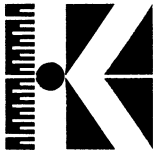
(Kopf laden, Spindelmotor, Activity-LED, Spur 00-Sensor)

PIN	Signal
J4 - 4	Spur 00 Sensor LED
J4 - 5	Spur 00 Sensor
J4 - 6	Spur 00 Sensor 0V
J4 - 1	Kopf laden Masse
J4 - 2	Kopf laden Versorgung
J6 - 1	Stepper-Motor Phase A
J6 - 3	Phase A
J6 - 2	Phase B
J6 - 4	Phase B
J6 - 5	Common A
J6 - 6	Common B
J7 - 3	DC Motor ein
J2 - 2	0V
J7 - 4	+ 5V
J7 - 1	+ 12 V



7.2 Lage der Testpunkte und Einstellwiderstände





Testpunkte:

TP1: Spur 00-Sensor
TP2: Löschtorverzögerung
TP3: Bei 96 tpi stets LOW
TP4: Index
TP5: "Read Data"
TP6: "File Protect Sensor"
TP7,8: Vorverstärker
TP9,10: Differentiationsverstärker
TP11: Schreib-Abschluß
TP G: Masse OV

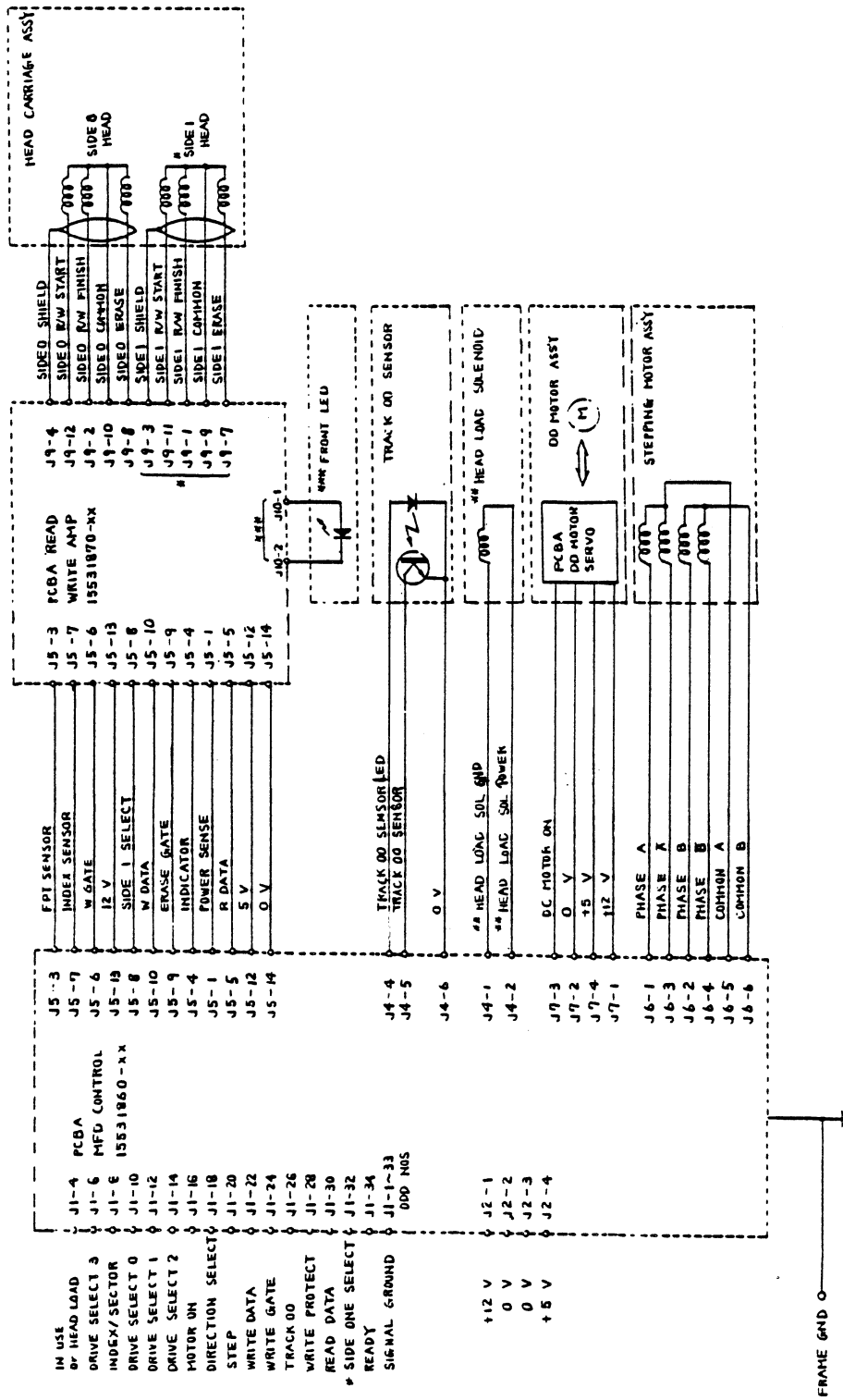
Einstellregler:

R1 auf Motorplatine: Umdrehungsgeschwindigkeit
R1 auf Kontrollplatine: Löschtorverzögerung
R2 nicht belegt
R4 auf Verstärkerplatine: Asymmetrieabgleich
R5 Schreibabschlußabgleich

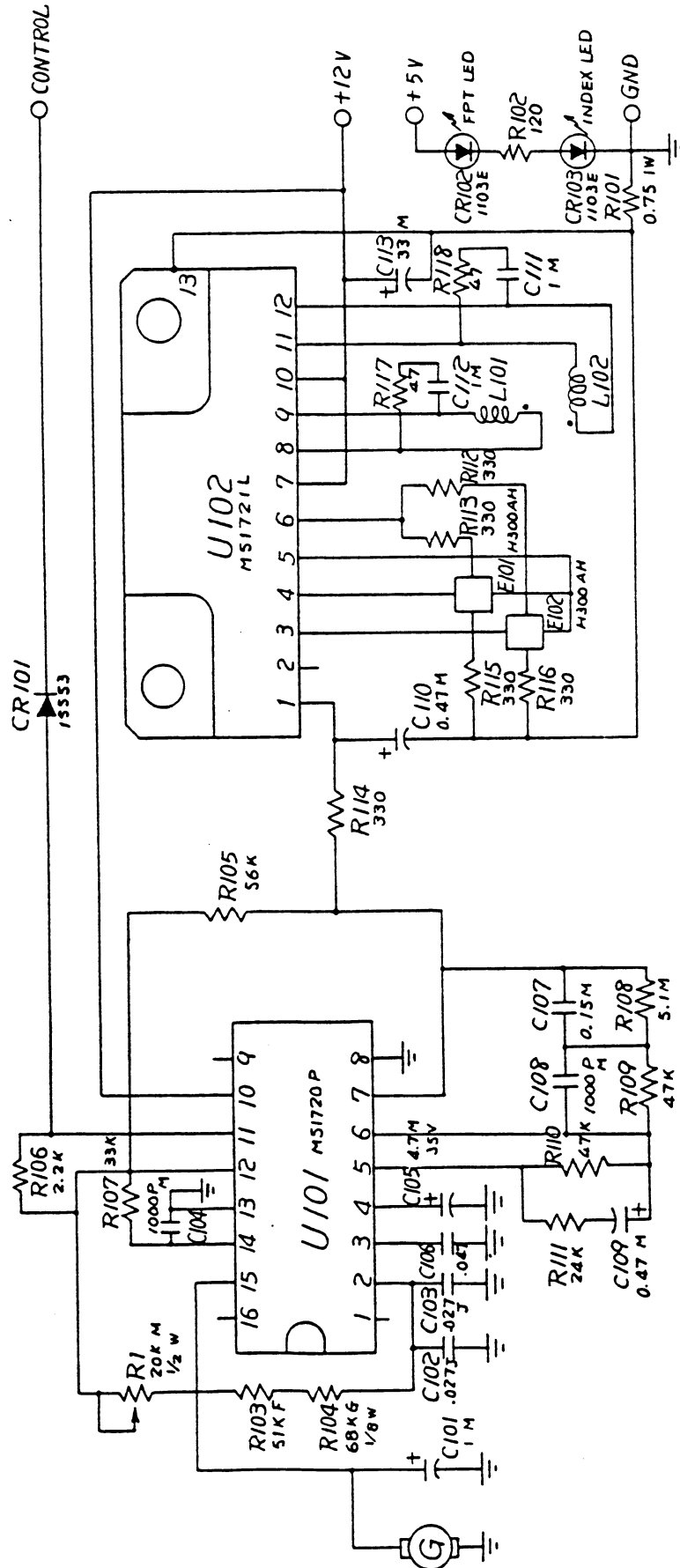


8. Pläne

8.1 Schaltpläne



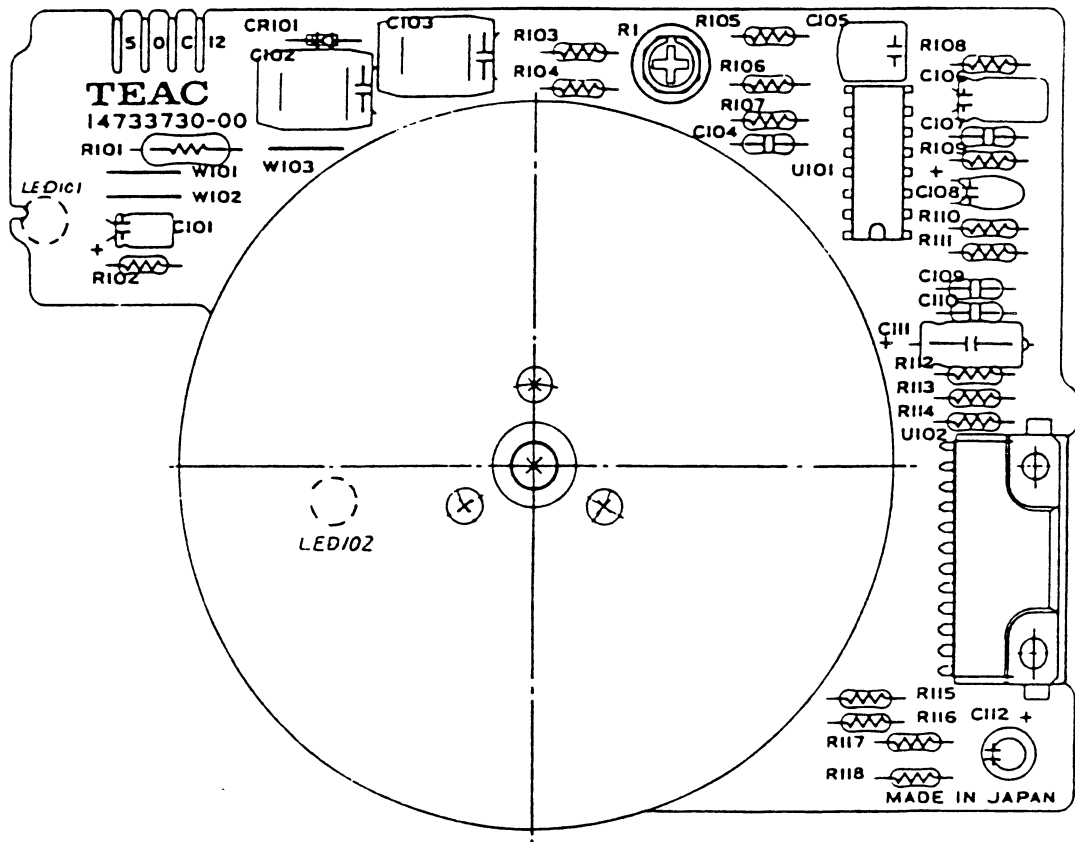
- NOTES:
1. PARTS AND SIGNALS WITH * MARK ARE USED ONLY FOR THE DOUBLE SIDED MODELS.
 2. PARTS AND SIGNALS WITH ** MARK ARE NOT USED FOR THE CSS MODELS.
 3. PARTS AND SIGNALS WITH *** MARK ARE USED ONLY FOR THE 1/1 FRONT SIZE MODELS. THEY ARE MOUNTED ON THE PCBA R/W AMP. FOR THE OTHER MODELS.



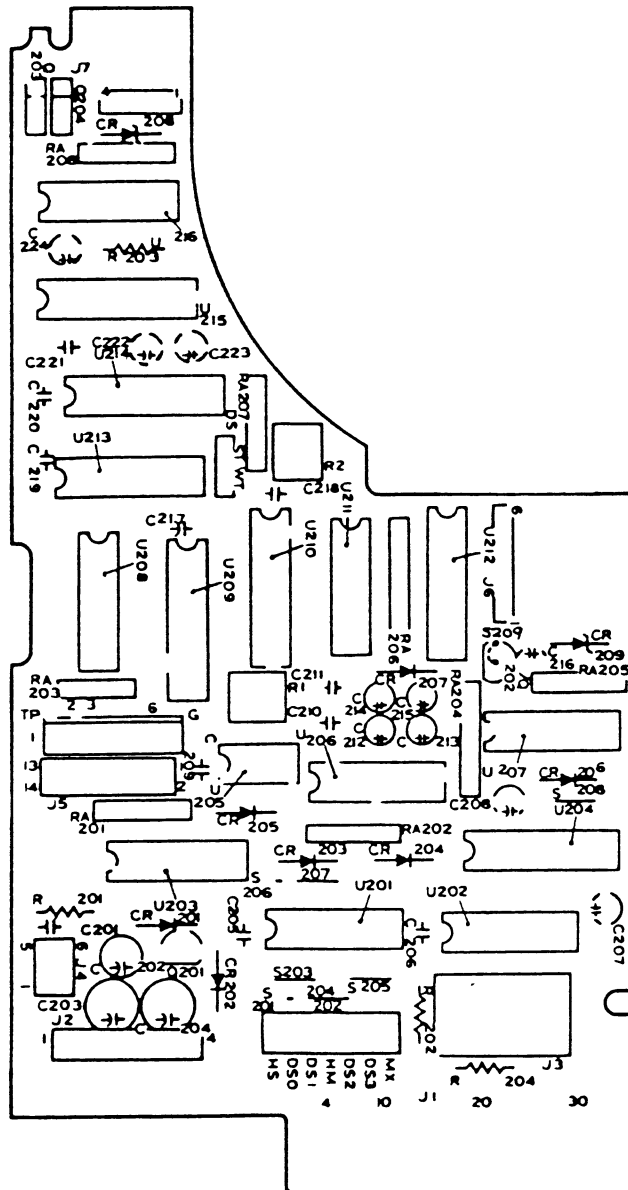
PCBA DD MOTOR SERVO, SCHEMATIC



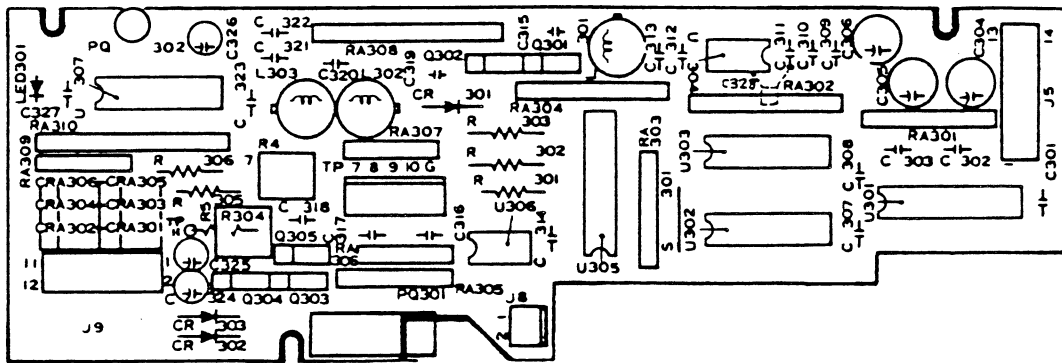
8.2 Bestückungspläne



PCBA DD MOTOR SERVO, PARTS LOCATION



PCBA MFD CONTROL, PARTS LOCATION



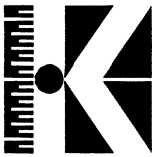
PCBA R/W AMP. PARTS LOCATION



Serviceanleitung Mitsubishi M4853

Diese Anleitung behandelt das Floppy-Laufwerk

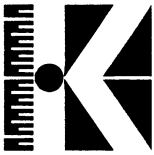
Mitsubishi M4853



Inhaltsverzeichnis

1. Spezifikationen
2. Allgemeines
3. Schaltungsbeschreibung
4. Unterschiede zwischen Laufwerk 0/1
5. Beschreibung der Ein-/Ausgangssignale
 - 5.1 Eingangssignale
 - 5.2 Ausgangssignale
 - 5.3 Zeitverhalten der Signale
6. Wartung und Abgleich des Drives
 - 6.1 Kopfreinigung
 - 6.2 Einstellung der Spindelmotordrehzahl
 - 6.3 Spur-0-Einstellung
 - 6.4 Index-Sensor
 - 6.5 Kopfeinstellung
 - 6.6 Azimuth-Überprüfung
7. Anschlußbelegung und Testpunkte
 - 7.1 Drive-Elektronik
 - 7.2 Zusammenstellung der Testpunkte
 - 7.3 Steckerbezeichnungen mit Pinbelegungsplan
 - 7.3.1 Signalanschluß
 - 7.3.2 Spannungszuführung
 - 7.3.3 Schreib-/Lesekopf-Anschluß
 - 7.3.4 Interne Anschlüsse

Anhang: Schaltplan
Bestückungsplan



1. Spezifikationen

Mitsubishi M4853

Abmessungen:

Höhe	42 mm
Breite	148 mm
Tiefe	203 mm
Gewicht	1.3 kg

Betriebsbedingungen:

Temperaturbereich	5...43 Grad C
Feuchtigkeitsbereich	20...80 % nicht kondensierend

Leistungsaufnahme:

Betrieb	11.4 Watt
Standby	9 Watt
Motor aus	5.6 Watt

Kapazität: (2-seitig, doppelte Schreibdichte)

unformatiert	1000 Kilobytes
formatiert	655.4 Kilobytes

Laufwerkdaten:

Umdrehungsgeschwindigkeit	300 U/min
Latenzzeit	100 ms (Durchschnitt)
Kopfladezeit	50 ms
Motorstartzeit	250 ms

Zugriffszeiten:

Spur-zu-Spur	3 ms
mittl. Positionierzeit	94 ms (eingeschlossen 3 ms Schritt- und Beruhigungszeit)



Serviceanleitung Mitsubishi M4853

<u>Übertragungsrate:</u>	250 Kilobit/sec.
<u>Aufzeichnungsdichte:</u>	5922 bits/inch
<u>Spurdichte:</u>	96 Spuren/inch
<u>Spurenzahl/Seite</u>	80
<u>Mediengröße/Spezifikation:</u>	Double-Sided, 96 TPI Standard 5 1/4 inches Diskette
<u>Zuverlässigkeit:</u>	
MTBF	10.000 Stunden Einschaltzeit
MTRR	30 Minuten
Lebensdauer Unit	> 5 Jahre oder 20.000 Std. Einschaltzeit
Lebensdauer Diskette	> 3.5 x 10 ⁶ Zugriffe/Spur
Soft Error Rate	1 pro 10 ⁹
Hard Error Rate	1 pro 10 ¹²
Seek Error Rate	1 pro 10 ⁶



2. Allgemeines

Um eine Fehlersuche am Floppy-Drive (FD) vorzunehmen, muß man sich vorher mit der Wirkungsweise der magnetischen Aufzeichnungen sowie der Schaltfunktion vertraut machen. Ferner sind zur Fehlersuche und Justage spezielle Meßmittel nötig.

Die benötigte Technik zur Aufzeichnung und für das Rücklesen von Daten kann man in 3 Bereiche gliedern:

- | | |
|----------------------|------------------|
| - intelligente Logik | Zentralplatine |
| - Drive-Elektronik | FD-Laufwerkboard |
| - Mechanik | FD |

Die intelligente Steuerung der Drives befindet sich auf der Zentralplatine. Das Laufwerk ist mit dieser Platine über ein Flachbandkabel verbunden und erhält auf diesem Wege Steuersignale und Daten.

Die Elektronik auf dem Laufwerksboard beschränkt sich darauf, diese Signale auszuwerten um die elektromechanischen Teile zu steuern, sie zu überwachen und Rückmeldungen an die Zentralplatine zu liefern. Außerdem werden die Schreib- und Lesevorgänge durchgeführt - es müssen also TTL-Pegel in Schreibströme umgewandelt werden bzw. Leseströme in TTL-Pegel.

Den empfindlichsten und stör anfälligsten Teil des Laufwerkes stellt die Mechanik dar.

Um ein fehlerfreies Schreiben und Lesen zu gewährleisten, müssen auch die Disketten dementsprechend behandelt werden:

- Disketten nur mit Filzstift nur auf dem Klebeetikett beschriften. Kugelschreiber o.ä. hinterlassen Druckspuren auf der Diskettenoberfläche und verursachen Lesefehler.
- Disketten nicht knicken
- Disketten vor magnetischen Einflüssen fernhalten
- Disketten vor Feuchtigkeit und Staub schützen
- Lagertemperatur von Disketten: 10 - 52 Grad C.
- Starke Sonnenbestrahlung vermeiden
- Nach Gebrauch in die Diskettenhülle zurücklegen
- Disketten vorsichtig in das Laufwerk einführen und vor dem Abschalten entnehmen
- Diskettenoberfläche nicht berühren.



Funktionsübersicht des Laufwerkes

Folgende Abbildung zeigt einen funktionalen Überblick für ein Laufwerk mit seinen mechanischen und elektrischen Funktionsgruppen.

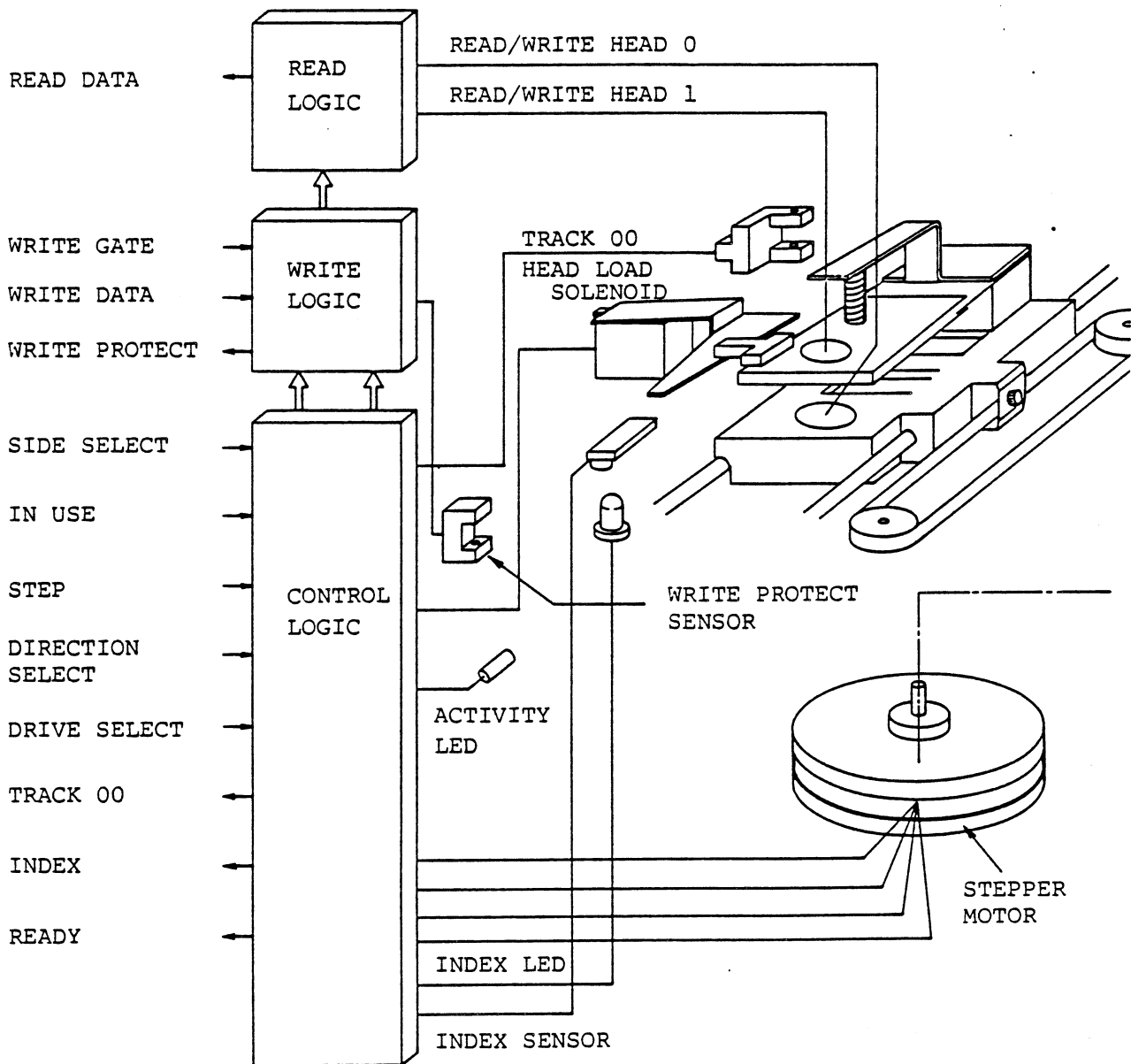
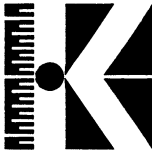


Abb. 2-1: M4853 Funktionsübersicht



Auf der elektronischen Seite läßt sich das Laufwerk in folgende Baugruppen unterteilen:

- Ein-/Ausgabetreiber zum Anschluß an den Floppy-Treiber des Zentralboards (Line Driver)
- Drive-Erkennungsschaltung (Drive Selection)
- Index-Erkennung (Index-Detection)
- Kopf-Positionierung (Head positioning)
- Kopf Ladeschaltung (Head loading)
- Schreib-/Lese-Schaltung (Read/Write)
- Schreibschutz-Schaltung (Write protect)
- Spur-0-Erkennung (Track 0 detection)
- Drive-Freigabe (drive ready detection)
- Kopfauswahl (Head selection)
- Busy-LED-Steuerung

Auf der mechanischen Seite sind zu erwähnen:

- bürstenloser direktgetriebener Spindelmotor mit 300 upm
- Positioniermechanismus:
Die Kopfaufnahme wird durch ein am zwei-phasen Steppermotor befestigtes Stahlband bewegt. Eine 1.8-Grad-Drehung des Steppermotors bewirkt ein Weiterschalten um eine Spur. Dieser Antrieb ist temperaturkompensiert, um stets den Kopf auf der Spurmitte zu halten.
- Schreib-/Lese-Köpfe
Sie bestehen aus MnZn.
Jeder Kopf besteht aus drei Einzelementen: der Schreib-/Lese-Einheit in der Mitte und zwei Löscheinheiten daneben, um den Zwischenraum zwischen zwei Spuren zu löschen. Beide Köpfe stehen sich direkt gegenüber mit der Diskette dazwischen, auf die sie mit Federkraft gepreßt werden. Dank besonderer Aufhängung der Köpfe wird die Diskette weitmöglichst geschont und so eine lange Lebensdauer erreicht.

Achtung: Zur Schonung der Köpfe sollte unbedingt während der Lagerung bzw. des Transportes des Gerätes das sog. "Head protection sheet" verwendet werden. Es wird statt einer Diskette in das Gerät eingeführt und verhindert ein Aufeinanderschlagen der Köpfe durch Erschütterungen.



3. Schaltungsbeschreibung

Die Elektronik des Laufwerkes ist auf zwei Platinen untergebracht.

Die Platine auf der Oberseite des Gerätes ist für alle Funktionen bis auf die Spindelmotorsteuerung zuständig.

Es soll nun die Hauptplatine genauer betrachtet werden.

Die eigentliche Schreib-/Leseschaltung ist rund um die IC's L5 (Schreib-/Leseverstärker), L6 (Löschsignale) und H5 (Lesesignal-umwandlung) aufgebaut. An Testpunkt 9 und 10 kann das gelesene Analogsignal abgenommen werden.

Die Ansteuerschaltung für den Steppermotor ist hauptsächlich durch die IC's A3, E1, F1 und G1 gegeben. Hier erfolgt die Auswertung der Signale "Direction Select/" und "Step/".

Zur Erzeugung der Ready-Signals sind unter anderem mindestens zwei Index-Pulse notwendig. Diese Erkennung führt der Detektor bestehend aus den IC's K1 und K2 durch.

Die restliche noch vorhandene Schaltung ist hauptsächlich für die Motorsteuerung, die Funktion Kopfsenken sowie die Bereitstellung der Ausgangssignale und Verarbeitung der Eingangssignale (Index-LED, Write-protect-Sensor, TK00-Sensor) zuständig.

Auf der Unterseite des Laufwerkes befindet sich die Elektronik zur Steuerung des Spindelmotors. Diese Platine ist durch drei Kabel (Versorgungsspannung, Masse und Signal "Motor On") mit der Hauptplatine auf der Oberseite verbunden.

Die Spindelmotorsteuerung ist rund um zwei IC's aufgebaut:

IC1 ist zusammen mit dem daneben angebrachten Trimpoti für die Drehzahlkontrolle zuständig.

IC2 versorgt den Spindelmotor mit den nötigen Signalen.

Auf dieser Platine befinden sich keine Testpunkte.

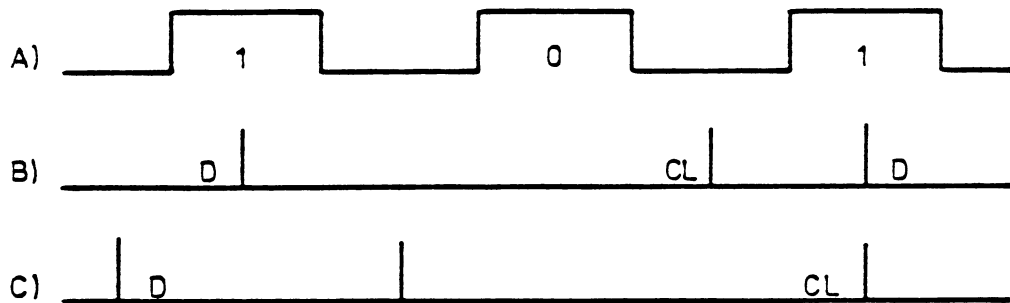


Allgemeines zum Aufzeichnungsverfahren

Das Laufwerk beschreibt die Disketten auf beiden Seiten mit doppelter Schreibdichte (Double Sided, Double Density).

Das Double Density Aufzeichnungs-Verfahren bietet gegenüber dem Single Density-Verfahren den Vorteil der doppelten Schreibdichte.

Zur Erklärung dieser Aufzeichnungsverfahren mögen die folgenden Kurvenverläufe dienen:



- A) = WINDOW
- B) = DATA
- C) = DATA

Kurvenzug A stellt das Fenster dar, das eine Pulsbreite von 2 us besitzt. Dies entspricht einer Frequenz von 250 KHz. Wird ein Datenbit gesendet, so steht es in der Mitte des Fensters und wird als magnetischer Fluß auf die Diskette aufgezeichnet.

Nach genau 4 us wird das nächste Datenbit wieder genau in der Mitte des nächsten Fensters gesetzt. Ist kein Datenbit vorhanden (d.h. "0" wird gesendet), so wird ein Taktpuls generiert und in die Mitte des nächsten negativen Fenster gesetzt.



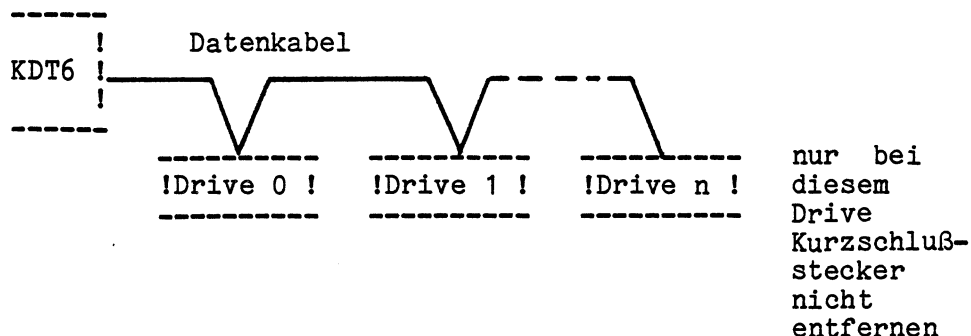
4. Unterschiede zwischen Laufwerk 0 und Laufwerk 1

Da beide Floppy Disk Laufwerke über ein 34-poliges Datenkabel parallel mit der KDT verbunden sind, muß eine Unterscheidungs-möglichkeit innerhalb der Drives gegeben sein.

Die Unterscheidung wird durch Stecken bestimmter Jumper auf der Floppy-Platine gewährleistet (Drive Select):

Laufwerk 0: Jumper DS0 gesteckt
Laufwerk 1: Jumper DS1 gesteckt
Laufwerk n: Jumper DS_n gesteckt (n max. 3)

Achtung: Bei allen bis auf das geographisch letzte angeschlossene Laufwerk müssen die Kurzschlußstecker J2 entfernt werden.



Wird nur ein Laufwerk an das System angeschlossen, kann Jumper MX gesteckt werden.

Die Jumper HS und HM steuern das Kopfladen. Es darf nur entweder HS oder HM gesteckt werden.

HS: Die Köpfe werden geladen, wenn das Drive mit "Drive Select" angesprochen wird.

HM: Die Köpfe werden geladen, wenn der Motor gestartet wird.

Die Lage der Jumper ist auf der nächsten Seite ersichtlich.

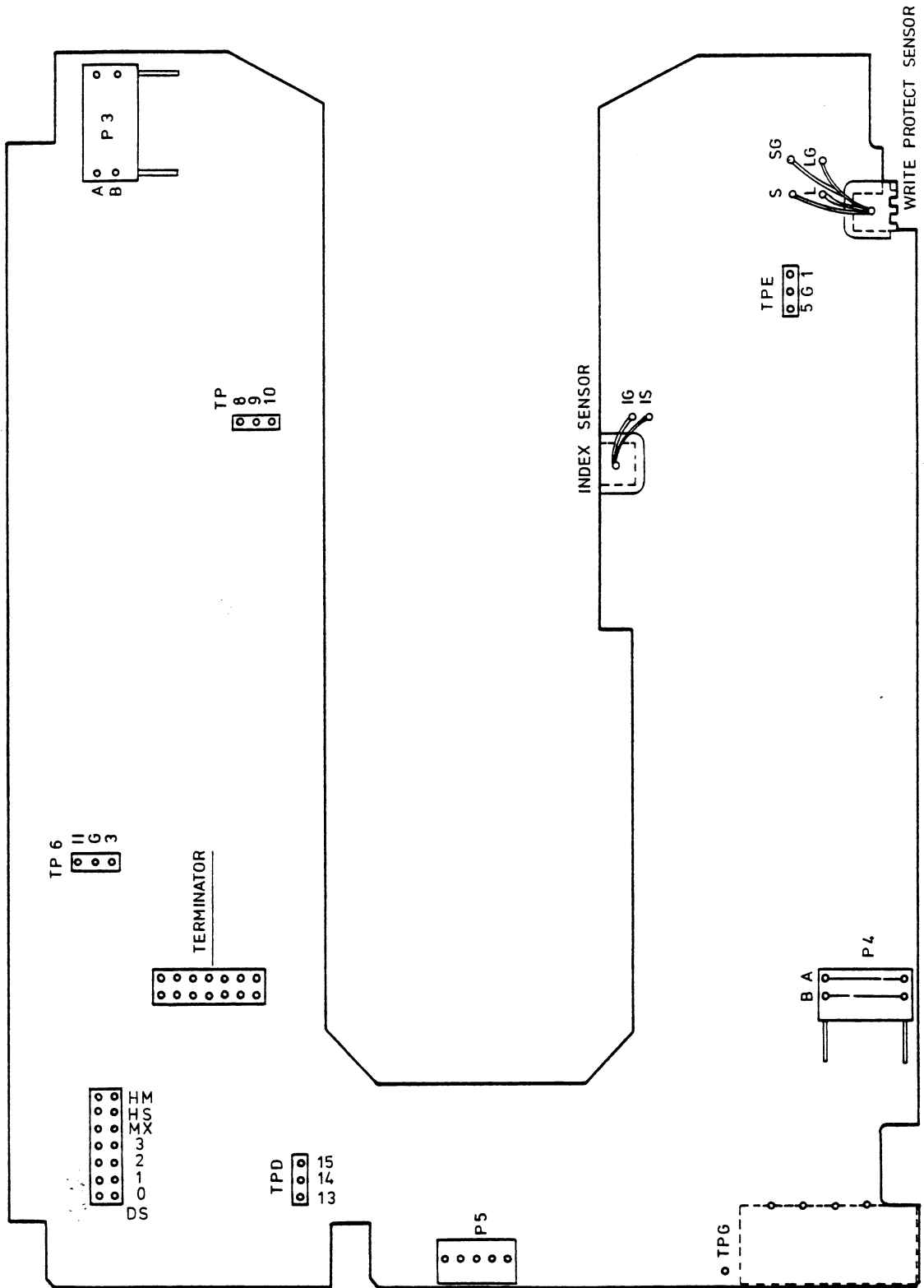


Abb. 4-1: Lage aller Jumper und Testpunkte auf der Laufwerksplatine



5. Beschreibung der Ein-/Ausgangssignale

5.1 Eingangssignale

1. Drive-Select 0 bis 3

je nach mittels Jumper ausgewähltem Drive Select kann ein entsprechendes Drive 0 bis 3 mit dem gemultiplexten Eingangssignal angesprochen werden. Das Drive wird angesprochen, falls das Eingangssignal 0 ist (neg. Logik).

2. Side one select

Auswahl einer Seite des Drives:

- 0: Seite 1
- 1: Seite 0

beim Umschalten des Side Select-Signals müssen die Zeitbedingungen gem. Abb. 5-5 eingehalten werden. Es sind gewisse Pausen zwischen Umschalten und Schreib-/Lesezugriffen notwendig.

3. Direction Select

Dieses Signal legt die Richtung der Bewegung des Lese-/Schreibkopfes fest, in die dann bei Pulsen des Signals "Step" gefahren wird:

- 1: Bewegung nach außen
- 0: Bewegung nach innen

4. Step

Pulsförmiges Signal zur Steuerung der Schreib-/Leseköpfe in die durch "Direction select" vorgegebene Richtung.

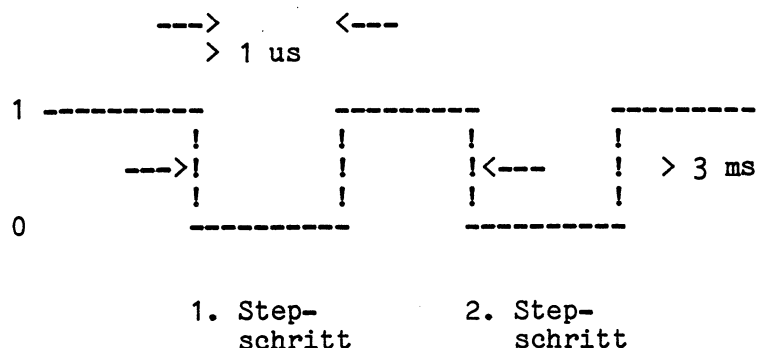


Abb. 5-1: "Step"-Signal



5. Write gate

Ist diese Interfaceleitung logisch "0", so wird der Schreibtreiber aktiviert und die über "write Data" übertragenen Signale werden auf die Diskette geschrieben.

Auch hier müssen die in Abb. 5-5 gezeigten Zeitverhältnisse eingehalten werden, um ein einwandfreies Verhalten sicherzustellen.

6. Write data

Die Information, die auf die Diskette aufgezeichnet werden soll, wird über diese Leitung übertragen.

Diese Leitung ist normalerweise auf logisch "1" und invertiert den Schreibstrom bei jeder 1-->0 Flanke, um Daten-Bits zu schreiben. Diese Leitung ist durchgeschaltet, falls "Write Gate" = 0 ist.

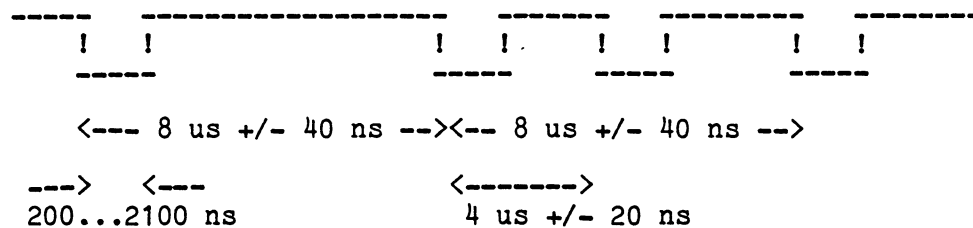


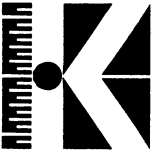
Abb. 5-2: Schreibzeitverhalten

7. IN USE

Dieses Signal bringt die an der Frontplatte des Drives angebrachte LED zum Leuchten (bei "in USE" = 0). Die LED wird ebenso durch das Signal "Drive Selekt" aktiviert.

8. Motor on

Bei logisch 0 wird der Spindelmotor gestartet. Um dem Motor eine Anlaufzeit zu ermöglichen, darf das Write-Gate-Signal erst 250 ms später gesetzt werden.



5.2 Ausgangssignale

Das M4853-Laufwerk hat 5 Ausgangssignalleitungen:

1. Index

Dieses Signal bezeichnet den Anfangspunkt einer Spur auf der sich drehenden Diskette (also Sector # 0). Dieses Signal ist normalerweise logisch "1", sendet aber eine 4 ms lange logische "0" bei jeder Diskettenumdrehung (alle 200 ms) des gewählten Drives.

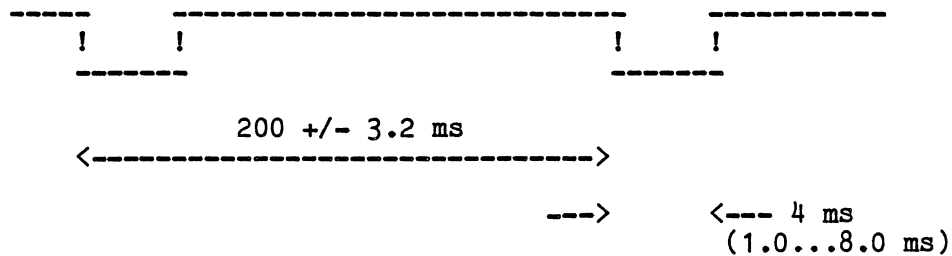


Abb. 5-3: "Index"-Signal

2. Track 00

Falls dieses Signal logisch "0" ist, so stehen die Schreib-/Leseköpfe des gewählten Drives auf Spur 00.

Bei logisch "1" stehen die Köpfe auf einer der übrigen Spuren.

3. Ready

"1": Die Klappe des Laufwerks ist offen oder im Drive befindet sich keine Diskette

"0": Eine Diskette befindet sich im Drive, die Laufwerkstür ist geschlossen, alle anliegenden Spannungen sind in Ordnung. Außerdem wurden bereits zwei Indexpulse korrekt erkannt.

4. Read Data

An diesem Ausgang liegen die vom Lesekopf auf der Diskette erkannten und über eine besondere Schaltung in Pulse umgewandelten Informationen. Sie setzen sich zusammen aus Daten und Taktimpulsen.



In Abb. 5-4 ist der zulässige Toleranzbereich dargestellt:

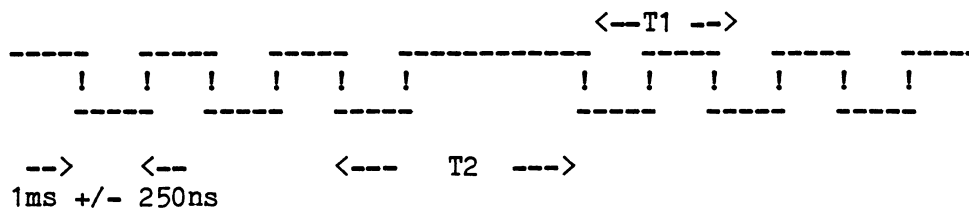


Abb. 5-4: "Read Data"

T1 = 4.00 us +/- 800 ns (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

T2 = 8.00 us +/- 1.6 ms (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

5. Write protect

Diese Leitung teilt dem System mit, ob eine Diskette mit Überschreibschutz eingelegt wurde. Ist dies der Fall (Write protect = "0"), so werden sämtliche Schreibzugriffe unterbunden.



5.3 Zeitverhalten der Signale

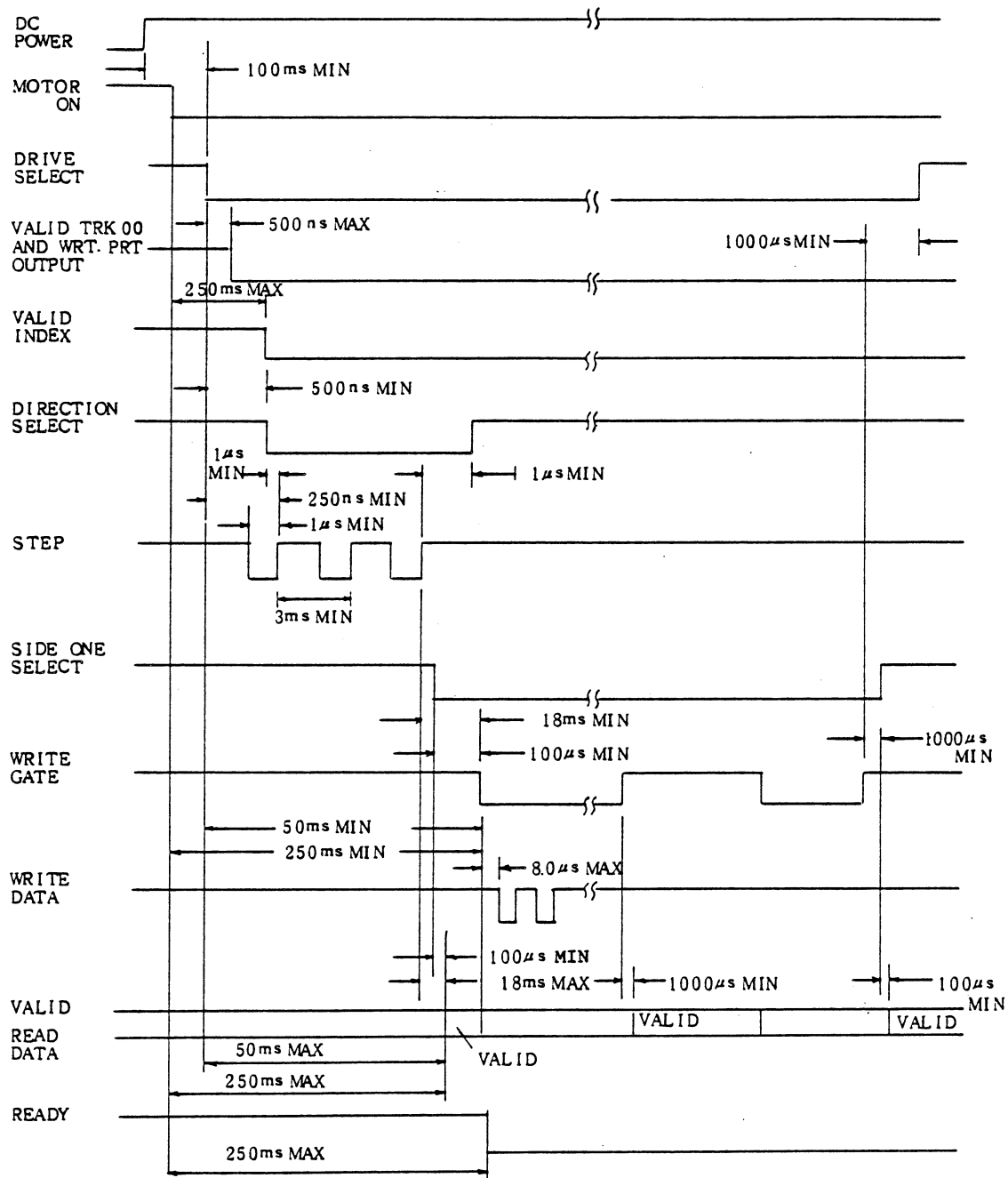


Abb. 5-5: Zusammenstellung aller wichtigen Signale



6. Wartung und Abgleich des Drives

Bei einer normalen Beanspruchung (8 Stunden pro Tag) sollte das Laufwerk einmal pro Jahr gewartet werden.

Wichtig: Fehler in der Driveelektronik lassen sich mit herkömmlichen Meßmitteln wie 2-Kanal-Oszillograph und Multimeter erkennen und beseitigen. Ebenso lassen sich damit die meisten Einstelldaten eines Drives überprüfen.

Eine Einstellung der mechanischen Daten erfordert darüberhinaus jedoch eine spezielle Zusatzausrüstung und viel Erfahrung. Insbesondere werden benötigt:

- Alignment-Diskette
- Exerciser

Diese Ausrüstung ist unbedingt zur korrekten Justage des Lesekopfes auf dem Schlitten notwendig.

Einige der übrigen Einstellungen lassen sich auch mit Hilfe einer auf einem exakt justierten Laufwerk formatierten Diskette unter Zuhilfenahme des Testdebuggers vornehmen.

Bei den im Folgenden beschriebenen Wartungs- und Einstellarbeiten wird, wo es sinnvoll erscheint, auf beide Möglichkeiten eingegangen. Selbstverständlich ist beim Arbeiten mit dem Testdebugger eine einwandfreie Elektronik auf der KDT6 Voraussetzung. Auch wird ein Verlängerungskabel zum Anschluß des Drives außerhalb des Gehäuses benötigt, falls Einstellarbeiten vorgenommen werden sollen.

Bemerkungen zu Exerciser und Alignment-Diskette

Die Firma Mitsubishi macht in ihren Unterlagen keine Angaben darüber, welcher Exerciser zu bevorzugen ist. Generell kann bei den Einstellarbeiten jeder Exerciser verwendet werden, dessen Ausgangssignal mit dem Laufwerk übereinstimmt. Insbesondere ist darauf zu achten, daß die Stepperrate des Exercisers auf 3 ms eingestellt werden kann.

Die Verwendung von Exercisern mit abweichenden Stepperraten ist grundsätzlich möglich, jedoch können dann die Oszillographenbilder ein anderes Aussehen annehmen, als im Folgenden beschrieben. So werden bei der Spur-00-Einstellung (Kap. 6.3) andere Werte erreicht.

Die zur Justage benötigte Alignmentdiskette unterscheidet sich in folgenden Punkten von "normalen" Disketten:

- Es sind Analogsignale aufgezeichnet (anstelle von digitalen Daten).
- Eine Zentrierung der Spuren ist 100%-ig gewährleistet.
- Die Lage der Sektoren ist ebenfalls exakt in Bezug zum Indexloch.



Alignment-Disketten eignen sich somit hervorragend zum Abgleich von Floppy-Laufwerken; sie sind aber aufgrund ihrer Genauigkeit auch teuer.

Als Alignment-Diskette wird der Typ DYMEK 502-1D STANDARD DISKETTE vorgeschrieben. Auch hier können ähnliche Disketten verwendet werden, da die Signale zur Erzeugung der Cat-Eyes stets auf derselben Spur zu finden sind.

Bei der Verwendung anderer Alignment-Disketten kann es allerdings zu Unterschieden bei den Bildern der Azimuth-Einstellung (Kap. 6.6) kommen. Dies liegt daran, daß bei manchen anderen Laufwerktypen der Kopf einen bestimmten Winkel zur Spur einnehmen muß, also das Analogsignal auch "schräg" zur Spur liegt (z.B. im Winkel von + 30'). Wird mit einer solchen Diskette abgeglichen, so ist die Azimuth-Einstellung dann korrekt, wenn ein Winkel von 30' angezeigt wird.

Sollten Sie weiterführende Informationen über Exerciser und Alignmentdisketten wünschen, so bitten wir Sie, sich selbst mit den entsprechenden Herstellern in Verbindung zu setzen. Um Ihnen einen Anhaltspunkt über die Kosten einer Alignment-Ausrüstung zu geben, sind die ca.-Preise (Stand Juli 1983) aufgeführt.

Alignment-Diskette: ab 150 DM
Exerciser: ab 1.000 DM bis über 10.000 DM

Grundsätzliches

1. Bei Wartung oder Abgleich darauf achten, daß kein Schmutz in das Laufwerk eindringen kann.
2. Vor der Wartung Gerät spannungslos machen
3. Ausbau der gedruckten Schaltung nur in spannungslosem Zustand um die Halbleiter und IC's zu schützen.
4. Diskettenoberfläche und Schreib-/Leseköpfe nicht berühren
5. Beim Arbeiten mit der Alignment-Diskette darauf achten, daß auf ihr keine Signale zerstört werden (also Vorsicht mit Write-Modus! Am Exerciser: "DC-Erase" stets auf "off"!)
6. Stepperband nicht berühren und dazugehörigen Mechanismus nicht verstellen.
7. Keine Gewalt auf die Kopfaufnahme ausüben, da sie genau justiert wurde. Nur an den in der Abgleichanleitung beschriebenen Stellen justieren.



Funktionsprüfung (hier mit Micropolis-Exerciser):

Eine Funktionsprüfung des Laufwerkes kann mit dem Exerciser durchgeführt werden. Sie sieht folgendermaßen aus:

1. Select: Stimmt die Einstellung am Exerciser mit der Selektierung am Drive überein, so muß die LW-LED rot leuchten.
2. Headload: Wird der Headload-Schalter am Exerciser auf Normal gelegt, muß der Magnet anziehen und der Ladearm auf den Kopf drücken.
3. MTRN: In der Stellung Spindel Motor Run läuft der Drivemotor.
4. Spur 0: Bei Betätigung der Restore Taste muß der Steppermotor auf Spur 0 zurückfahren und die LED am Exerciser aufleuchten. Es wird nun überprüft, ob der mechanische Anschlag ebenfalls auf Spur 0 steht. Dazu wird der Kopf mit dem Finger nach außen bis zum Anschlag geschoben. Kehrt er in seine Ursprungslage zurück, ist die Einstellung in Ordnung. Der Schiebeweg sollte ca. 1/2 Spurbreite betragen.
5. RDY: Werden Headload auf Normal und MTRN auf RUN gelegt und eine Taste betätigt, muß die LED für die Ready Status Meldung aufleuchten, falls sich eine Diskette im Laufwerk befindet.
6. Index: Die Index LED leuchtet auf, wenn keine Diskette im Laufwerk ist. Ansonsten pulst sie bei jeder Umdrehung.
7. File protect: Ist die Diskette schreibgeschützt, wird dies durch Aufleuchten der WPT-LED angezeigt.
8. Schlitten-Vor- und Rücklauf: Dieser Teil zeigt, ob die elektrischen Anweisungen auch mechanisch ausgeführt werden. Man geht dazu folgendermaßen vor:

Exerciser --- Drive funktionsbereit machen
COMMAND SEQUENCE-Schalter auf SK stellen
Programmschalter auf Continuous stellen
Restore ---> Schlitten auf Spur 0 fahren

Einstellen der obersten Spur: 64 + 8 + 4
LOAD M-Taste betätigen
Einstellung zurücknehmen
EXECUTE-Taste betätigen

Nun wird der Kopf fortlaufend zwischen Spur 0 und 76 hin- und herfahren.



6.1 Kopfreinigung

Notwendig wenn:

- regelmäßige Lesefehler auftreten,
- Kratzer auf der Diskettenoberfläche bemerkt werden.

Benötigte Ausrüstung:

- Exerciser
- Reinigungsdiskette

Vorgehensweise:

1. Exerciser an Laufwerk anschließen, Geräte einschalten
2. Reinigungsdiskette einführen, Laufwerk auswählen
3. Reinigungsdauer nach Empfehlung des Reinigungsdiskettenherstellers

Achtung:

1. Zur Erhöhung der Reinigungswirkung während des Reinigungsvorgangs alle Spuren durchfahren
2. Reinigungsvorgang laut Gebrauchsanleitung der Reinigungsdiskette



6.2 Einstellung der Drehzahl des Spindelmotors

Diese Einstellung ist stets als Erstes vorzunehmen, da von der korrekten Drehzahl des Spindelmotors andere Einstelldaten abhängig sind (z.B. Index-Sensor).

Benötigte Ausrüstung:

- Exerciser
- Diskette
- Zähler (bzw. Oszillograph)
- Abgleichschraubenzieher

Vorgehensweise:

1. Exerciser anschließen und Geräte einschalten
2. Diskette einlegen und Motor mit "Drive-select" einschalten
3. HLMG ON (Köpfe geladen)
4. auf Spur 00 fahren
5. Zähler an INDEX anschließen (TP 14 oder Pin 6 IC B5)
6. nach Abb. 6-1 so abgleichen, daß $198.6 \text{ ms} < T < 201.4 \text{ ms}$ ist
7. Trimpoti mit Lack sichern

Mit Testdebbuger und formatierter Diskette:

1. auf Spur 00 fahren: TD >FC 1 0
2. Zähler anschließen und Abgleich wie oben

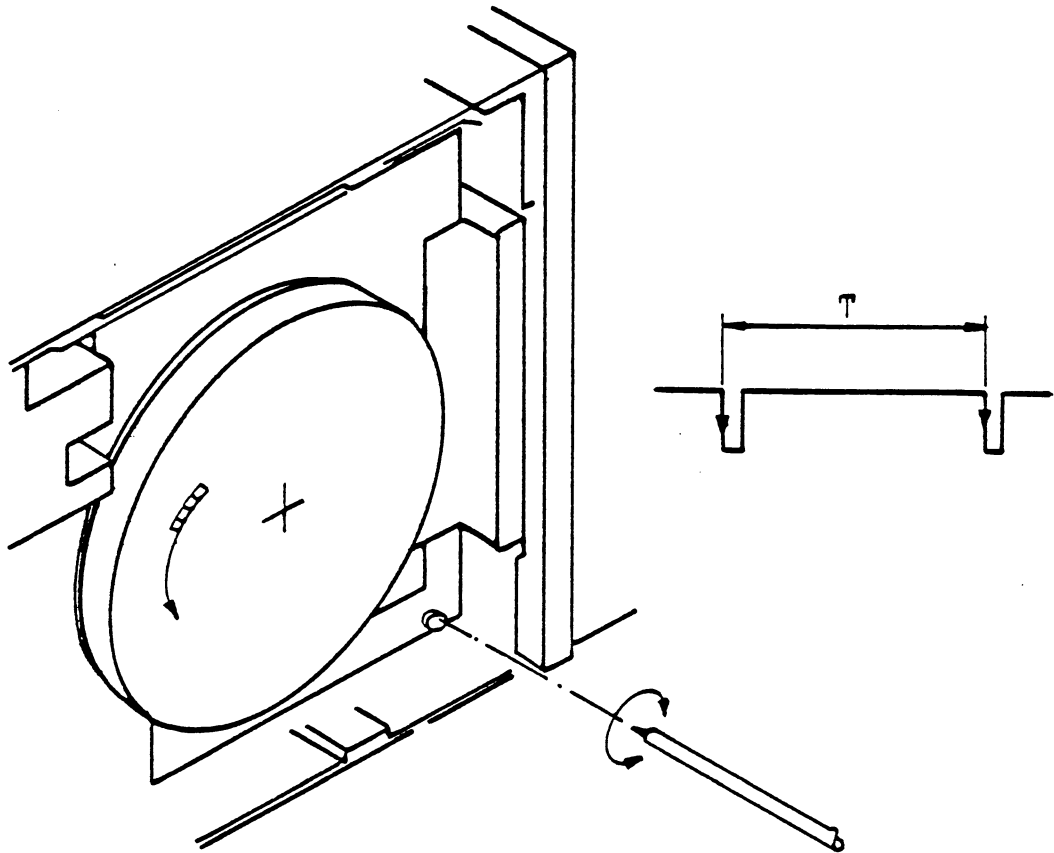


Abb. 6-1: Spindel-Adjustment



6.3 Spur 00-Einstellung

Die Spur 00-Einstellung dient einer Grobjustage. Sie soll verhindern, daß der Kopf am Chassis aufläuft. Eine genaue Positionierung des Kopfes auf die einzelnen Spuren erfolgt über die Eye-Pattern.

Benötigte Ausrüstung:

- Exerciser
- Diskette
- Kreuzschlitzschraubenzieher
- 2-Kanal-Oszilloskop
- 1,5 mm Inbusschlüssel

Vorgehensweise:

1. Exerciser anschließen, einschalten und Diskette einlegen
2. Motor einschalten
3. Wiederholte Suche nach Spur 00 und Spur 02
4. Kurvenform bei Spur 00 beobachten
 - Trigger CH1: - Step (DC) interface (IC D5, Pin 11)
ab Rev. E:TP 15
 - Signal CH2: - TK00 (DC) Signal (IC B5, Pin 8)
ab Rev. E:TP 13
5. Schraube gemäß Abb. 6-2 lösen und TK00 Sensor verschieben, bis die beschriebenen Zeitverhältnisse erreicht werden.
6. Schraube festziehen

Diese Einstellung ist mit dem Testdebugger **nicht** möglich, da dieser als Rückmeldung Daten-Signale benötigt, die auf der Alignment-Diskette nicht vorhanden sind.

- Achtung:**
1. Stepperrate mit Exerciser auf 3 ms festlegen
 2. Sicherstellen, daß auf dem Steppersignal 2 Pulse vorhanden sind.

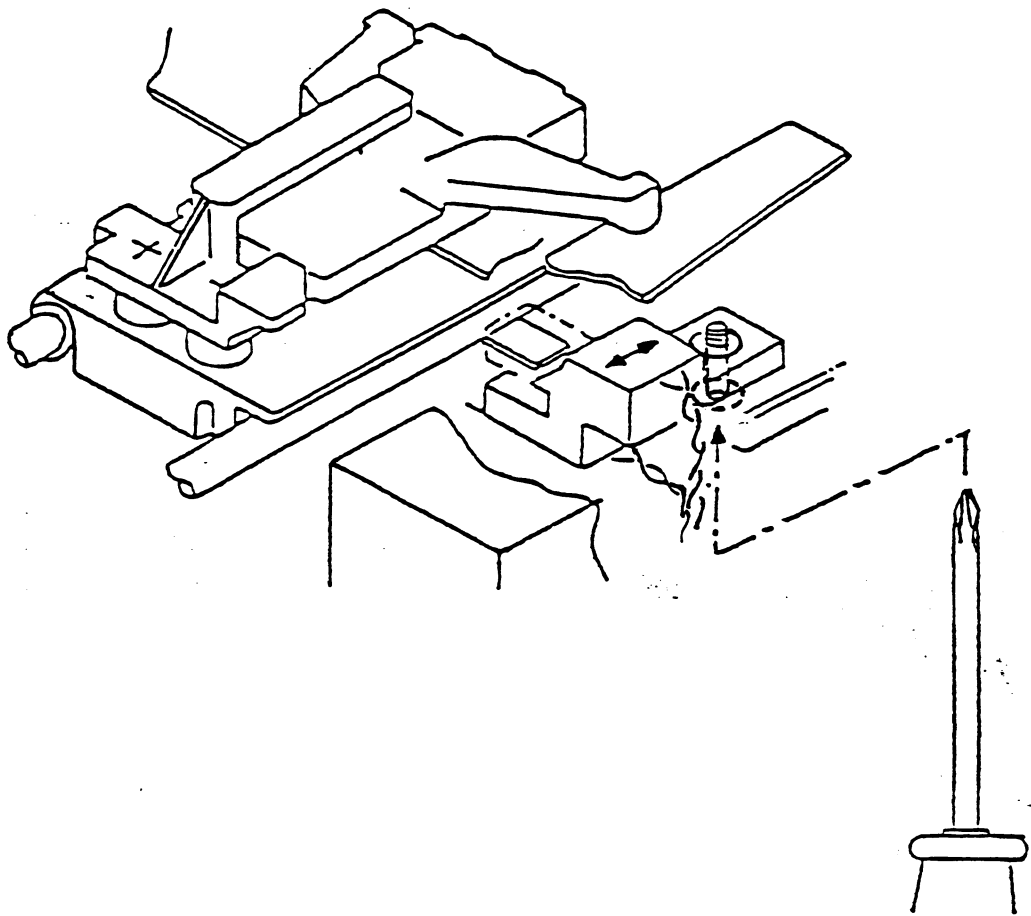
Diese Spur 00-Einstellung kann außerdem auch auf folgende Weise einfacher vorgenommen werden, wobei nur der Exerciser nötig ist:

1. Mit dem Exerciser den Kopf auf Spur 00 fahren.
2. Mit dem Finger die Kopfaufnahme nach außen schieben.

Es soll ein Spiel von etwa einer halben Spurbreite (ca. 0.1 mm) zwischen Spur 00 und Anschlag verbleiben. Gegebenenfalls muß der Spur00-Sensor neu justiert werden.

Diese Einstellung kann auch mit einer formatierten Diskette und dem Testdebugger vorgenommen werden: TD>FC 1 0. Sonst wie unter 1. und 2. beschrieben.

Abb. 6-2 erläutert diese Einstellhinweise.



Trigger (CH 1)

- STEP

Signal (CH 2)

TK 00

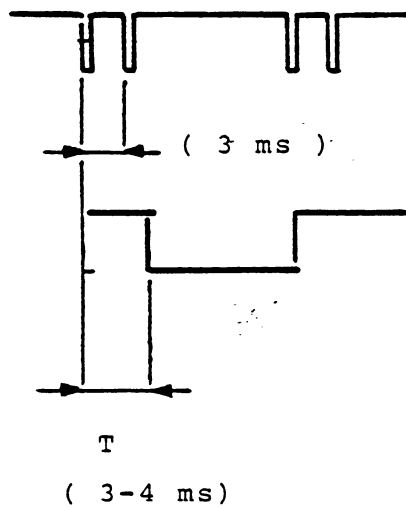


Abb. 6-2: Spur 00-Einstellung



6.4 Index-Sensor einstellen

Das Index-Signal bezeichnet bekannterweise den Anfang einer Spur auf der Diskette. Der Index-Sensor muß deshalb so justiert werden, daß der Kopf am Anfang einer Spur steht, wenn das Index-Loch der Diskette beim Passieren des Index-Sensors einen Impuls erzeugt.

Benötigte Ausrüstung:

- Exerciser
- Alignment-Diskette
- Kreuzschlitzschraubenzieher
- 2-Kanal-Oszilloskop

Vorgehensweise:

1. Exerciser ans Laufwerk anschließen
(vorher Netzspannung abschalten)
2. Diskette einlegen
3. Einschalten
4. Select-Drive wählen
5. an Testpunkt TPB 9 und 10 im Lesemodus auf Spur 02 und Spur 68 gemäß Abb. 6-3 durch Verschieben der Schaltung einstellen. Eventuell müssen die Bohrungen der Platine vergrößert werden.

Trigger: ext - Index (DC,-) 20 ms/div IC B5- Pin 6
ab Rev. E:TP 14

Signal: CH1 - TPB9 (AC) 50 mV/div)
CH2 - TPB10 (AC,INV) 50 mV/div) Add

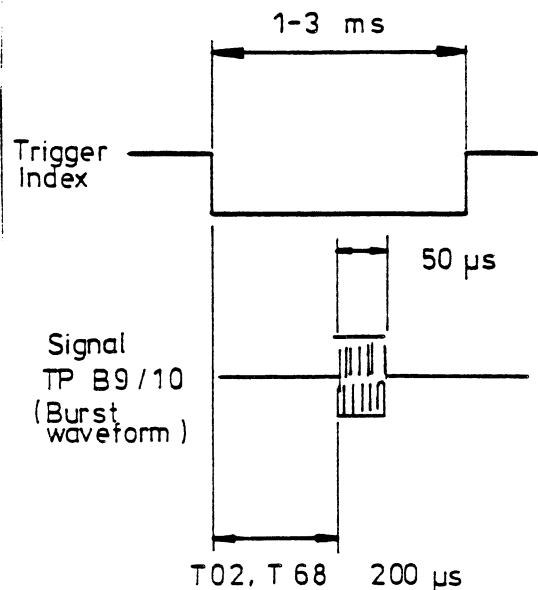
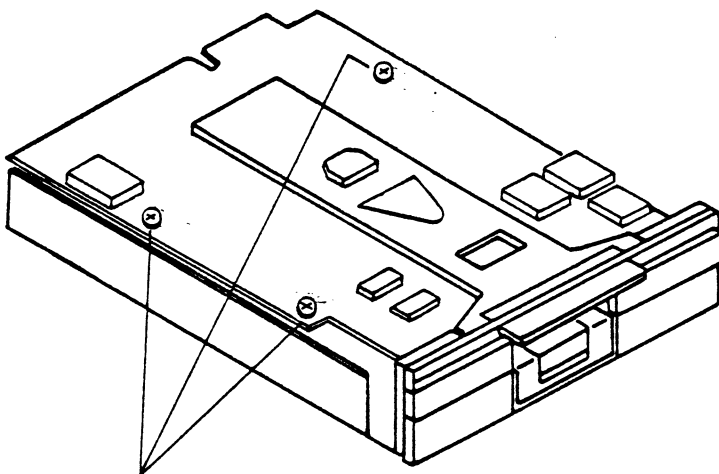


Abb. 6-3: Index-Sensor-Einstellung



6.5 Kopf-Einstellung

Diese Einstellung dient der genauen Positionierung des Kopfes über der Spur.

Benötigte Ausrüstung:

- Exerciser
- Alignment Diskette
- 2-Kanal-Oszilloskop

Vorgehensweise:

1. Tester an Drive anschließen (Power off) und einschalten
2. Motor ein und Drive selektieren
3. Spur 00 bis 32 abtasten; an Testpunkt TPB9 und TPB10 im Read-Modus wie in Abb. 6-4 ablesen.

Einstelldaten: wenn $A > B$ $B/A > 0.75$
 $A < B$ $A/B < 0.75$

6. Zum Einstellen Schrauben lt. Abb. 6-4 lösen und den Stepper-motor so verdrehen, bis die Soll-Daten erreicht werden.

Achtung: Die Head Alignment-Einstellungen sollten unter folgenden Umgebungs-Bedingungen durchgeführt werden:

Temperatur: 23 Grad C (über 2 Stunden)
50 % rel. Feuchte

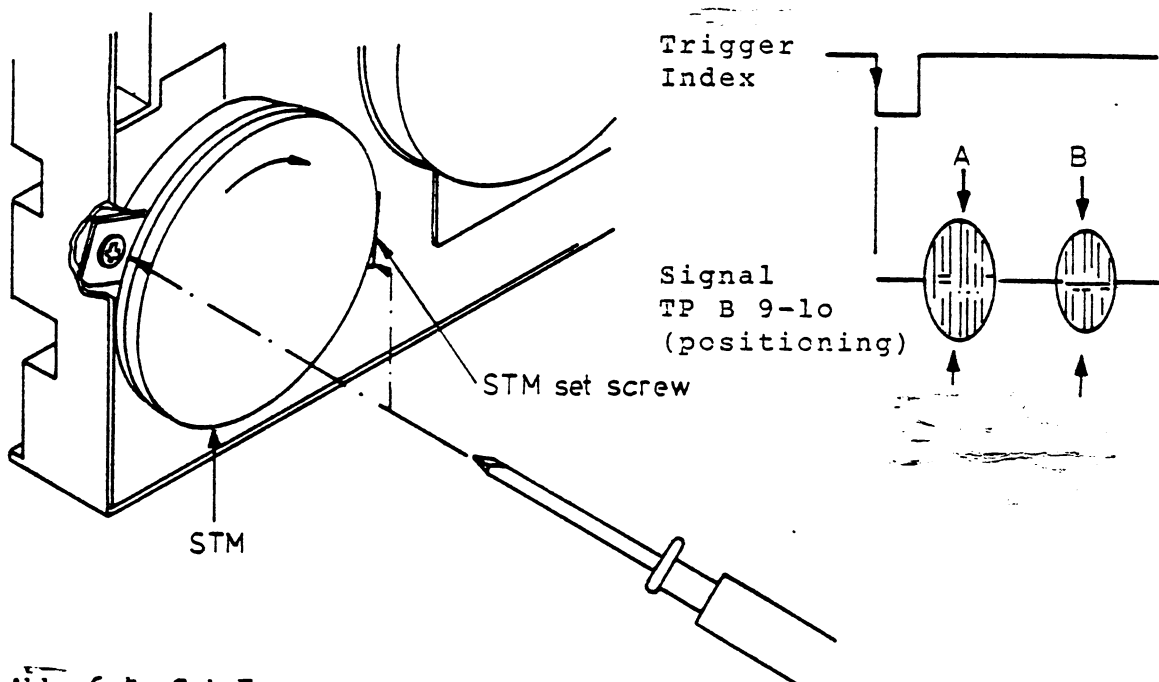


Abb. 6-4: Cat Eyes



6.6 Azimuth-Überprüfung

Die Kontrolle der folgenden Signale ermöglicht eine Aussage darüber, ob der Kopf richtig im Schlitten montiert ist, d.h. es wird angezeigt, ob der Lesespalt genau parallel zur Spurrichtung steht.

Ausrüstung:

- Exerciser
- Alignment-Diskette
- Oszilloskop

Vorgehensweise:

1. Exerciser am Drive anschließen und einschalten
2. Alignment-Diskette laden
3. Motor einschalten und Drive auswählen
4. Spur 68 anwählen
5. Kurvenform ablesen

Trigger	EXT - Index	(DC,-)	0.5 ms/div	
	CH1 - TPB9	(AC)	50 mV/div) ADD
	CH2 - TPB10	(AC,INV)	50 mV/div)

6. Die Einstellung stimmt, wenn sich die Kurven im angegebenen Bereich befinden.

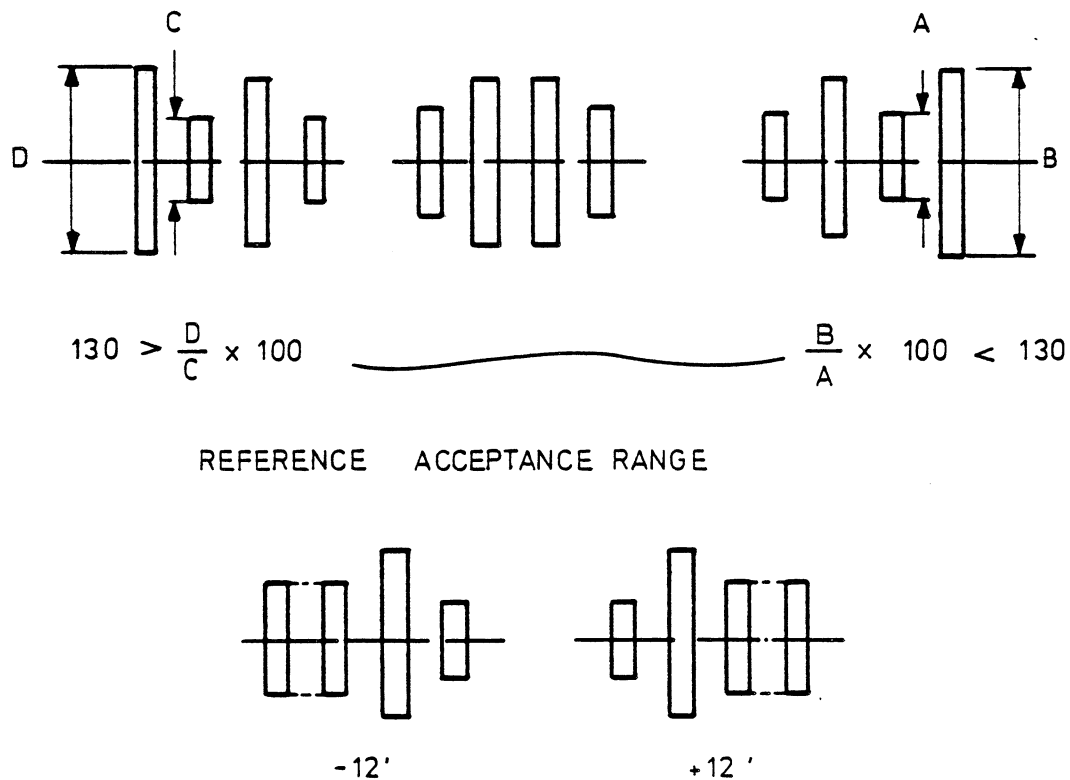


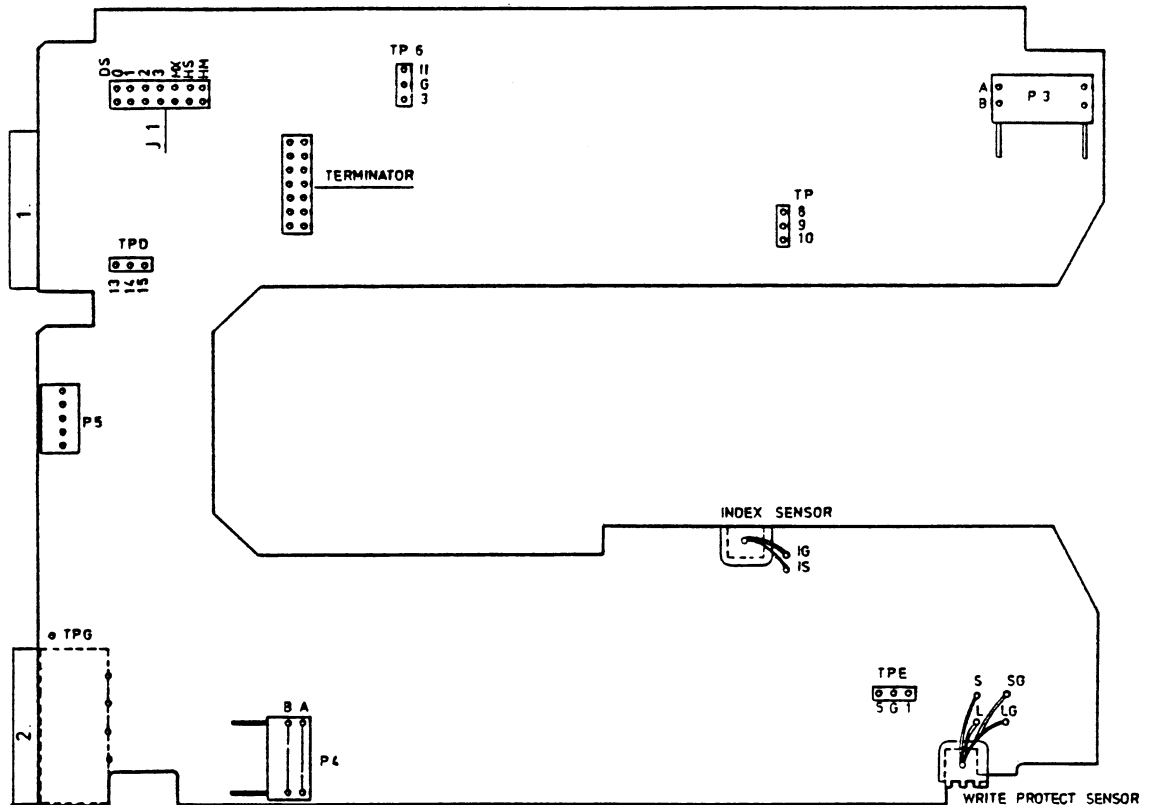
Abb. 6-5: Azimuth-Signale



7. Anschlußbelegungen und Testpunkte

7.1 Drive-Elektronik

Folgende Abbildung zeigt ein Bild der Platine mit ihren Steckverbindungen und Jumpern.



M 4853
LOGIC DIAGRAM

- IS: INDEX-Sensor
WPS: WRITE-PROTECT-Sensor
J1: Jumper für Drive Select, HM, HS
J2: Nur bei letztem Laufwerk einer Reihe gesteckt lassen
1. Signalanschluß
 2. Spannungszuführung
 3. Kopf-Anschluß
 4. Kopflademagnet etc.
 5. Masse



7.2 Zusammenstellung der Testpunkte

Testpunkt	Signal
TPG	Ground
TPB 9	Lesesignal
TPB 10	Lesesignal ...invertiert
TPC 3	Read Data
TPC 6	Write Gate (nur mit Drive Select)
TPC 11	
TPE 1	Track 00
TPE 5	Head Load

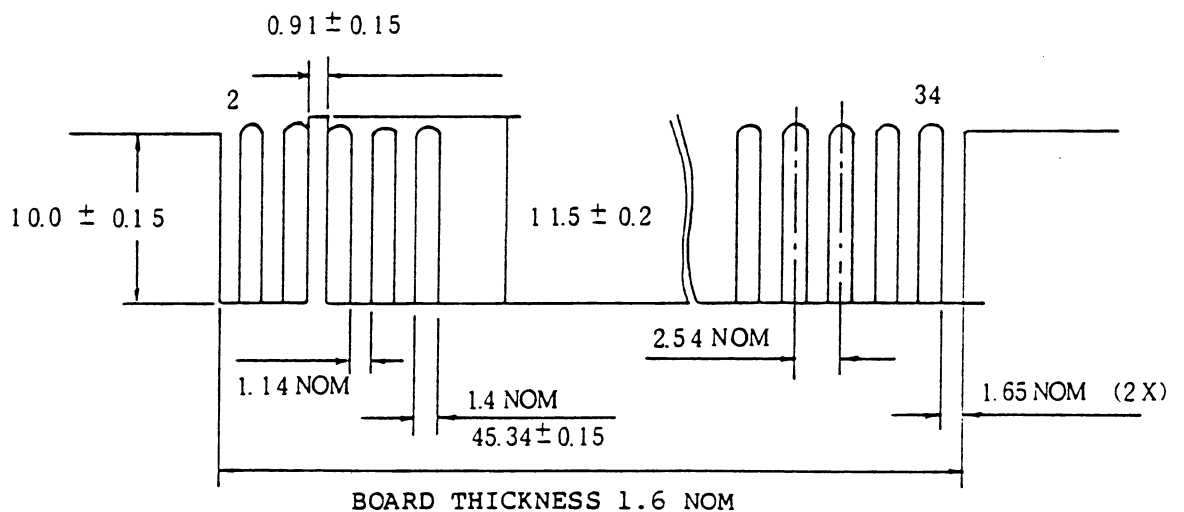


7.3 Steckerbezeichnung und PIN-Belegungsplan

7.3.1 Signalanschluß

Signal	PIN	Masse-Rückführung PIN
SPARE	2	1
IN USE	4	3
DRIVE SELECT 3	6	5
INDEX	8	7
DRIVE SELECT 0	10	9
DRIVE SELECT 1	12	11
DRIVE SELECT 2	14	13
MOTOR ON	16	15
DIRECTION SELECT	18	17
STEP	20	19
WRITE DATA	22	21
WRITE GATE	24	23
TRACK 00	26	25
WRITE PROTECT	28	27
READ DATA	30	29
SIDE ON SELECT	32	31
READY	34	33

Bestückungsseite:



Auf Bestückungsseite geradzahlige Pin's,
auf Lötseite ungeradzahlige PIN's.

Passende Stecker:

- Scotch Flex P/N 3365/34
- AMP P/N 1-583717-5



7.3.2 Spannungszuführung

Spannung	Pin Nr.
+ 12V DC	1
12V Rückführung	2
5 V Rückführung	3
+ 5V DC	4

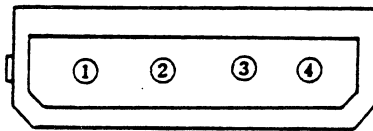
Die Spannungen müssen folgenden Bedingungen genügen:

Spannung	Abweichung	Strom	max. Peak to Peak Überlagerung
+ 5V DC	+/- 0.25 V (+/- 5%)	1.0 A max. 0.5 A typ	50 mV
+ 12V DC	+/- 0.6 V (+/- 5%)	1.0 A max. 0.7 A typ	100 mV

Steckerbelegung:

passender Stecker:

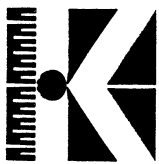
AMP P/N 172349-1



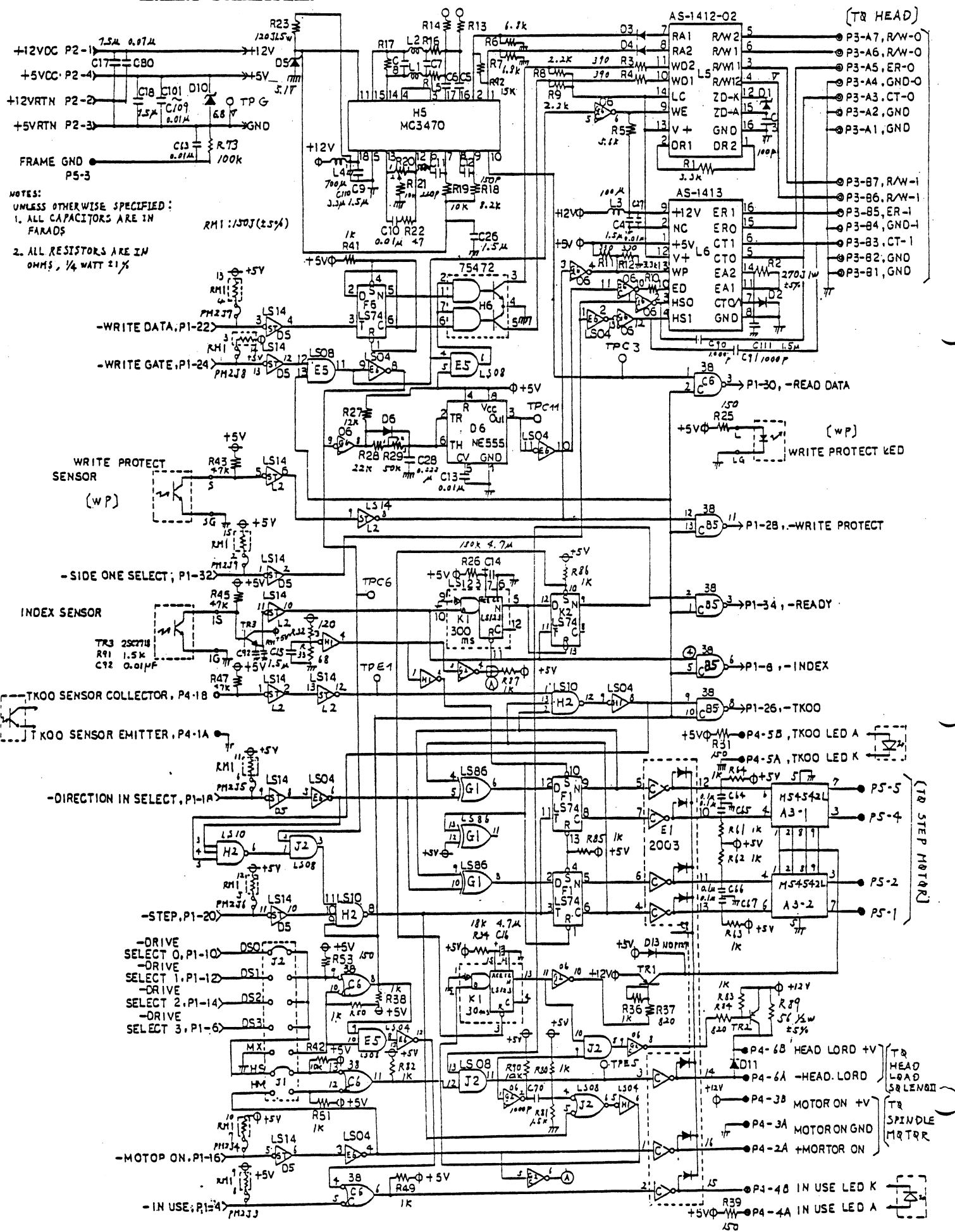


7.3.3 Schreib-/Lesekopf-Anschluß

Pin	Signal
A1	GND
A2	GND
A3	CT-0
A4	GND 0
A5	ER-0
A6	R/W-0
A7	R/W-0
B1	GND
B2	GND
B3	CT-1
B4	GND-1
B5	ER-1
B6	R/W-1
7	R/W-1



ANHANG SCHALTPLAN



- NOTES:
UNLESS OTHERWISE SPECIFIED:
1. ALL CAPACITORS ARE IN FARADS
2. ALL RESISTORS ARE IN OHMS, 1/4 WATT 21%

RM1: 100J(2.5%)

(TR HEAD)

(WP)

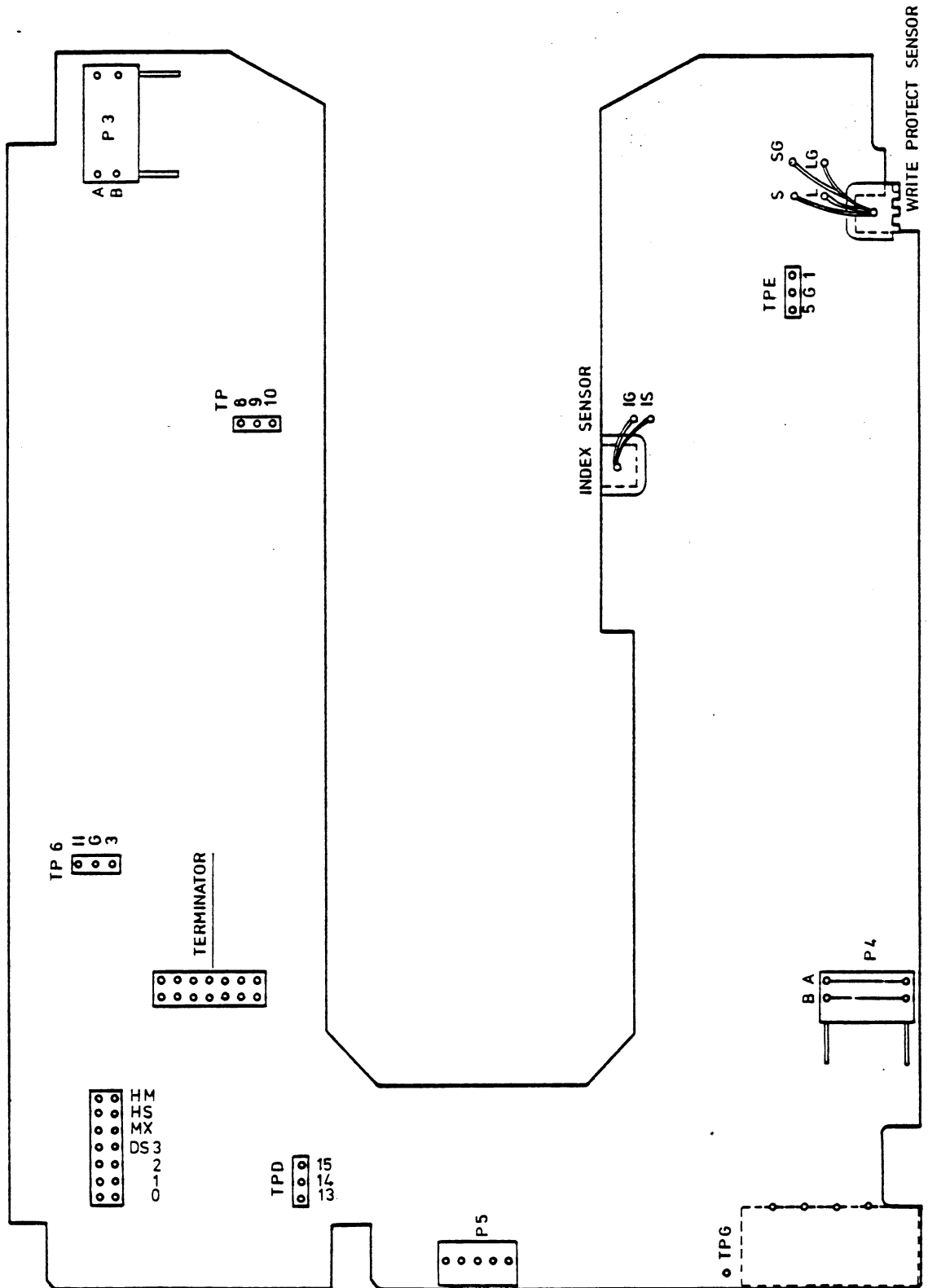
(TR STEP MOTOR)

(TR HEAD LOAD SPINDLE MOTOR)



ANHANG BESTÜCKUNGSPLAN

M 4853 (Logic Diagram)





Diese Unterlage beschreibt die Prüf-, Einstell- und Wartungsarbeiten, die an dem 20 MByte Harddisklaufwerk MINISCRIBE MODEL 4020 mit normaler Werkstattausrüstung durchgeführt werden können.



Inhaltsverzeichnis

	Seite
1. Systembeschreibung	2
2. Allgemeines	3
3. Fehlerdiagnose	4
3.1 Index-Sensor	4
3.2 Geräuschentwicklung	6
3.3 Selbstdiagnose	7
4. Anschlüsse	9
5. Einstellungen	11
6. Schaltpläne	12
7. Bestückungsplan	16



1. Systembeschreibung

Harddisklaufwerk Miniscribe Model 4020

Speicherkapazität

je Laufwerk	19.998.720 Bytes
je Plattenoberfläche	4.999.680 Bytes
je Spur	10.416 Bytes
je Zylinder	41.664 Bytes

Anzahl der Scheiben	2
Köpfe	4
Zylinder	480
Datenspuren	1920

Umdrehungsgeschwindigkeit 3600 Upm $\pm 1\%$

Transferrate 5.0 Mbit/sec $\pm 1\%$

Zugriffszeiten

Spur zu Spur	3 ms
mittlere Latenzzeit	8.33 ms
Beruhigungszeit	15 ms

Spannungsversorgung + 12 V DC max 1.5 A
in der Anlaufphase max 3.5 A
+ 5 V DC max 1.0 A

Umgebungsbedingungen

Temperatur	Betrieb	4....46 Grad C
	außer Betrieb	- 40....57 Grad C
Feuchte		8....80 %
		nicht kondensierend

Sonstiges

MTBF	8000 Stunden Betrieb
MTTR	30 Minuten
Startzeit	20 Sekunden
	von "power on" bis "READY"
Stopzeit	15 Sekunden



2. Allgemeines

Mit einer Werkstattausrüstung, wie sie einem Servicetechniker zur Verfügung steht, lassen sich nur wenige Arbeiten an einem Festplattenlaufwerk durchführen. Diese Arbeiten beschränken sich im allgemeinen auf das Überprüfen des Signals "INDEX" sowie der Auswertung der Fehlermeldungen des internen Selbsttestprogrammes.

Da die Laufwerksteuerung durch eine spezielle Mikroprozessorschaltung gesteuert wird, lassen sich Fehler in der Driveelektronik auf Bauteileebene nur schwer diagnostizieren.

Mittels interner Testroutinen ist es allerdings möglich, eine Aussage darüber zu treffen, ob ein Fehler im angeschlossenen System oder am Laufwerk selbst vorliegt.

An der Mechanik des Laufwerkes darf ohne spezielle Ausstattung der Werkstatt (Cleanroom!) nicht herumgebastelt werden! Dabei gilt es auch einen eventuellen Garantieverlust zu beachten.

Erlaubte mechanische Arbeiten, die sich ohne Gefahr durchführen lassen, beschränken sich auf den Wechsel der gedruckten Schaltung sowie des Indexsensors.



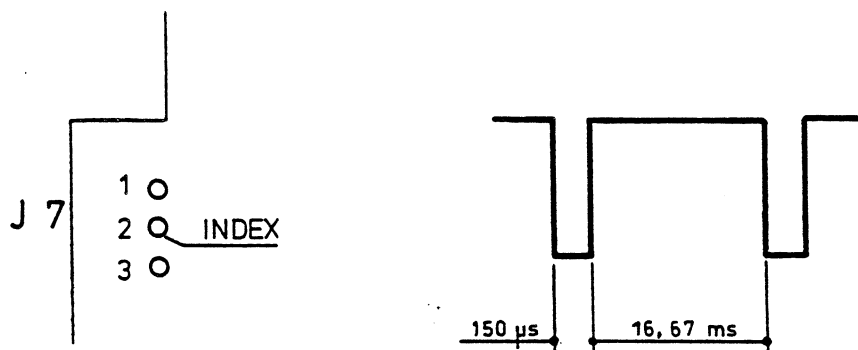
3. Fehlerdiagnose

Achtung: Zum Transport eines Laufwerkes sollten die Köpfe auf die Transportspur (shipping zone) gefahren werden:

Dazu muß der Shuntblock ausgesteckt werden und das Laufwerk mit seinen Spannungen versorgt werden. Nachdem die Leuchtdiode an der Frontseite des Laufwerkes 2 mal kurz geblinkt hat, wird sie ca. 5 sec. lang aufleuchten. Während dieser 5 Sekunden muß die Spannung abgeschaltet werden. Dann wird der Shuntblock wieder eingesteckt.

3.1 Index - Sensor

Das Signal des Indexsensors kann an Pin 2 von Stecker J7 (s. Bild) gemessen werden. Es muß folgendes Aussehen besitzen:



Falls dieses Signal nicht gemessen werden kann, so ist wahrscheinlich der Indexsensor selbst defekt. Dieser kann ausgetauscht werden.

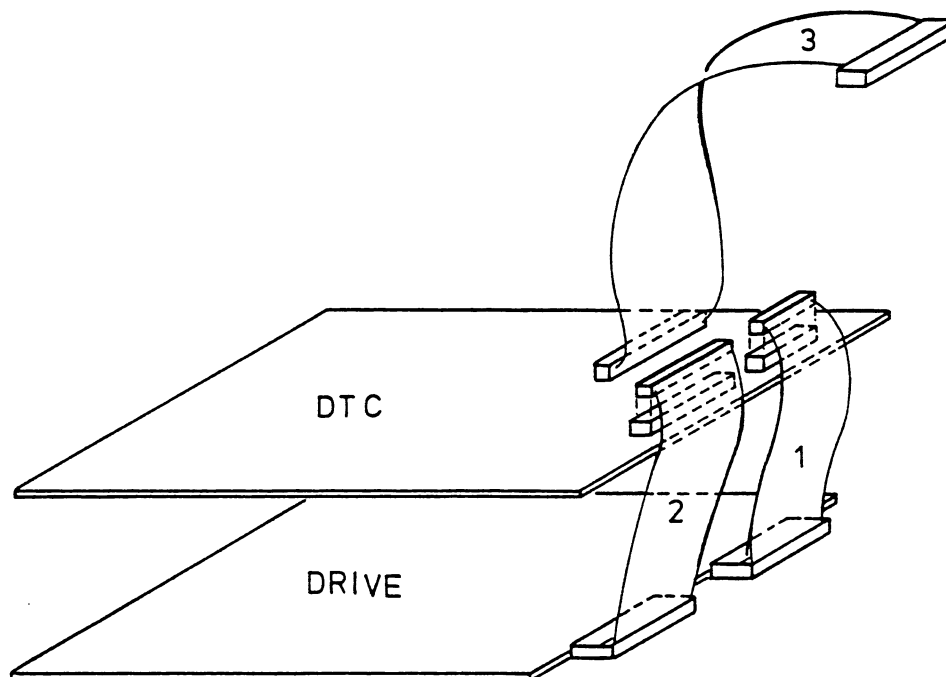
Bei manchen Laufwerkstypen ist der Sensor im Inneren des Gehäuses untergebracht. Da das Gehäuse ohne Cleanroom nicht geöffnet werden darf, kann diese Sensor nicht so ohne weiteres gewechselt werden. Allerdings kann in solchen Fällen ein zweiter Sensor außerhalb des Gehäuses angebracht werden, wo er sowieso bei den meisten Laufwerken befestigt ist.

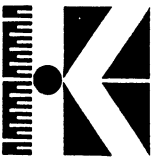
Dies geschieht in folgenden Schritten:

1. Controller und Hauptplatine abnehmen. Falls ein interner Sensor (siehe oben) eingebaut ist, muß die Leitung an J6 Pin 1 durchgetrennt werden. Falls sich der Sensor im Gehäuse befindet, dann weiter bei Schritt 3!
2. Halteschrauben des Indexsensors lösen und den defekten Sensor abnehmen.
3. Neuen Sensor einsetzen und darauf achten, daß dessen Anschlußkabel so verlegt werden, damit sie nicht am Spindel-motor schleifen.



4. Nun den Spindelmotor soweit verdrehen, bis sich der magnetische Spalt vor dem Sensor befindet. Der Abstand zwischen Sensor und Spalt muß 0.030 inches (=0.76 mm) betragen. Achten Sie auch darauf, daß der Motor in keiner Stellung am Sensor schleift!
5. Platinen wieder aufsetzen und alle Kabelverbindungen zum Controller und System gemäß folgender Abbildung wiederherstellen:



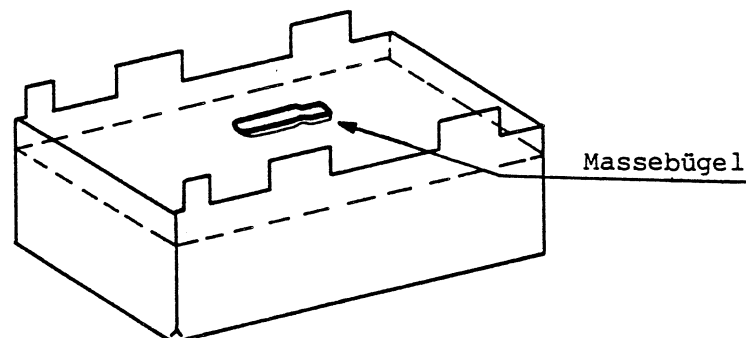


3.2 Geräusentwicklung

Das Laufwerk besitzt einen Massebügel, der auf die Achse des Spindelmotors drückt, um Aufladungen zu verhindern. Falls das Laufwerk Pfeifgeräusche von sich gibt, so liegt das an einem nicht korrekt eingestellten Massebügel.

Dieser Bügel läßt sich aber leicht justieren, indem Sie folgende Arbeiten durchführen:

1. Platinen abnehmen.
2. Halteschrauben des Massebügels lösen und neuen Bügel einsetzen. Die kleine Erhebung muß genau auf der Motorachse liegen.
3. Bügelspannung einstellen:
Der Anpreßdruck muß 8...10 Gramm betragen. Diese Einstellung erfolgt entweder mit einer Federwaage oder, falls nicht vorhanden, muß der Bügel so vorgespannt werden, daß der Anpreßdruck bei gutem elektrischen Kontakt minimal ist.
4. Platine wieder aufsetzen.





3.3 Selbstdiagnose

Sobald das Laufwerk mit den erforderlichen Spannungen versorgt ist, wird ein Selbsttest durchgeführt. Dabei wird auch die Stellung des Shunts überprüft.

Falls Pin 2 und 15 des Shunts verbunden sind, wird das Laufwerk jetzt "READY" geschaltet. Ist diese Verbindung jedoch unterbrochen, wird das Laufwerk mit einer umfangreichen Testroutine beginnen:

- Als Erstes erfolgt eine Überprüfung des Stepermotors
- Danach fahren die Köpfe auf die "shipping zone". Sie verbleiben dort ca. 5 Sekunden. Während dieser Phase, die durch ein dauerndes Aufleuchten der Leuchtdiode gekennzeichnet ist, kann das Laufwerk für einen Transport abgeschaltet werden. Nach dieser 5-Sekunden-Periode tritt das Laufwerk in einen Überprüfmodus ein, der zufallsmäßig verschiedene Spuren anfährt und ca. 5 (fünf!!) Tage dauert.

Treten während dieses Tests Fehler auf, so werden sie über die Leuchtdiode an der Frontseite des Laufwerkes über eine Art Morsecode mitgeteilt:

"0" = Leuchtdiode 0.1 sec eingeschaltet
"1" = Leuchtdiode 0.6 sec eingeschaltet

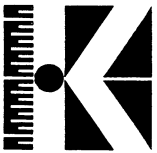
Die Meldungen werden nach 2 Sekunden Pause wiederholt.

Wird beispielsweise der Code E (=1110) gesendet, so leuchtet die Leuchtdiode in folgendem Rhythmus:

Code E:

LED 0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.1 sec an
2.0 sec aus

P.s.: Zwischen den einzelnen Bits wird eine Pause von 0.6 Sekunden gesendet. Nach 2 Sekunden Pause wird die Meldung wiederholt.



Erklärung der Meldungen:

- 0 RAM - Fehler
- 1 EPROM Checksummenfehler
- 2 Tiefgreifender Hardwarefehler
- 3 Schreibfehler
- 4 Schreibfehler
- 5 Motordrehung nicht erkannt
- 6
- 7 Umdrehungsgeschwindigkeit nicht konstant
- 8 Keine Spur 00 Erkennung
- 9 Keine Spur 00 Erkennung
- A Falsche Phase ausgewählt
- B Schrittzählerfehler
- C Korrekte Phase (3/14 offen 4/13 offen)
- D Korrekte Phase (3/14 offen 4/13 geschlossen)
- E Korrekte Phase (3/14 geschlossen 4/13 offen)
- F Korrekte Phase (3/14 geschlossen 4/13 geschlossen)

Die Steppermotorphase ist zur korrekten Spur 00 Erkennung notwendig. Solange am Shunt nichts verändert wird, braucht auf sie keine weitere Aufmerksamkeit verwendet werden.

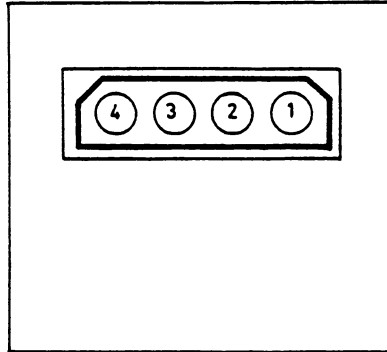
Um die korrekte Phase einzustellen (Verbindungen 3/14 und 4/13 am Shunt), müssen alle Interfacekabel sowie der Shunt abgenommen werden. Sodann muß das Laufwerk mit den benötigten Spannungen versorgt werden und der angezeigte Fehlercode interpretiert werden. Die Shuntverbindungen 3/14 und 4/13 müssen nun gemäß der Fehlermeldungstabelle verdrahtet werden.

Der beim Hersteller ermittelte Code ist auf dem am Gehäuse angebrachten Aufkleber ersichtlich.



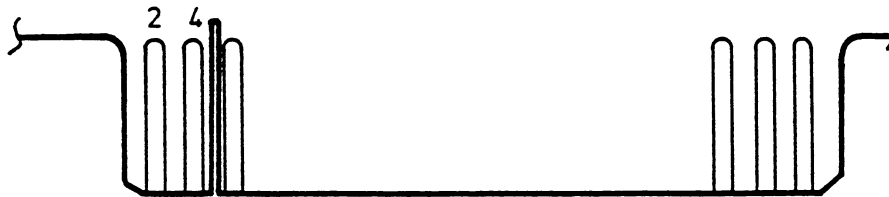
4. Anschlüsse

Stromversorgung:



- 4: +5V DC
- 3: GND
- 2: GND
- 1: +12V DC

Signalstecker:





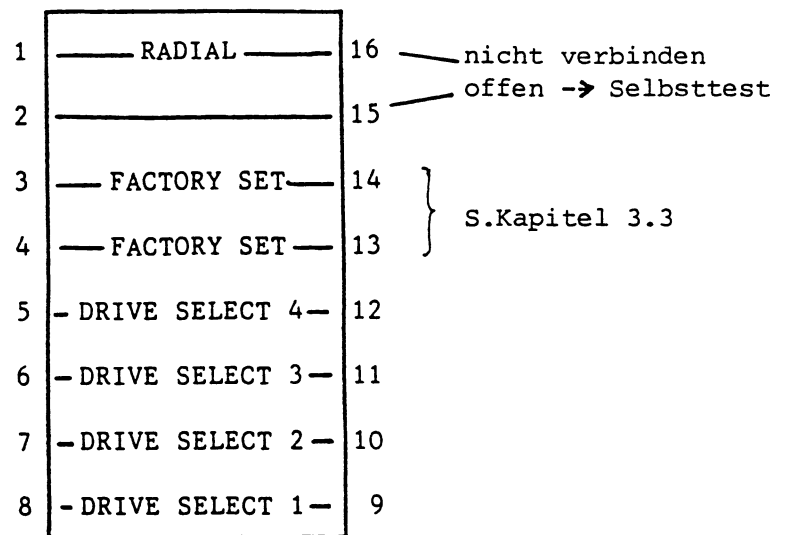
Servicebeschreibung MINISCRIBE MODEL 4020

Signal	Masserück- führung	Signalname
J1-2	J1-1	-REDUCED WRITE CURRENT
J1-4	J1-3	Reserved
J1-6	J1-5	-WRITE GATE
J1-8	J1-7	-SEEK COMPLETE
J1-10	J1-9	-TRACK OOO
J1-12	J1-11	-WRITE FAULT
J1-14	J1-13	-HEAD SELECT 2 ⁰
J1-16	J1-15	Reserved
J1-18	J1-17	-HEAD SELECT 2 ¹
J1-20	J1-19	-INDEX
J1-22	J1-21	-READY
J1-24	J1-23	-STEP
J1-26	J1-25	-DRIVE SELECT 1
J1-28	J1-27	-DRIVE SELECT 2
J1-30	J1-29	-DRIVE SELECT 3
J1-32	J1-31	-DRIVE SELECT 4
J1-34	J1-33	-DIRECTION IN
J2-1	J2-2	-DRIVE SELECTED
J2-3	J2-4	Reserved
J2-5	J2-6	Spare
J2-7	J2-8	Reserved
J2-9		Spare
J2-10		Spare
J2-11	J2-12	GROUND
J2-13		+MFM WRITE DATA
J2-14		-MFM WRITE DATA
J2-15	J2-16	GROUND
J2-17		+MFM READ DATA
J2-18		-MFM READ DATA
J2-19	J2-20	GROUND
J3-1		+12V DC
J3-2		GROUND
J3-3		GROUND
J3-4		+5V DC



5. Einstellungen:

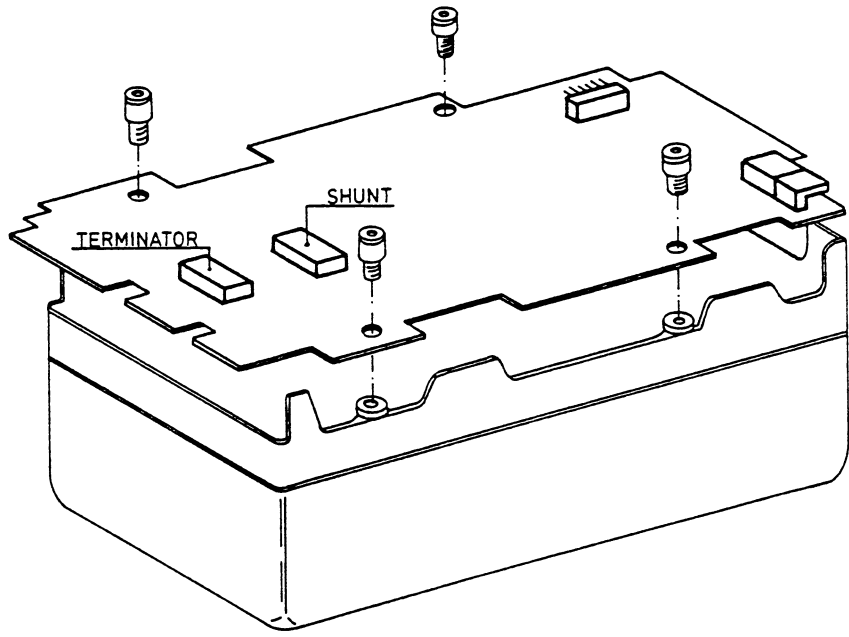
Shunt:

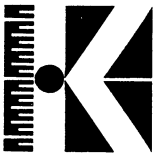


Jedes Laufwerk besitzt ein aufgestecktes Widerstandsnetzwerk.

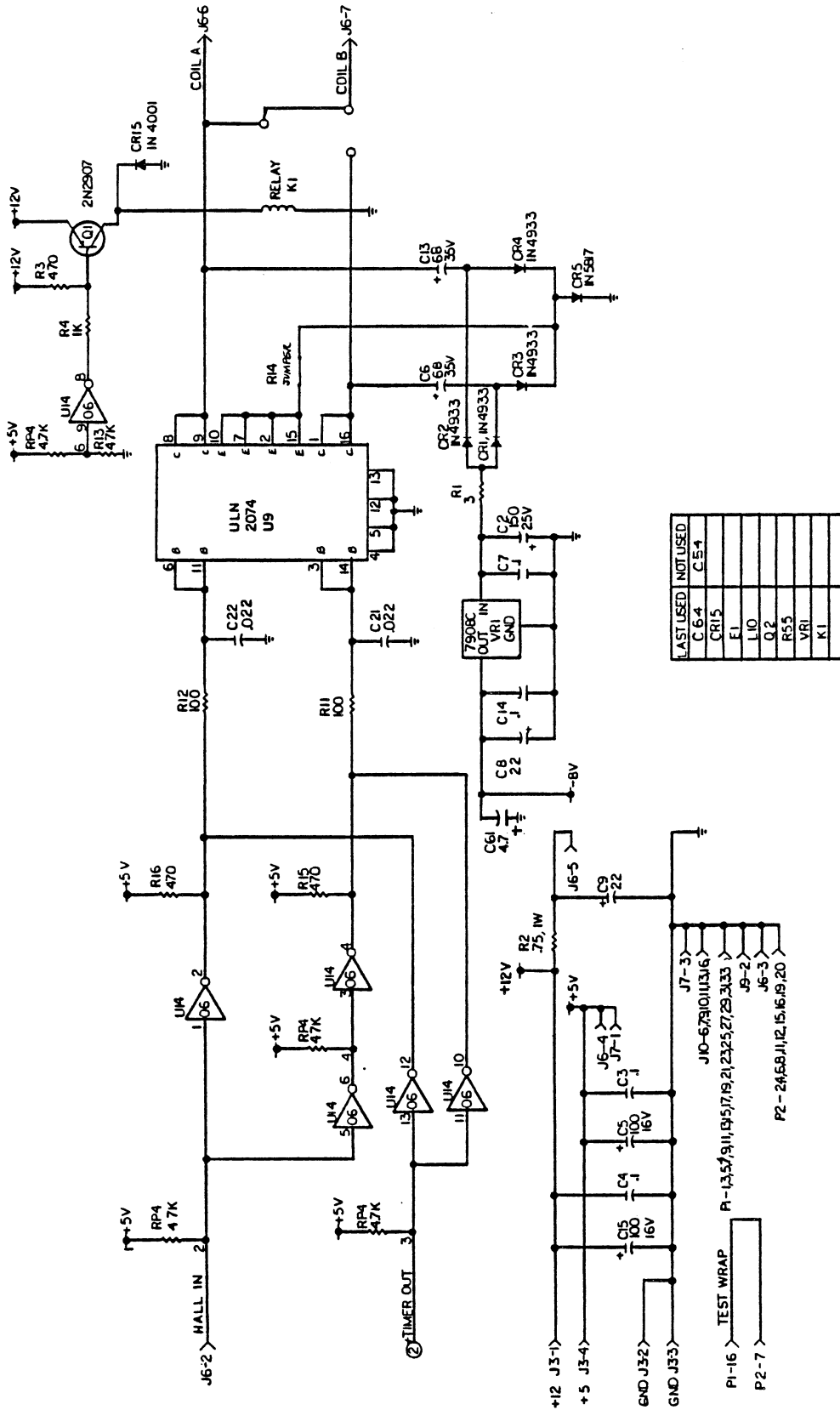
Dieses Netzwerk ist stets bei dem geographisch letzten ange-
steckten Laufwerk einzusetzen.

In den Systemen KONTRON PSI 980/9xxx ist nur ein Winchesterlauf-
werk vorhanden; also muß das Widerstandsnetzwerk gesteckt werden.



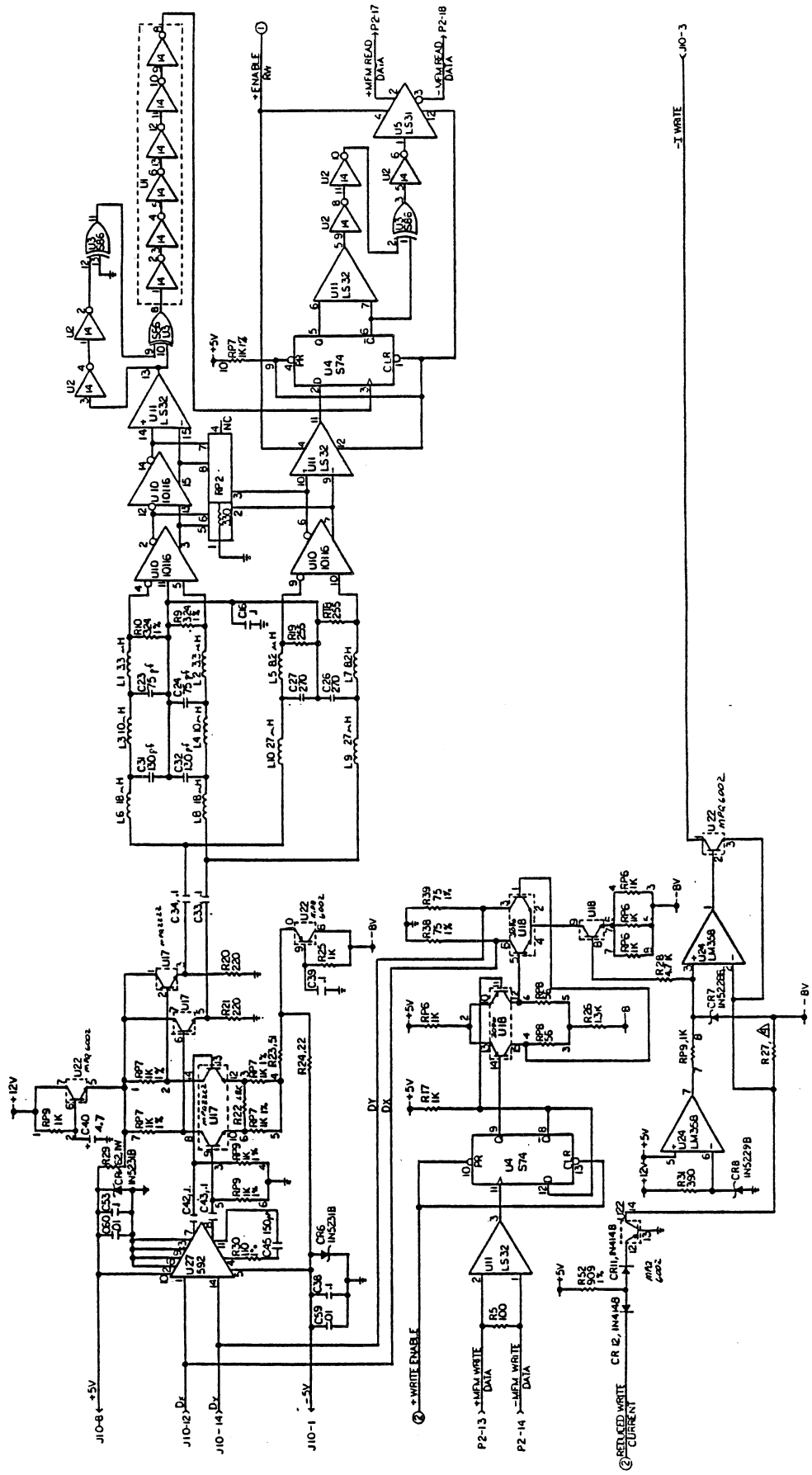


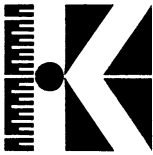
6. Schaltpläne



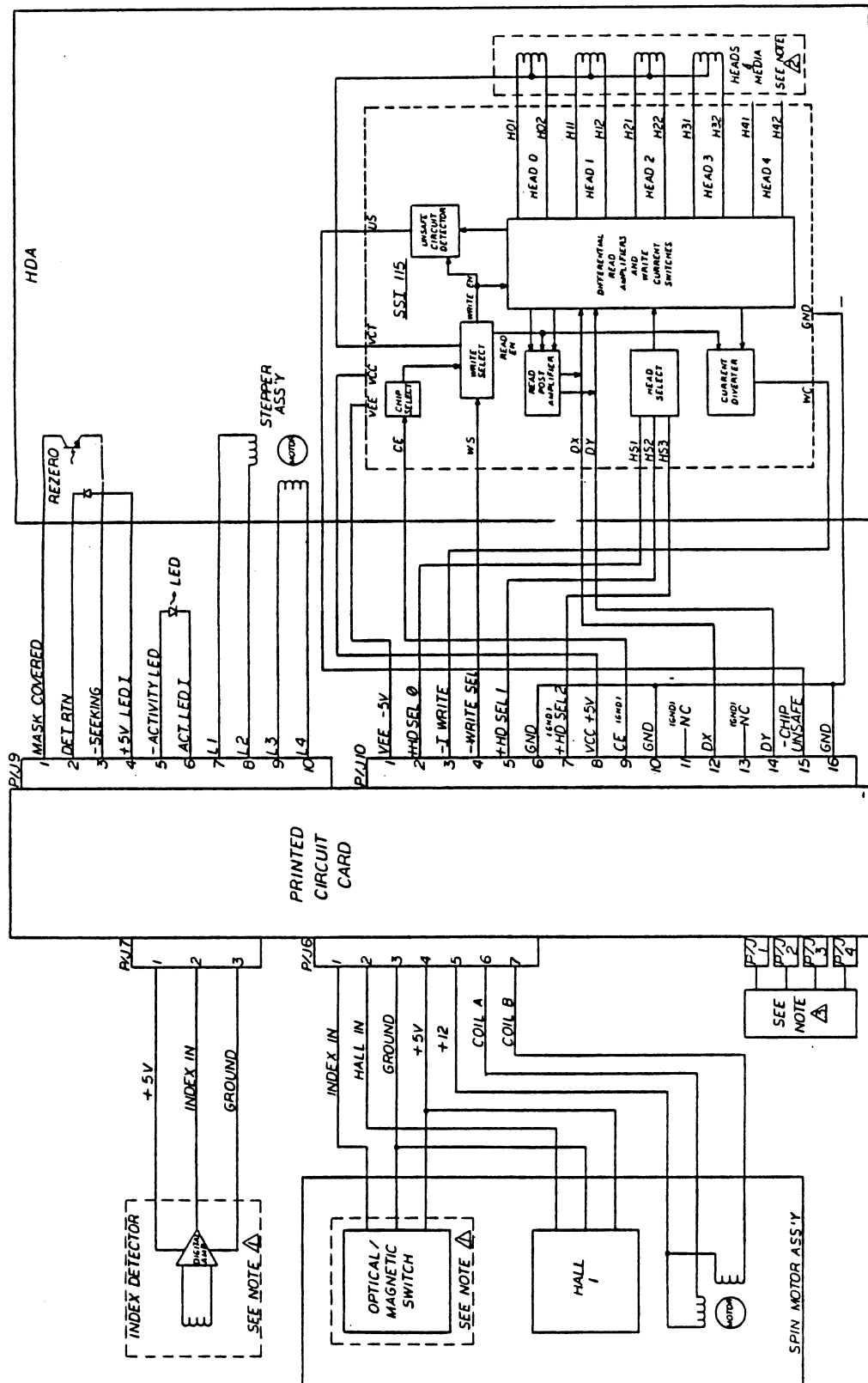


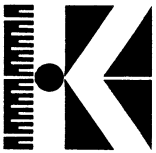
Servicebeschreibung MINISCRIBE MODEL 4020



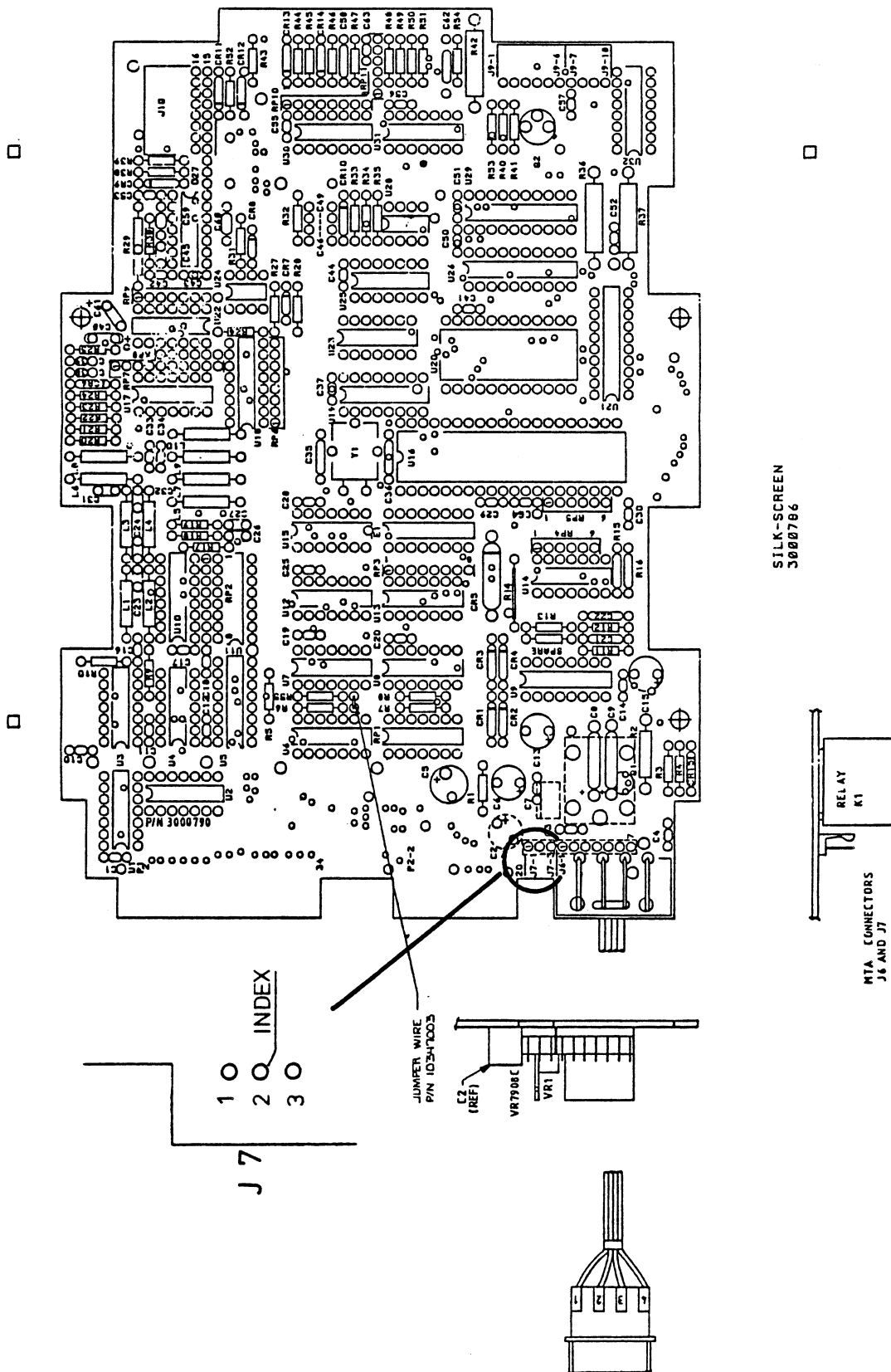


Servicebeschreibung MINISCRIBE MODEL 4020





7. Bestückungsplan





Diese Unterlage enthält die für den Service-
techniker wichtigsten Hinweise, die eine
Fehlereingrenzung auf Board-Level erleichtern
sollen.



1. Allgemeines

Der DTC-510A Controller besteht aus einem auf Mikroprozessorbasis aufgebautem Controllerbaustein mit dazugehöriger Datenseparatorlogik. Der Baustein ist in der Lage, maximal zwei Standard 5 1/4 inch Winchester-Laufwerke zu bedienen.

Der gesamte Baustein befindet sich auf einer einzigen Leiterplatte, die direkt unterhalb des Harddisklaufwerkes montiert ist. Die Kombination Controller mit Laufwerk bildet mechanisch gesehen eine Einheit, die leicht ausgewechselt werden kann.

Der Controller ist mit dem Rechensystem über einen bidirektionalen Bus verbunden. Die Controller-Logik serialisiert die ankommenden parallelen Daten und formt sie in MFM-Signale um. Gelesene serielle MFM-Daten werden in parallele 8-Bit-Worte gewandelt.

Der Controller besitzt eine Fehlererkennungsschaltung, die eine Fehlererkennung erleichtert und somit Ausfallzeiten des Systems verkürzt.

Sämtliche Laufwerksparameter (Step-Pulsbreite, Stepperrate, Kopfzahl, Anzahl der Zylinder etc.) werden dem Controller per Software mitgeteilt, um die Laufwerkscharakteristiken zu definieren.



2. Spezifikationen

DTC-510A Controller

Temperaturbereich:	Betrieb: 0....55 Grad C Lagerung: -40... 75 Grad C
Feuchtigkeitsbereich:	Betrieb: 10% ... 95% Lagerung: 10% ... 95%
Stromversorgung:	5V DC +/- 5% mit einer maximalen 50 mV _{p-p} Überlagerung
Stromaufnahme:	max. 2.6 A

Abmessungen:

Breite	14.6 cm
Länge	20.3 cm
Höhe	1.24 cm
Gewicht	508 g



3. Einstellhinweise

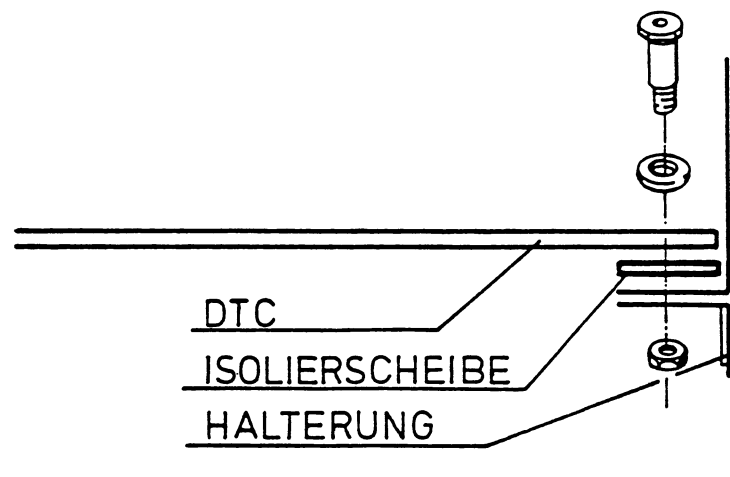
Im Normalfall wird diese Baugruppe im Fehlerfall komplett ausgetauscht, da dem Servicetechniker normalerweise keine ausreichenden Meßmittel zur Fehlereingrenzung zur Verfügung stehen (Margin-Tester, Logic-Analizer etc).

Falls ein inkorrektes Arbeiten des Controllers vermutet wird, sollten folgende Stichpunkte beachtet werden, die im Anschluß genauer erklärt werden.

1. Entspricht die Spannungsversorgung den Anforderungen (5V DC mit max. 50 mV_{p-p} Überlagerung)
2. Sind alle Verbindungskabel korrekt eingesteckt (der rote Rand der Flachbandkabel muß stets zum Pin 1 der Stecker weisen).
3. Sind alle Jumper richtig gesteckt?
Trägt das EPROM die Aufschrift WDM 22 oder größer (z.B. WDM 23)
4. Ist im System ein Wärmestau vorhanden?
5. Erscheint beim Betrieb des Gerätes eine Fehlermeldung, die mittels der Leuchtdioden auf der Platine angezeigt werden?

Achtung:

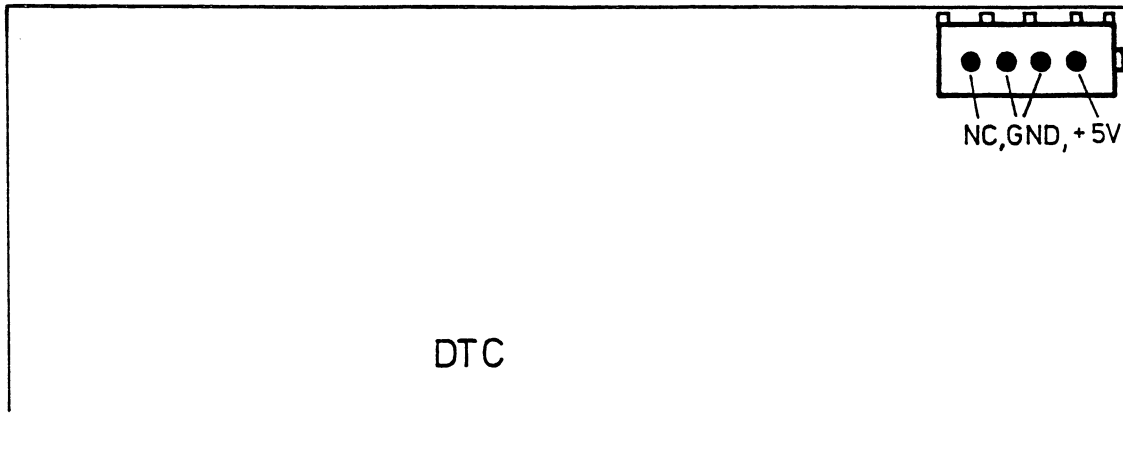
Beim Tausch/Ausbau des Controllerboards muß darauf geachtet werden, daß beim Wiedereinbau die Isolierscheiben zwischen Board und Chassis nicht vergessen werden!





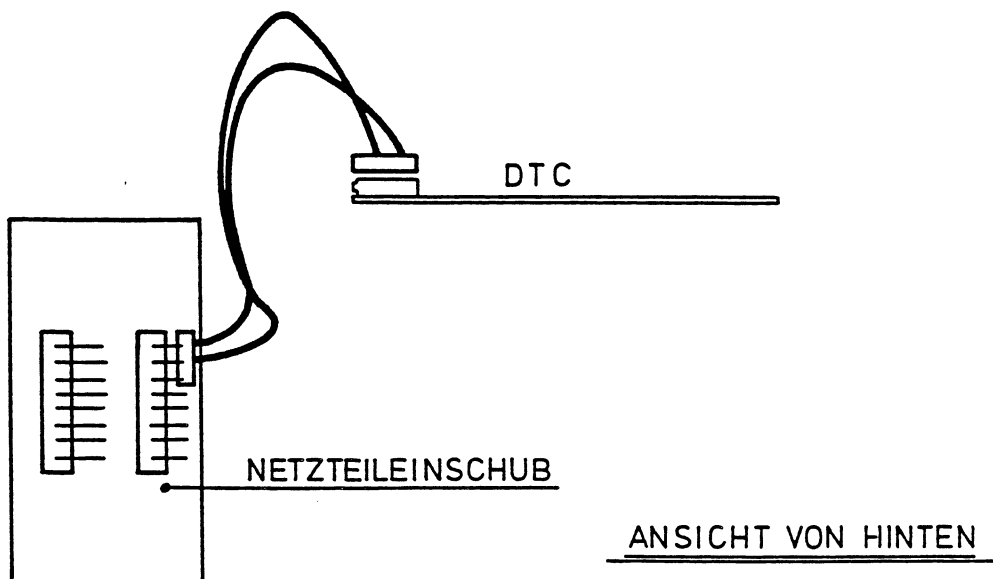
3.1 Versorgungsspannung

Die Spannungsversorgung erfolgt über einen vierpoligen Stecker mit folgender Belegung:



Es ist eine überlagerte Spannung mit maximal 50 mV_{p-p} zulässig.

Der Controller erhält seine Versorgungsspannung vom Netzteileinschub:





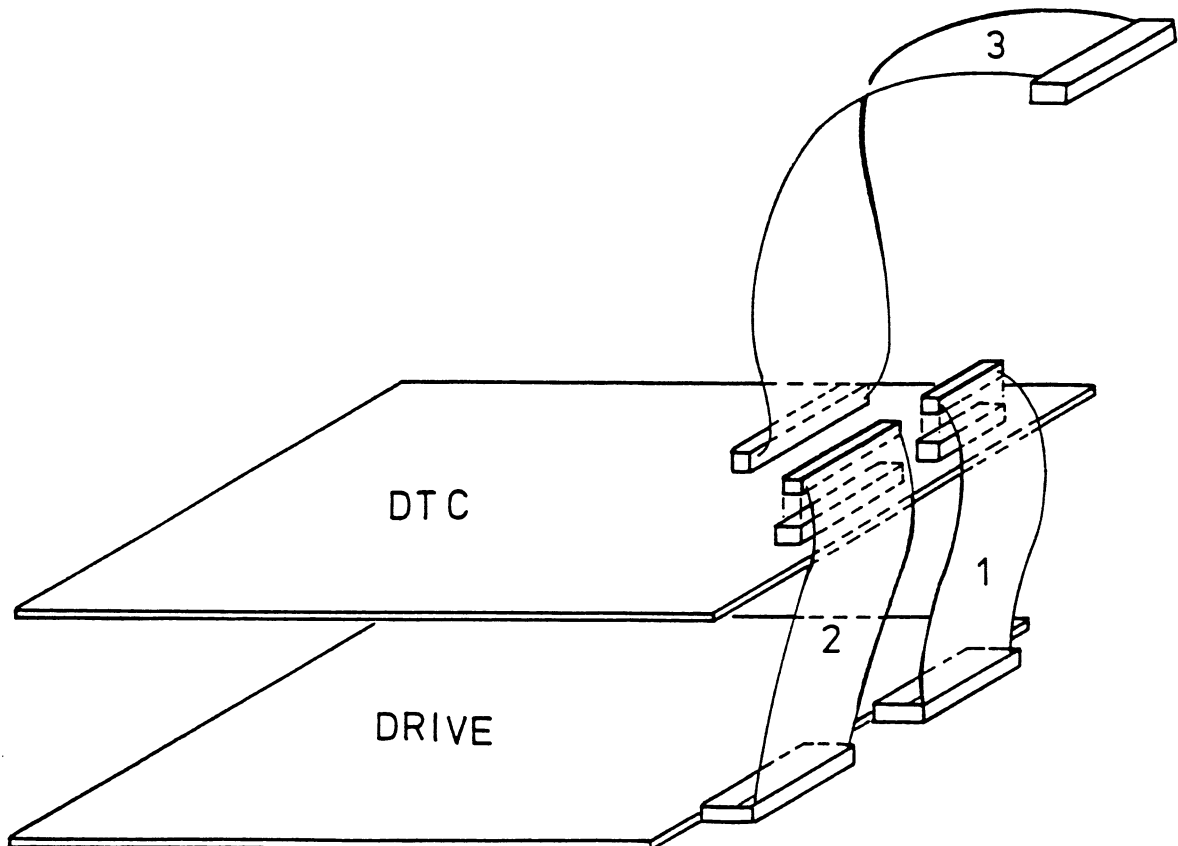
3.2 Verkabelung des Controllers

Sämtliche Flachbandkabel müssen so eingesteckt werden, daß der rote Rand zu Pin 1 zeigt.

Zum Anschluß des Controllers sind 3 Flachbandkabel nötig:

- 20-polig 10 cm lang 1
- 34-polig 8 cm lang 2
- 50-polig 25 cm lang 3

- 1 Verbindung Controller-Drive (Kontrolleleitungen)
- 2 Verbindung Controller-Drive
- 3 Verbindung Controller-SASI-Anschluß auf der Backplain





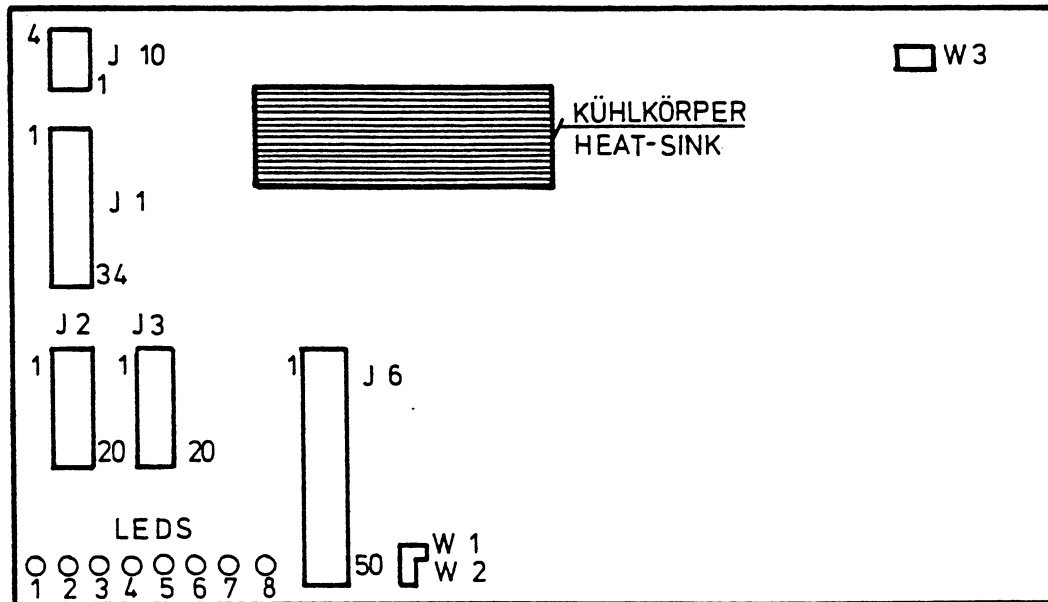
3.3 Jumper-Stellungen

Beim Betrieb in den KONTRON-Systemen PSI 980/9xxx müssen folgende Jumperpositionen auf dem Controllerboard gesetzt werden:

- W1 Verbinden
- W2 Stellung BC
- W3 Verbinden

Bedeutung der Jumper:

- W1: Recordlänge: verbunden 512 Bytes/sector
 offen 256 Bytes/sector
- W2: Parity: A-B enable parity
 B-C disable parity
- W3: stets gesteckt lassen



COMPONENT SIDE

- J1 - drive connector cable
- J2,3 - drive radial cable
- J6 - host cable
- J7 - no connection
- Jlo - DC power

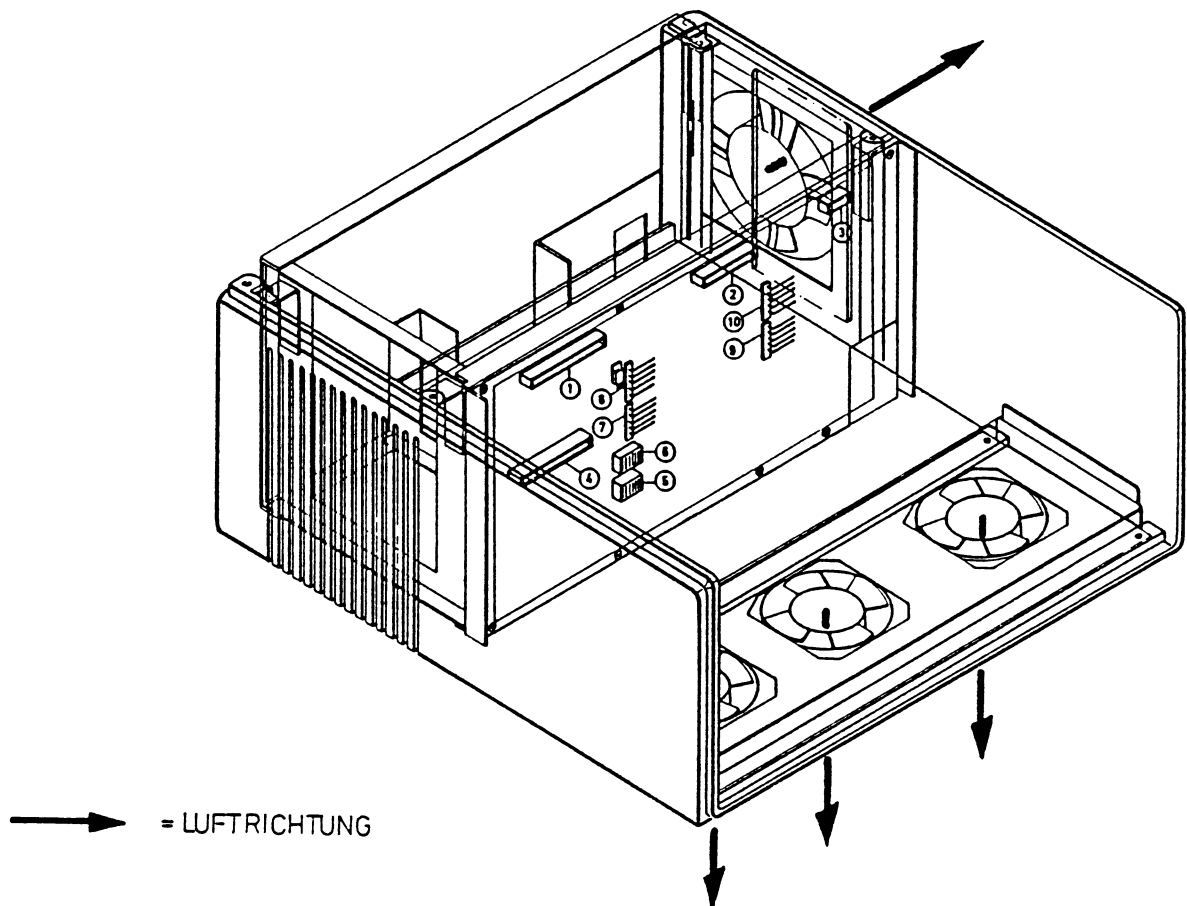


3.4 Lüftung des Gerätes

Um bei den Geräten der Serie 980/9xxx einen Wärmestau im Gerät zu vermeiden, der zum Ausfall des Controllers führen kann, müssen diese Systeme folgendermaßen ausgerüstet sein:

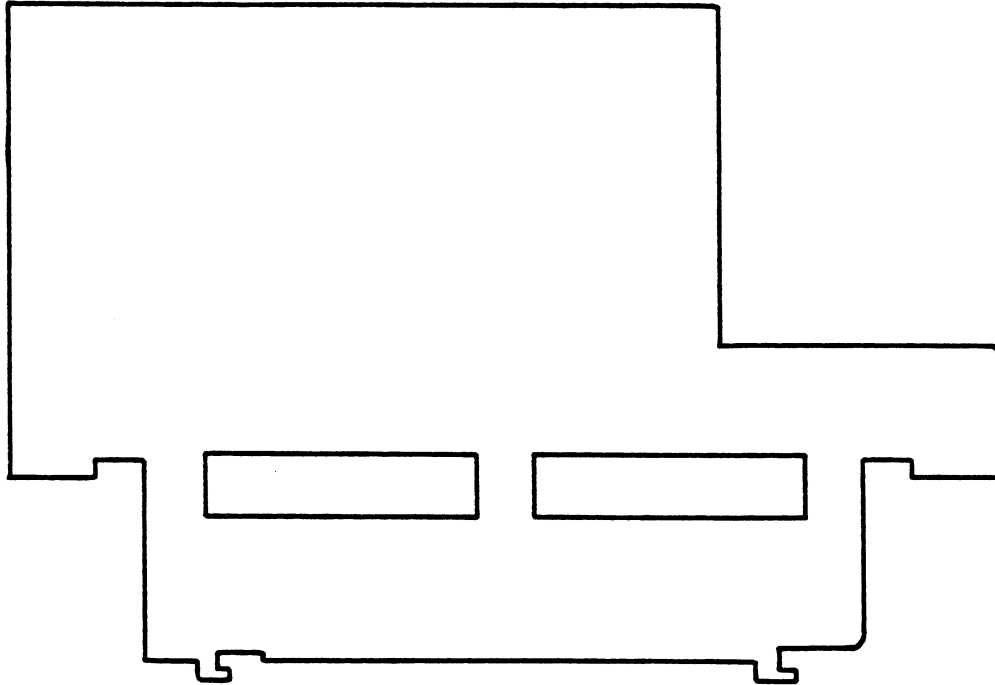
1. Unter der Harddisk muß ein stärkerer Lüfter eingebaut sein (Typ 99XW-0181 statt 99XM-0181)
2. Unter dem Floppylaufwerk muß ein Lüfter des Typs 99XM-0181 eingebaut sein.

Alle Lüfter blasen aus dem Gerät heraus!



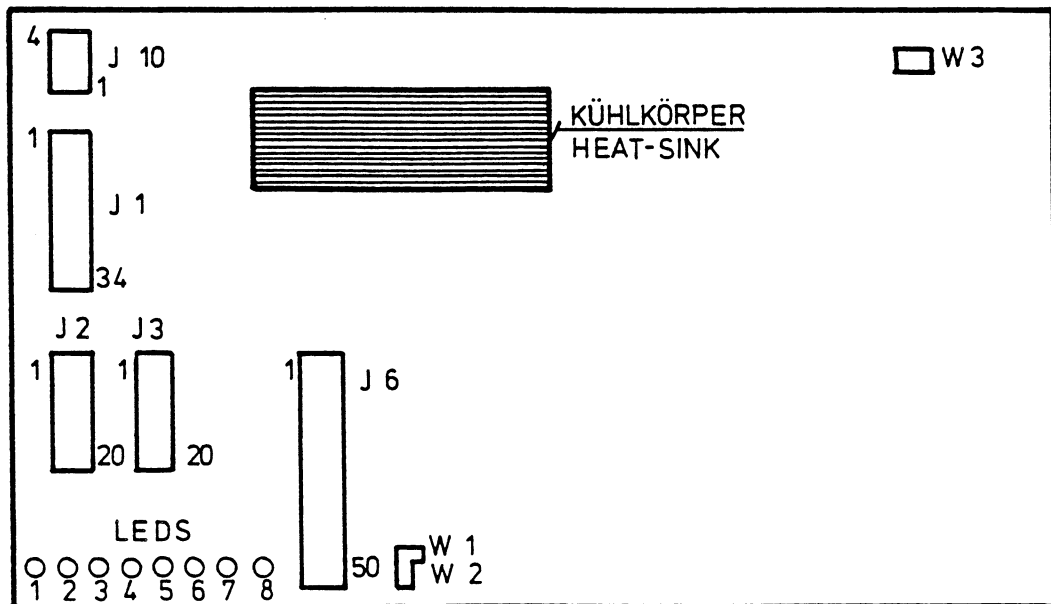


- Die Haltebleche für Floppy und Harddisk müssen mit Lüftungsschlitzen versehen sein.



DISKHALTERUNG

- Unterhalb der Floppy müssen die Lüftungsschlitze der Frontblende verschlossen sein.
- Auf dem DTC-Controller muß auf dem 40-poligen IC auf Position 9k ein Kühlkörper aufgeklebt werden.

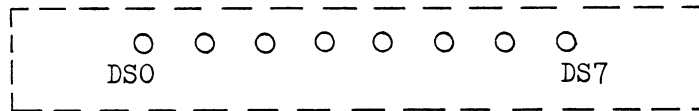


COMPONENT SIDE



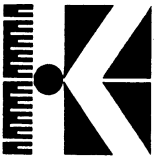
3.5 Fehlermeldungen des Controllers

Der Controller besitzt 8 Leuchtdioden, die zur Fehleranzeige dienen.



Die Anzeige hat dabei folgende Bedeutung (DS0 ist das LSB):

Fehler-Code	Bedeutung
00	kein Fehler
01	Index vom Drive kommt nicht
02	Spur 00 vom Drive kommt nicht an
03	Falsche Sektoradresse
04	Drive nicht angewählt
05	Signal "Seek Complete" nicht da
06	keine ID-Adressenmarke
07	keine Daten-Adreß-Marke
08	Seek-Fehler (Kopf oder Zylinder incorrekt)
09	Sektor nicht gefunden
0A	ID ECC-Fehler
0B	kein ACK vom System
0C	Falsches Kommando
0D	Falsches DATAMARK
0E	Falsche ID MARK
0F	Falsche Zylinder Adresse vom Drive
10	Falsche Sektor-Adresse
11	Falsche Kopf-Adresse
12	Unkorrigierbarer Datenfehler
13	Korrigierbarer Datenfehler
14	Drive not READY
15	Schreibfehler
16	Nicht benutzt
17 - 1E	Nicht benutzt
1F	Ausweichspuradresse nicht lesbar
20	Parity-Error vom System (Fehler im System)
21	Schlechter Block vom Drive erkannt
22	Falsche Funktion
31	Versuch eine Ausweichspur zu adressieren
32	Suchen
33	Drive voll
40	Controller pausiert (keine Fehlermeldung)
81	Mehrere Drives gleichzeitig angesprochen
82	Time-out
C0	Controller arbeitet (keine Fehlermeldung)



Anhang 1: Steckerbelegung zum Host-System
Stecker J6

Signal	Pin-Nummer
-DATA 0	2
-DATA 1	4
-DATA 2	6
-DATA 3	8
-DATA 4	10
-DATA 5	12
-DATA 6	14
-DATA 7	16
-PARITY	18
-	20
-	22
-	24
-	26
-	28
-	30
-	32
-	34
-BUSY	36
-ACK	38
-RST	40
-TDN	42
-SEL	44
-C/D	46
-REQ	48
-I/O	50

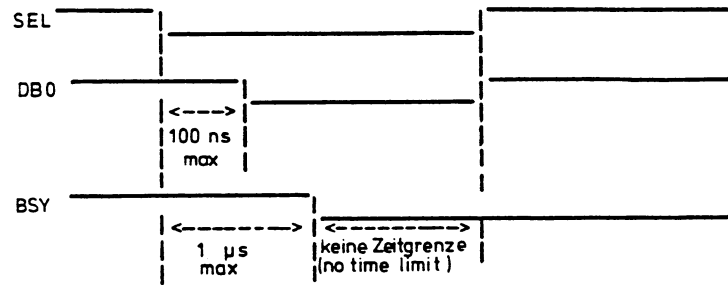
Anmerkung: Alle Signale sind negativ true und alle ungeraden Pin's sind mit Masse verbunden. Die Signalleitungen sind mit 220 Ohm gegen +5V und mit 330 Ohm gegen Masse abgeschlossen.

Die Pinbelegung ist identisch mit der des SASI-Steckers auf der Busplatine des Systems.

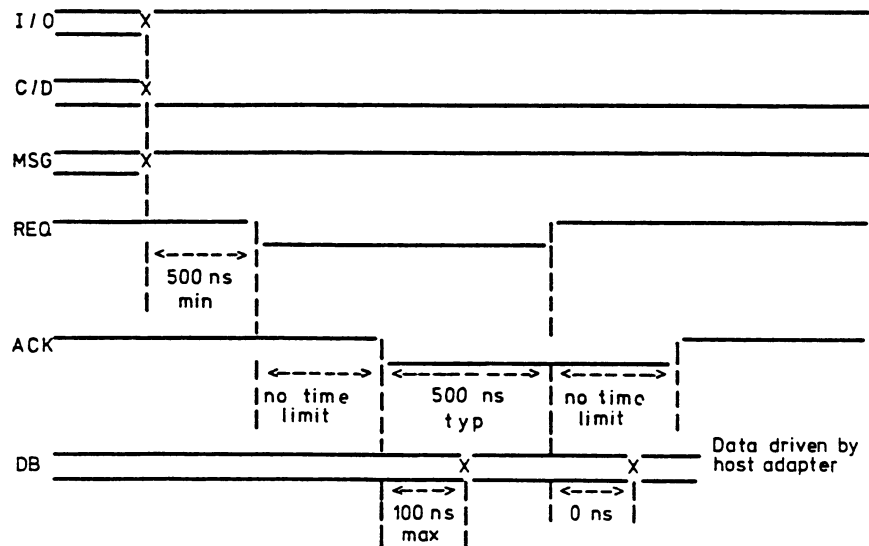


Anhang 2: Zeitablaufdiagramme

1. Controller-Auswahl

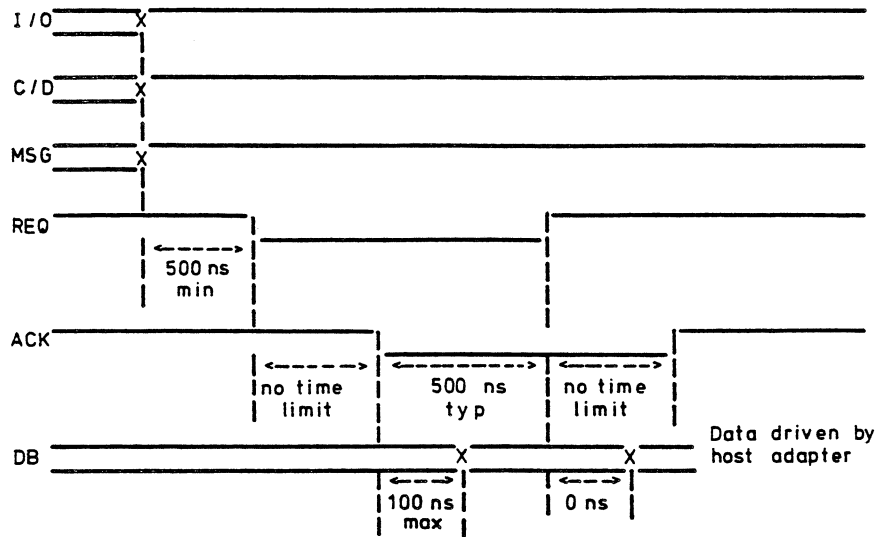


2. Kommando-Transferphase (1 Byte)

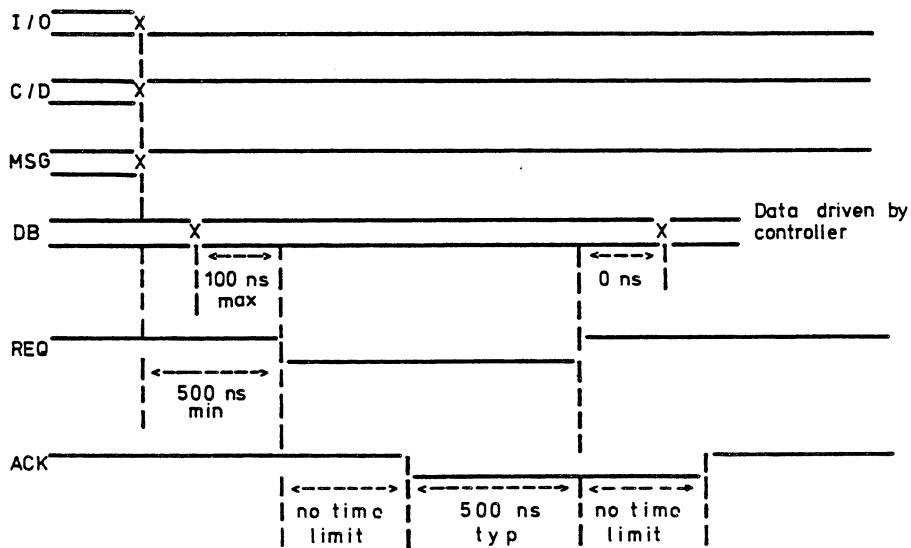




3. Daten-Transferphase (1 Byte)
vom Host-System zum Controller

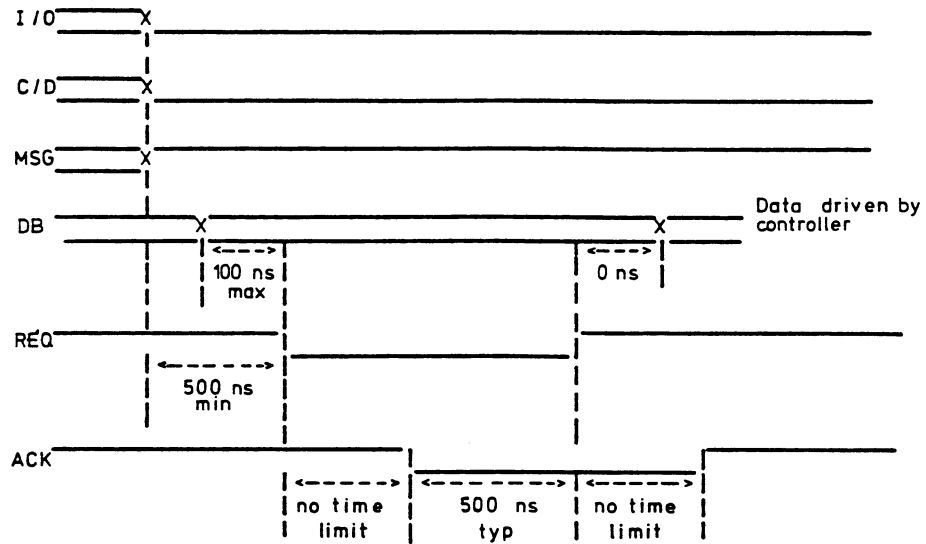


4. Daten-Transferphase (1 Byte)
vom Controller zum Host-System

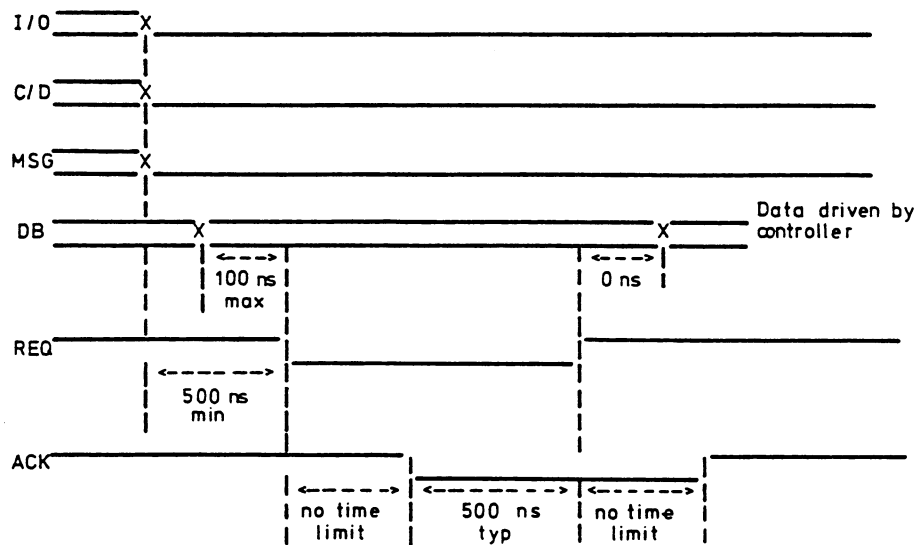




5. Status-Transferphase (1 Byte)
zum Host-Sytem



6. MSG-Transferphase





Beschreibung der TCB/Z80-Hardware mit den Revisionsständen:

Rev. 1.1
Rev. 1.1M3

Dieser Abschnitt beschreibt die dem System KONTRON PSI980/9800 und KONTRON PSI 9068/9868-I/O-Subsystem zugrundeliegende Hardware. Die hierin enthaltenen Informationen sind wesentlich für den Systemprogrammierer, der zusätzliche Hardwarefunktionen integrieren will. Außerdem ist dieses Kapitel für den Servicetechniker wertvoll, der Fehler auf der Baugruppe beseitigen will.



I N H A L T:

1. Einführung
 - 1.1 Zweck der Dokumentation
 - 1.2 Kurzbeschreibung der Baugruppe
 - 1.3 LSI-Schaltkreise
 - 1.4 Definitionen

2. Hardwarebeschreibung: Zentraler Rechner Teil
 - 2.0 Spannungsversorgung
 - 2.1 Die Zentraleinheit
 - 2.2 Das Speichersystem
 - 2.2.1 Speicherverwaltung
 - 2.2.2 Festwertspeicher
 - 2.2.3 Schreib-/Lesespeicher
 - 2.2.4 Externe Speicher

 - 2.3 DMA-Controller

3. Hardwarebeschreibung: I/O-Ports
 - 3.1 Zusammenstellung aller I/O-Ports
 - 3.2 Status Ports
 - 3.2.1 Status Port 0
 - 3.2.2 Status Port 2
 - 3.3 Centronics Schnittstelle
 - 3.4 Serielle I/O-Ports
 - 3.4.1 Serienkanal A (SIOA)
 - 3.4.1.1 RS 422-Interface
 - 3.4.1.2 RS 232C-Interface
 - 3.4.1.3 Current Loop-Interface
 - 3.4.2 Serienkanal B (SIOB)
 - 3.4.2.1 Terminal Belegung
 - 3.4.2.2 Modem Belegung

 - 3.5 Zähler/Zeitgeber Kanäle
 - 3.5.1 Verwendung der Zähler/Zeitgeber Kanäle
 - 3.5.2 Baudrate-Generierung

 - 3.6 Floppy Disk Controller (FDC)
 - 3.7 Harddisk-Anschluß (SASI-Interface)
 - 3.8 Multibus-Interface
 - 3.9 Unterschiede in der Bestückung
 - 3.10 Technische Daten

4. Steckerbelegungen, PALs, Testpunkte, Jumper
 - 4.1 Belegung von Stecker A (FD & HD)
 - 4.2 Belegung von Stecker B (Multibus)
 - 4.3 Belegung von Stecker C (ECB)
 - 4.4 Belegung von Stecker C (ECB), nach Signalgruppen geordnet
 - 4.5 Liste aller Testpunkte auf der Platine
 - 4.6 Liste aller IC's
 - 4.7 Programmierung der PAL-Bausteine
 - 4.8 Liste aller Adreßsymbole
 - 4.9 Unterschiede Rev. 1.1M3 und Rev. 1.1
 - 4.10 Voreinstellung der Jumper und Schalter



- 5. Servicehinweise für TCB/Z80
 - 5.1 Reperaturflußplan für TCB/Z80
 - 5.2 Alphabetische Signal-/Baugruppenerläuterung

Liste der Tabellen

Nummer	Titel
1	Adressierung des Memory Mappers
2	Prom Adreßbereiche
3	Adreßzuordnung der Speicherbänke 0...3
4	-
5	DMA I/O-Adressen
6	I/O-Ports (Adressen 0-1FH)
7	I/O-Ports (Adressen 20H-3FH)
8	I/O-Adressen der Status Ports
9	Bitzuordnung von Status Port 0
10	-
11	Bitzuordnung von Status Port 2
12	I/O-Adressen des PIO-Bausteins
13	Steckerbelegung der Centronics Schnittstelle
14	I/O-Adressen des SIO-Bausteins
15	Schalterstellung für RS422-Interface (SIOA)
16	Belegung des RS422-Anschluß (SIOA/ST-D)
17	Schalterstellung für RS232C-Interface (SIOA)
18	Belegung der RS232C-Schnittstelle (SIOA/ST-E)
19	Schalterstellung für 20mA Current Loop Interface (SIOA)
20	Terminal-Belegung der RS232C-Schnittstelle (SIOB/ST-F)
21	Modembelegung der RS232C-Schnittstelle (SIOB/ST-F)
22	I/O-Adressen der Zähler/Zeitgeber Kanäle
23	CTC Programmierstabelle zur Baudrate-Generierung bei 2 MHz
24	CTC Programmierstabelle zur Baudrate-Generierung bei 1,2288 MHz
25	I/O-Adressen des FD-Controllers
26	FDC-Referenztakte
27	I/O-Adressen des SASI-Interface
28	Bitzuordnung des SASI-Control Port (Write)
29	Bitzuordnung des SASI-Control Port (Read)

Liste der Abbildungen

Nummer	!	Titel
1	!	Blockschaltbild



1. Einführung

Die Rechnerbaugruppe TCB/Z80 enthält einen vollständigen 8-Bit Computer auf Basis der Z80A-CPU.

Neben 256 kByte Schreib-/Lesespeicher (RAM) stellt die Baugruppe mehrere Standard E/A-Schnittstellen für zeichen- und blockorientierte Peripheriegeräte wie Terminals, Drucker, Floppy und Hard Disk Laufwerke zur Verfügung.

Die Baugruppe TCB/Z80 ist im Dreifacheuroformat (366,7 x 185 mm) ausgeführt. Sie ist zusammen mit der Erweiterungsplatine TCB/IOV (Video Controller) kompatibel zur Baugruppe KDT 6 (ab Rev. 1.2). Abbildung 1 zeigt das Blockschaltbild der TCB/Z80.

1.1 Zweck der Dokumentation

Diese Dokumentation soll dem hardwarenahen Programmierer die notwendigen Informationen vermitteln und insbesondere den Anschluß von Peripheriegeräten erleichtern. Beschrieben ist eine maximal aufgerüstete Version der TCB/Z80. Maßgeblich für die Ausführung der Baugruppe in Systemen ist die Spezifikation des jeweiligen Systems. Diese Dokumentation gibt keine Auskunft über die Verfügbarkeit von Ausführungsvarianten von Systemen auf Basis dieser Baugruppe.

Mögliche Unterschiede in der Bestückung der Baugruppe TCB/Z80 sind im Kapitel 3.9 dieser Hardwarebeschreibung zusammengestellt.

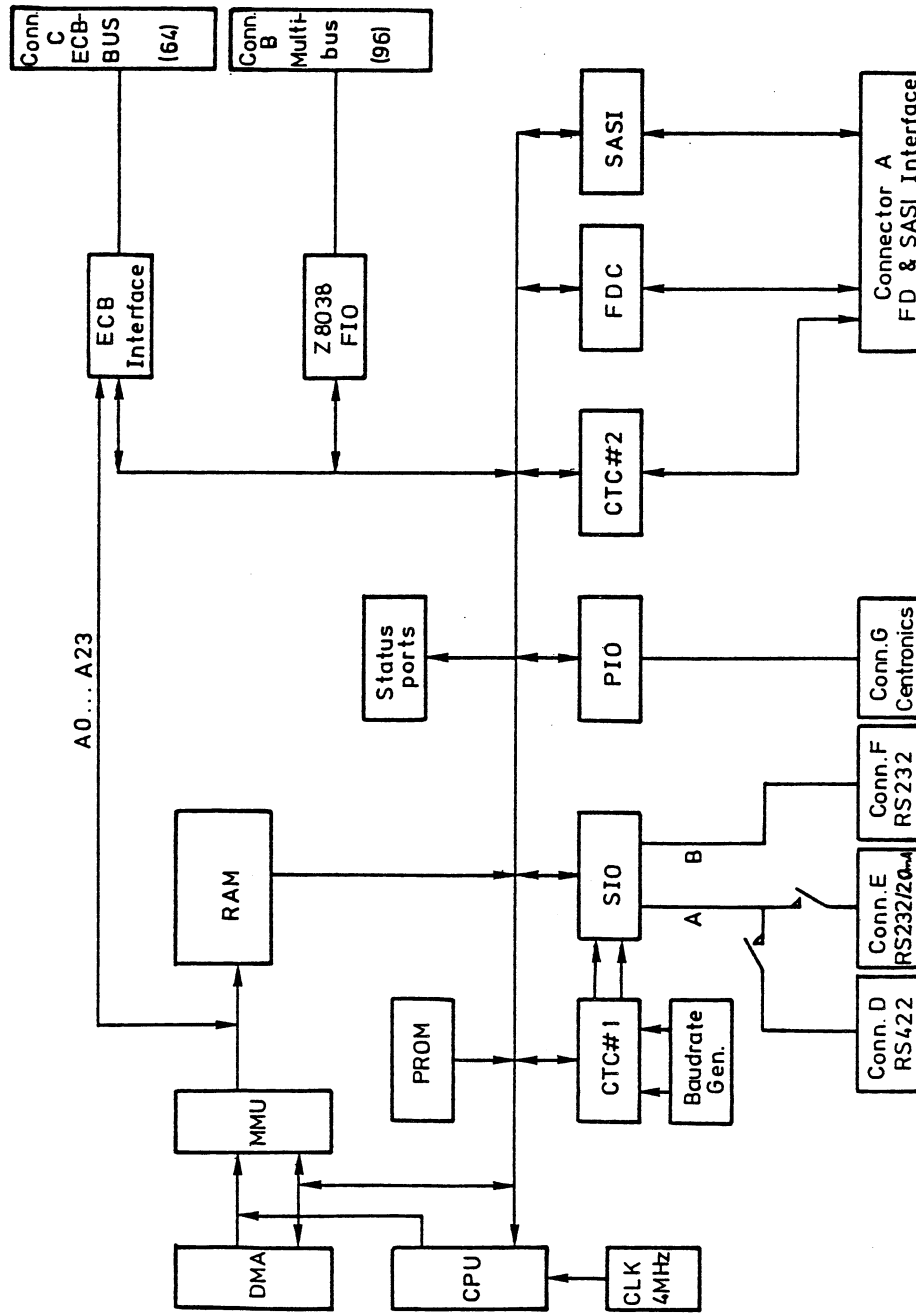
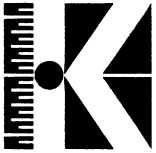


Abbildung 1: Blockschaltbild der TCB/Z80



1.2 Kurzbeschreibung der Baugruppe

Die Baugruppe enthält in drei Gruppen folgende Funktionseinheiten:

a) Zentraleinheit und Speicher

- Z80A-CPU (4 MHz)
- Z80A-DMA
- 2 Prom Sockel für I2732 Eproms (8 kByte)
- 256 kByte RAM
- Memory Management mit 16 MByte logischem Adreßraum

b) E/A-Schnittstellen

- 8 Zähler/Zeitgeber Kanäle (2 x Z80A-CTC)
- zwei serielle Kanäle für asynchronen und synchronen Betrieb (Z80A-SIO/O), davon:
 - Kanal A mit Schalter-selektierbarem RS232C, RS422 und 20 mA-Interface
 - Kanal B mit RS232C-Interface und Schalter-selektierbarer Modem-/Terminalbelegung
- programmierbare Übertragungsraten für Asynchronbetrieb bis 76800 Baud; Synchronbetrieb bis 800 kbit/s
- ein paralleler Kanal (Z80A-PIO) mit Standard Centronics Interface
- integrierte Standard Stecker für serielle und parallele Kanäle
- FD-Controller/Interface für single/double density, single/double sided, 5 1/4 und 8 inch drives
- SASI-Controller/Interface für 5 1/4 inch Harddisk Laufwerke und andere Geräte mit SASI-Bus

c) Bus Interfaces

- ECB Bus-Interface über Stecker C (64-polig)
- Multibus Slave Interface über Z8038 FIO Buffer und Stecker B (96-polig)
- FD- und SASI-Interface über Stecker A (64-polig) zur Backplane



1.3 LSI-Schaltkreise

LSI-Schaltkreise folgender Hersteller sind auf der Baugruppe eingesetzt.

- | | | |
|----|--------------|--------------------------------|
| a) | ZILOG | Z80A-CPU/DMA/CTC/SIO/PIO |
| b) | ZILOG | Z8038-FIO |
| c) | NEC | uP765 (Floppy Disk Controller) |
| d) | TEXAS Instr. | 74LS612 (Memory Mapper) |

Diese Dokumentation beinhaltet nicht die Beschreibung dieser Schaltkreise. Nähere Informationen sind den Datenbüchern der entsprechenden Hersteller zu entnehmen.

Gelegentlich sind Programmbeispiele für eine in der Regel einfache Betriebsart eines LSI-Schaltkreises angegeben.

1.4 Definitionen

Diese Beschreibung unterscheidet 'Active low' Signale durch ein vorangestelltes Minuszeichen von 'Active high' Signalen.

Beispiel: MRQ (Active high)
-MRQ (Active low)



2. Hardwarebeschreibung: Zentraler Rechnerteil

Der Zentrale Rechnerteil umfaßt die Komponenten:

- CPU mit Takt, Reset und Pufferung
- Speichersystem mit Speicherverwaltung, Festwert- Schreib-/Lesespeicher
- DMA (Direct Memory Access Controller)

2.0 Spannungsversorgung

Die Baugruppe TCB/Z80 benötigt zum Betrieb folgende Spannungen:

+ 5V	(ca. 3,0 A)
+12V	(ca. 40 mA)
-12V	(ca. 40 mA)

Die +/- 12V werden nur für den Betrieb der RS232C- und 20mA-Schnittstellen benötigt.

Bei Rev. 1.1 ist ein Jumper (J5) für die -12V-Versorgung (über ECB/Bus) vorgesehen:

J5 Position A: -12V über 15a von ST-C (ECB)
B: -12V über 15c von ST-C

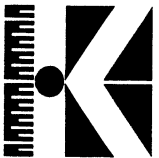
2.1 Die Zentraleinheit

Die Zentraleinheit (Central Processing Unit) der Baugruppe ist mit der Z80A-CPU realisiert.

a) Takterzeugung

Der Takt für die CPU wird von einem 16 MHz Quarzoszillator abgeleitet und über eine Treiberstufe der CPU und anderen LSI-Schaltkreisen zugeführt.

Über das Statussignal 'SEL.CLK' (Status Port 0) kann die wirksame Taktfrequenz halbiert werden. Dies ist nach dem Einschalten der Versorgungsspannung automatisch der Fall, womit gewährleistet ist, daß zum Kaltstart (Boot) Standard EProm Typen mit Zugriffszeiten von ca. 400 ns eingesetzt werden können.



b) Reset

Ein Reset-Signal für die CPU und alle Schaltkreise mit entsprechendem Eingang wird automatisch durch das Anlegen der Versorgungsspannung erzeugt (Power On Reset). Über den ECB-Anschluß 'RES.IN' (Stecker C-31c) kann zudem ein manuelles Reset-Signal, beispielsweise über einen Schalter, ausgelöst werden.

c) Pufferung

Alle Bussysteme der CPU (Adreß-, Daten- und Steuerbus) sind unmittelbar nach der CPU durch Treiber mit Schmitt-Trigger-Charakteristik gepuffert. Von dort führen die Signale zu den einzelnen Komponenten der Baugruppe, sowie zu separaten Buspuffern für den externen ECB-Busanschluß. Diese Puffer sind bidirektional und unterstützen deshalb auch den direkten Speicher- oder I/O-Port-Zugriff durch externe DMA-Controller.

2.2 Das Speichersystem

Das Herz des Speichersystems ist ein LSI-Baustein zur Speicher-verwaltung (Memory Mapper), der die von der CPU stammenden logischen Adressen (16 Bit, 64 kByte) in physikalische Adressen (24 Bit, 16 MByte) umsetzt. Alle Speicheradressen, mit Ausnahme derjenigen für die EProm's, werden grundsätzlich durch 24 Bit (A0...A23) repräsentiert. Dies gilt auch bei DMA-basierenden Speicherzugriffen.

2.2.1 Speicherverwaltung

a) Der Baustein 74LS612

Die Speicherverwaltung basiert auf dem LSI-Baustein 74LS612. Dieser beinhaltet 16 frei programmierbare sogenannte MAP-Register, welche die höherwertigen 4 Adreßbits der CPU (A12...A15) in 12 Adreßbits (MA12...MA23) umsetzen (Paging). Hierbei dient die logische 4 Bit-Adresse, gebildet aus A12...A15, zur Adressierung eines der 16 MAP-Register. Die Speicherverwaltung wird unter drei Umständen umgangen:

- Ein DMA-basierender Zugriff ist im Gange (-BUSAK aktiv). In diesem Fall muß der DMA-Controller die Adressen A0...A23 bereitstellen. Die Ausgänge M00...M011 des Memory Mappers gehen in den hochohmigen Zustand.



- Das Statussignal 'SEL.SYSM' (Select System Memory) ist gesetzt. Dieses Statussignal ist mit Anschluß 1a von ST-A verbunden und kann über das Status-Port 1 auf der TCB/IOV (38H) verändert werden. Wird die TCB/Z80 alleine (ohne TCB/IOV) betrieben, muß SEL.SYSM deaktiviert werden, um die Speicherverwaltung einzuschalten. Bei Rev. 1.1M2 geschieht dies in PAL 3(IC28), bei Rev. 1.1 ist hierfür ein Jumper (J4) vorgesehen:

J4 Pos. A: SEL.SYSM unbeeinflusst, d.h. es muß über die TCB/IOV bedient werden (mit TCB/IOV)
 Pos. B: SEL.SYSM = low (ohne TCB/IOV)

- Ein I/O-Zugriff findet statt (-IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MA16...MA23 immer 0, sowie die Adreßbits A12...A15 unverändert. Dieser Zustand ist gekennzeichnet durch das Signal 'DIS.MAP' (Disable Mapper).

b) Adressierung und Programmierung des Bausteins 74LS612

Der Baustein wird als I/O-Port adressiert. Er beansprucht entsprechend der 16 MAP-Register 16 I/O-Adressen, die mit den Adreßbits A0...A3 unterschieden werden. Die Basisadresse des Bausteins ist 20 (Hex).

Tabelle 1: Adressierung des Memory Mappers (74LS612)

während I/O-Zyklen adressiert durch					!	!	!	während Speicherzyklen adressiert durch				
A7...A4	A3	A2	A1	A0	!	MAP Rg. #	!	A15	A14	A13	A12	
					!	Hex	!					
	0	0	0	0	!	20	!	0	0	0	0	
	0	0	0	1	!	21	!	1	0	0	1	
	0	0	1	0	!	22	!	2	0	1	0	
	0	0	1	1	!	23	!	3	0	1	1	
	0	1	0	0	!	24	!	4	1	0	0	
	0	1	0	1	!	25	!	5	1	0	1	
	0	1	1	0	!	26	!	6	1	1	0	
0 0 1 0	0	1	1	1	!	27	!	7	1	1	1	
	1	0	0	0	!	28	!	8	1	0	0	
	1	0	0	1	!	29	!	9	1	0	1	
	1	0	1	0	!	2A	!	10	1	1	0	
	1	0	1	1	!	2B	!	11	1	1	1	
	1	1	0	0	!	2C	!	12	1	1	0	
	1	1	0	1	!	2D	!	13	1	1	1	
	1	1	1	0	!	2E	!	14	1	1	0	
	1	1	1	1	!	2F	!	15	1	1	1	



Da jedes MAP-Register eine Breite von 12 bit (D0...D11 mit MSB=D0) hat, müssen die Bits D0...D3 vor jeder Programmierung eines MAP-Registers getrennt bereitgestellt werden. Dies geschieht über den Status Port 2 der Baugruppe. Alle MAP-Register können auch gelesen werden, jedoch nur deren Bits D4...D11 (LS-Byte). Ein Beispiel soll die Arbeitsweise des Memory Mappers verdeutlichen:

Annahme:

- a) Das MAP-Register 0 enthalte in den Bitstellen D0...D11 den Wert 0000 0001 0000 (Hex: 010H)
- b) Die CPU sende die Adresse 0000 xxxx xxxx xxxx (Hex: OXXX) aus.

Daraus resultiert folgende physikalische 24 bit-Adresse:

0000 0001 0000 xxxx xxxx xxxx (Hex: 010XXX)

entsprechend der Abbildungsvorschrift:

D0--> A23, D1 --> A22 ... D10 --> A13, D11 --> A12

Die niederwertigen 12 Adreßbits bleiben also unverändert. Die Basisadresse eines logischen 4 kByte Speicherbereichs kann somit nach Belieben in den physikalischen Adreßraum von theoretisch 16 MByte gelegt werden.

c) Beispiele zur Programmierung des Memory Mappers

1. für eine 1:1 Transformation (Speicherbank £0)

```
init.mapper:
    ld hl,mmu.table      ; pointer to mmu.table
    ld b,16              ; loop counter
    ld c,map.reg.0-1    ; mmu base adress minus 1
    xor
    out (stp.2.write),a ; set mapper bits D0...D3
loop:
    inc c                ; increment mapper address
    outi                ; program MAP-register
    jr nz,loop          ; loop 16 times
    ret

mmu.table:
    defb 0              ; page 0 (0000h-0FFFh)
    defb 8              ; page 1 (1000h-1FFFh)
    defb 4              ; page 2 (2000h-2FFFh)
    defb 0ch            ; page 3 (3000h-3FFFh)
    defb 2              ; page 4 (4000h-4FFFh)
    defb 0ah            ; page 5 (5000h-5FFFh)
    defb 6              ; page 6 (6000h-6FFFh)
    defb 0eh            ; page 7 (7000h-7FFFh)
    defb 1              ; page 8 (8000h-8FFFh)
    defb 9              ; page 9 (9000h-9FFFh)
    defb 5              ; page A (A000h-AFFFh)
    defb 0dh            ; page B (B000h-BFFFh)
    defb 3              ; page C (C000h-CFFFh)
    defb 0bh            ; page D (D000h-DFFFh)
    defb 7              ; page E (E000h-EFFFh)
    defb 0fh            ; page F (F000h-FFFFh)
```



2. der logische Adreßbereich von 4000h bis 4FFFh soll den physikalischen Adreßbereich von 2000h bis 2FFFh von Bank £1 adressieren:

```
set.mapper:
  xor a
  out (stp.2.write),a    ; set mapper bits D0...D3
  ld a,14h              ; select bank 1, page 2
  out (map.reg.4),a     ; program MAP-register £4
  ret
```

Abschließend die Zuordnung zwischen CPU-Datenbits (Programmierungsphase) und Speicheradresse (Transformationsphase).

	! Page Select				! Bank Select			
Adresse:	! A15	A14	A13	A12	! A16	A17	A18	A19
CPU Datenbit	! D0	D1	D2	D3	! D4	D5	D6	D7
-----!-----!								
	! Bank Select							
Adresse:	! A20	A21	A22	A23	!			
Status Port 2	! D3	D2	D1	D0	!			
-----!-----!								

2.2.2 Festwertspeicher (PROM)

Zur Aufnahme von Festwertspeichern (PROM's) stehen zwei 24-polige Steckplätze zur Verfügung. Es kann der EProm-Typ 2732 von Intel (4 kByte) eingesetzt werden.

Die Adressierung der beiden Promsockel erfolgt nicht über die Speicherverwaltung, sondern direkt über die Adressen der CPU, da der Prombereich adressiert werden muß, bevor die Speicherverwaltung programmiert ist. Über das Signal 'PROM.OFF' (Status Port 0, Bit 5) kann der Prombereich völlig abgeschaltet werden. Die den beiden Promsockeln (PROM1/PROM2) zugeordneten Adressen sind in Tabelle 2 zusammengefaßt.

Tabelle 2: Prom Adreßbereiche

Sockel	Adreßbereich	PROM.OFF
PROM 1 (I2732)	0000 - 0FFF	0
PROM 2 (I2732)	1000 - 1FFF	0

Hinweis:

Der Prombereich ist als 'Read Only Memory' geschaltet, d.h.: Schreibzugriffe auf den physikalischen Adreßbereich der Prom's adressieren das in diesem Bereich liegende RAM.



2.2.3 Schreib-/Lesespeicher (RAM)

Der Schreib-/Lesespeicher der Baugruppe ist mit 64 kBit x 1 dynamischen RAM-Bausteinen aufgebaut und umfaßt 4 Bänke je 64 kByte, also insgesamt 256 kByte. Die Bänke werden im folgenden als Bank 0 ... Bank 3 bezeichnet.

Adressierung der Speicherbänke

Die Bänke 0 bis 3 sind folgenden physikalischen 24 bit Adressen zugeordnet (Tabelle 3):

Tabelle 3: Adreßzuordnung der Speicherbänke 0...3

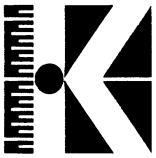
Bank	A23...A18	A17	A16	A15...A0	Hex
0	0	0	0	x	00 xxxx
1	0	0	1	x	01 xxxx
2	0	1	0	x	02 xxxx
3	0	1	1	x	03 xxxx

Der Adreßdekodierer der Baugruppe ist mit einem PAL-Baustein (PAL1, Typ 12L6) realisiert. Er liefert die RAS-Signale (Row Address Strobe) für die Speicherbänke 0 bis 3 (-RAS0...-RAS3), desweiteren die Steuersignale '-INT.MEM' (Internal Memory) und '-SEL.RAM' (Select Ram). Die Gleichungen dieses PAL-Bausteins und aller anderen PAL's sind im Anhang zusammengestellt.

2.2.4 Externe Speichererweiterung

Externe Speichererweiterungen können mit standardmäßigen ECB-Baugruppen (z.B. ECB/D256) über den ECB-Busanschluß der Baugruppe realisiert werden. Voraussetzung ist, daß alle externen Speicherbaugruppen die Adreßbits A16...A23 zur Adreßdekodierung mitverwenden. Diese Adressen sind identisch mit den früher definierten MBS-Signalen (Memory Bank Select) der ECB-Busdefinition.

Alle Speicheradressen größer als 04 0000 (Hex) adressieren automatisch einen externen Speicher. Wie bereits beschrieben, kann die Abbildung von logischen CPU-Adressen in physikalische Speicheradressen in 4 'kByte-Pages' festgelegt werden.



2.3 DMA-Controller

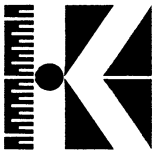
Die Baugruppe besitzt standardmäßig einen Z80A-DMA Baustein mit eigenem 'Bank-Select-Register' für die Adressen A16...A23.

Tabelle 5: DMA I/O-Adressen

Adresse	I/O-Port	Adresssymbol
0	Z80-DMA	dma
1	nicht verwendet	
2	nicht verwendet	
3	nicht verwendet	
3C	DMA Bank Select Register	dma.map.reg

Über einen Multiplexer (IC 71: 74LS153) kann durch das Statusbit 4 von Status Port 0 und Bit 3 des SASI-Controlports eines von vier Trigger Signalen an den Ready Eingang des DMA geschaltet werden.

SASI-Control- port Bit 3	Status- port 0 Bit 4	DMA-Ready Signal
1	0	FDC.DRQ (Floppy Disk Controller, Data Request)
1	1	SIOA.RDY (SIO Data Request, Kanal A)
0	0	SASI.DRQ (Data Request vom SASI-Interface)
0	1	FIO.DRQ (Z8038-FIO Data Request)



3. Hardwarebeschreibung: I/O-Ports

3.1 Zusammenstellung aller I/O-Ports

Die Baugruppe beansprucht 43 (Hex) I/O-Adressen entsprechend der Aufstellung in den Tabellen 6 und 7.

Tabelle 6: I/O-Ports (Adressen 0-1FH)

Adresse	I/O-Port	Adreßsymbol
00	Z80A-DMA	dma
01	-	-
02	-	-
03	-	-
04	SIO Channel A data	sio.channel.a
05	SIO Channel B data	sio.channel.b
06	SIO Channel A control	sio.channel.a+2
07	SIO Channel B control	sio.channel.b+2
08	CTC1 Channel 0	ctc1.channel.0
09	CTC1 Channel 1	ctc1.channel.1
0A	CTC1 Channel 2	ctc1.channel.2
0B	CTC1 Channel 3	ctc1.channel.3
0C	PIO Port A data	pio.port.a
0D	PIO Port B data	pio.port.b
0E	PIO Port A control	pio.port.a+2
0F	PIO Port B control	pio.port.b+2
10	CTC2 Channel 0	ctc2.channel.0
11	CTC2 Channel 1	ctc2.channel.1
12	CTC2 Channel 2	ctc2.channel.2
13	CTC2 Channel 3	ctc2.channel.3
14	FDC 765 control	fdc.765.status
15	FDC 765 data	fdc.765.data
16	-	-
17	-	-
18	extern	-
19	extern	-
1A	extern	-
1B	extern	-
1C	Status Port #0 (Write)	stp.0
1D	extern	-
1E	FDC DACK (Data Acknowledge)	fdc.dack
1F	FDC TC (Terminal Count)	fdc.tc

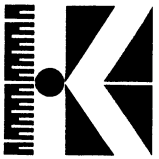


Tabelle 7: I/O-Ports (Adressen: 20H-43H)

Adresse	I/O-Port	Adreßsymbol
20-2F	74LS612 Memory MAP-Register 0...15	map.reg.xx
30-39	extern	-
3A	Status Port #2 (STP2) Write	stp.2.write
3B	SASI Control Port	sasi.ctrl
3C	DMA Bank Select Register	dma.map.reg
3D	extern	-
3E	extern	-
3F	SASI Data Port	sasi.data
40	extern	-
41	extern	-
42	FIO Data	fio.data
43	FIO Control	fio.data+1

Alle Adressen ab 43H können externen I/O-Ports zugeordnet werden.

Wichtiger Hinweis:

Die symbolischen Adressen sind als Empfehlung zu betrachten. Es wird empfohlen, in allen ASM-Programmen für diese Baugruppe obige Symbole zur einheitlichen Kennzeichnung der I/O-Ports zu verwenden.

3.2 Status Ports

Die Baugruppe enthält zwei Status Ports (stp.0/stp.2), die im allgemeinen zur Programmierung der Hardware dienen.

Tabelle 8: I/O-Adressen der Status Ports

Adresse	I/O-Port	Adreßsymbol
1C	Status Port 0 (write only)	stp.0
3A	Status Port 2 (write only)	stp.2.write

Hinweis:

Beide Status Ports dürfen nicht gelesen werden.

Status Port 1 ist auf der Erweiterungsbaugruppe TCB/IOV realisiert.



3.2.1 Status Port 0

Tabelle 9: Bitzuordnung von Status Port 0

Bit #	Pegel	Funktion
0	x	keine Funktion (*)
1	0	Systemfrequenz beträgt 0.5x Phi (2 MHz)
	1	Systemfrequenz beträgt 1.0x Phi (4 MHz)
2	x	keine Funktion (*)
3	x	keine Funktion
4	0	FDC.DRQ ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
	1	SIOA.RDY ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
5	0	Prom Bereich eingeschaltet
	1	Prom Bereich abgeschaltet
6	0	8" FD-Laufwerke (Standard FD)
	1	5 1/4" FD-Laufwerke (Mini FD)
7	0	FD-Laufwerk Motor abgeschaltet
	1	FD-Laufwerk Motor angeschaltet

Alle Bits von Status Port 0 werden beim Anlegen der Versorgungsspannung und durch jeden Reset automatisch auf 0 gesetzt.

(*) Hinweis: Diese Bits sind auf der Zusatzkarte TCB/IOV unter derselben Adresse (1CH) realisiert.

3.2.2 Status Port 2

Status Port 2 ist ein 4 Bit 'Write only'-Port zur Programmierung der Datenbits D0...D3 (MS-Halbbyte) der MMU.

Tabelle 11: Bitzuordnung von Status Port 2 (Write only Port)

Bit #	Funktion	MMU-Anschluß	programmiert Adresse
0	MAPD 3	D3	A20
1	MAPD 2	D2	A21
2	MAPD 1	D1	A22
3	MAPD 0	D0	A23



3.3 Centronics Schnittstelle

Über einen Baustein Z80A-PIO ist eine normgerechte Centronics Schnittstelle realisiert. Die Anschlüsse erfolgen über Connector G (36-polig).

Tabelle 12: I/O-Adressen des PIO-Bausteins

Adresse	I/O-Port	Adreßsymbol
OC	PIO Port A Data	pio.port.a
OD	PIO Port B Data	pio.port.b
OE	PIO Port A Control	pio.port.a+2
OF	PIO Port B Control	pio.port.b+2

Tabelle 13: Steckerbelegung der Centronic Schnittstelle

ST-G	PIO	Signalname	Charakteristik
1	A0	-STROBE	Output, TTL
2	B0	Data 0	bidirectional
3	B1	Data 1	bidirectional
4	B2	Data 2	bidirectional
5	B3	Data 3	bidirectional
6	B4	Data 4	bidirectional
7	B5	Data 5	bidirectional
8	B6	Data 6	bidirectional
9	B7	Data 7	bidirectional
10	-	-	-
11	A4	-BUSY	Input, 1k Pullup
12	A3	-EMPTY	Input, 1k Pullup
13	A5	-SELECT	Input, 1k Pullup
14	-	GND	-
15	-BSTRB	*(SW7/3)	Input, 1k Pullup
16	-	GND	-
17	-	GND	-
18	-	+ 5Volt	-
19...30	-	GND	-
31	A1	-I.PRIME	Output, TTL
32	A2	-FAULT	Input, 1k Pullup
33	-	-	-
34	A6	*(SW7/2)	Output, TTL
35	BRDY	*(SW7/4)	Output, MOS (PIO)
36	A7	*(SW7/1)	Output, TTL

(*) Diese Verbindungen können durch Schalter SW7 unterbrochen werden.



3.4 Serielle I/O-Ports

Die Baugruppe enthält zwei serielle I/O-Ports (SIOA und SIOB), realisiert mit dem Baustein Z80A-SIO, der asynchrone und synchrone Übertragungsarten unterstützt. Schnittstellen für RS422, RS232C und 20mA sind realisiert. Alle Schnittstellensignale sind über 25-polige Normstecker nach außen geführt.

Tabelle 14: I/O-Adressen des SIO-Bausteins

Adresse	I/O-Port	Adresssymbol	Schnittstelle		
			RS232C	RS422	20 mA
4	SIO Port A Data	sio.channel.a	x	x	x
5	SIO Port B Data	sio.channel.b	x	-	-
6	SIO Port A Control	sio.channel.a+2			
7	SIO Port B Control	sio.channel.b+2			

Die Auswahl der gewünschten Schnittstelle (Kanal A), sowie die Definition der Schnittstelle von Kanal B als Terminal- oder Modem-Schnittstelle erfolgt über eine Reihe von DIP-Switches (SW2 bis SW6).

3.4.1 Serienkanal A (SIOA)

Dieser Kanal kann über ein RS422-Interface (KOBUS an Stecker ST-D), über ein RS232C-Interface mit Terminalbelegung (Stecker ST-E) oder über ein 20mA-Current Loop Interface (Stecker ST-E) betrieben werden.



3.4.1.1 RS422-Interface

Die erforderliche Stellung der Schalter SW2 und SW3 geht aus Tabelle 15 hervor.

Tabelle 15: Schalterstellung für RS422-Interface (SIOA)

Schalter	SW2	SW3	schaltet:	
1	OPEN	CLOSED	-	TxCA
2	OPEN	OPEN	-	-
3	OPEN	OPEN	-	-
4	CLOSED	CLOSED	RxDA	RxCA
5	OPEN	OPEN	-	-
6	OPEN	OPEN	-	-

Die Belegung von Stecker ST-D ist in Tabelle 16 zusammengefaßt.

Tabelle 16: Belegung des RS422-Anschluß (SIOA/ST-D)

Anschluß	Signalname	!	Anschluß	Signalname
1	GND	!	13	GND
2	Send Data (+)	!	14	Send Data (-)
3	DTR (+)	!	15	DTR (-)
4	Receive Data (+)	!	16	Receive Data (-)
5	DCDA (+)	!	17	DCDA (-)
6	Transmit CLK (+)	!	18	Transmit CLK (-)
7	Receive CLK (+)	!	19	Receive CLK (-)
8	GND	!	20	-
9	+ 5V	!	21	+ 5V
10	+ 5V	!	22	+ 5V
11	GND	!	23	+ 5V
12	GND	!	24	GND
		!	25	GND



3.4.1.2 RS232C-Interface

Die erforderliche Stellung der Schalter SW2 und SW3 geht aus Tabelle 17 hervor.

Tabelle 17: Schalterstellung für RS232C-Interface (SIOA)

Schalter	SW2	SW3	schaltet:	
			SW2	SW3
1	OPEN	OPEN	-	-
2	CLOSED	TxCLK(*)	DCDA	TxCA (extern)
3	OPEN	TxCLK(*)	-	TxCA (intern)
4	OPEN	OPEN	-	-
5	OPEN	RxCLK(*)	-	RxCA (extern)
6	CLOSED	RxCLK(*)	RxDA	RxCA (intern)

(*) Nur eine Taktquelle darf jeweils verbunden (CLOSED) sein (extern oder intern).

Werden Receiver- und/oder Transmitter Clock von intern bezogen (SW3/3 bzw. SW3/6 CLOSED), so bestimmt Kanal 2 von CTC1 die Übertragungsrate (siehe Abschnitt 3.5).

Der Anschluß eines Gerätes mit RS232C-Schnittstelle erfolgt über Stecker ST-E, dessen Belegung in Tabelle 18 zusammengefaßt ist. Diese Belegung entspricht einer RS232C-Schnittstelle mit Terminal Charakteristik.

Tabelle 18: Belegung der RS232C-Schnittstelle (SIOA/ST-E)

Anschluß	Signalname	!	Anschluß	Signalname
1	GND	!	13	Sync Input
2	Receive Data	!	14	20 mA Data In (+)
3	Send Data	!	15	Transmit CLK Input
4	Clear to Send	!	16	20 mA Data Out (+)
5	Data Terminal Ready	!	17	Receive CLK Input
6	Request to Send	!	18	-
7	GND	!	19	-
8	-	!	20	Carrier Detect
9	20 mA Data In (-)	!	21	-
10	20 mA Data Out (-)	!	22	-
11	-	!	23	-
12	-	!	24	-
		!	25	-



3.4.1.3 Current Loop-Interface

Die erforderliche Stellung der Schalter SW2 und SW3 geht aus Tabelle 19 hervor.

Tabelle 19: Schalterstellung für 20 mA Current Loop Interface (SIOA)

Schalter	SW2	SW3	schaltet:	
	SW2	SW3	SW2	SW3
1	OPEN	OPEN	-	-
2	OPEN	OPEN	-	-
3	OPEN	CLOSED	-	TxCA
4	OPEN	OPEN	-	-
5	CLOSED	OPEN	RxDA	-
6	OPEN	CLOSED	-	RxCA

Die Baudrate wird in diesem Fall vom CTC1, Kanal 2 abgeleitet (Abschnitt 3.5).

Der Anschluß eines Gerätes mit Current Loop Interface erfolgt über Stecker ST-E (Tabelle 18). Zu beachten ist, daß dieser Stecker auch RS232C-Signale (+/- 12 Volt Pegel) führt.

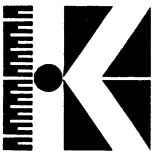
3.4.2 Serienkanal B (SIOB)

Serienkanal B ist als RS232C-Schnittstelle mit Schalter-selektierbarer Terminal- oder Modembelegung realisiert. Der Anschluß eines Peripheriegerätes erfolgt über Stecker ST-F.

Die Umschaltung erfolgt jeweils über die Schalter SW4, SW5 und SW6. Schalter SW4 (8fach EIN/AUS) ist sowohl für Terminal, als auch für MODEM-Belegung von Bedeutung:

Position	Bedeutung
1:	RxTxCB - EXTCLK (ST-F/17), externer Takt
2:	RxTxCB - CLK.SIOB (CTC1/ZC1), interner Takt
3:	SYNCB - SYNCB.IN (ST-F/13)
4:	High Transmission Speed On (ST-F/23)
5:	DTRB - Transmitter-On (ST-F/4)
6:	RTSB - Transmitter-On (ST-F/4)
7:	RTSB - High Transmission Frequency (ST-F/11)
8:	CLK.SIOB - Internal Clock Out (ST-F/24)

SW4/2 geschlossen bedeutet: RxTxCB ist mit CLK.SIOB verbunden, also interner Takt.



3.4.2.1 Terminalbelegung

Die erforderliche Stellung der Schalter SW5 und SW6 (8-fach Umschalter) ist in Richtung Baugruppenmitte, sowie SW 4/2 geschlossen, alle übrigen offen.

Tabelle 20: Terminalbelegung der RS232C-Schnittstelle (SIOB/ST-F)

Anschluß	Signalname	!	Anschluß	Signalname
1	GND	!	13	Sync Input
2	Receive Data	!	14	-
3	Transmit Data	!	15	-
4	Clear to Send	!	16	-
5	Data Terminal Ready!	!	17	Ext. Clock Input (TxR)
6	Request to Send	!	18	-
7	GND	!	19	-
8	-	!	20	Carrier Detect
9	-	!	21	-
10	-	!	22	-
11	-	!	23	-
12	-	!	24	Internal Clock Output
		!	25	-

Hinweis zur Steckerbelegung:

Die RS232C-Terminal-Schnittstellen sind so belegt, daß mit einem 1:1 Kabel ein Datenendgerät (DTE = Data Terminal Equipment), also z.B. ein Terminal oder Drucker, angeschlossen werden kann.

Die Bezeichnungen in den Tabellen 18 und 20 sind von den SIO-Bezeichnungen abgeleitet und entsprechen daher nicht den Bezeichnungen, die in der V24- bzw. RS232C-Norm für die Steckerbelegung verwendet werden, da in diesen Normen die Belegung auf das Datenendgerät bezogen ist.

Pin	!	Bezeichnung
2	!	Send Data
3	!	Receive Data
4	!	Request to Send
5	!	Clear to Send
6	!	Data set Ready
13	!	Backw. Channel Ready
20	!	Data Terminal Ready
24	!	Transm. Signal Element Timing

Vergleicht man diese Tabelle mit den Tabellen 18 und 20 so stellt man fest, daß z.B. der Ausgang "Send Data" eines Terminals mit dem SIO-Eingang "RxD" oder der Terminal-Eingang "Data Set Ready" mit dem SIO-Ausgang "RTS" verbunden ist.



3.4.2.2 Modembelegung

Die erforderliche Stellung der Schalter SW5 und SW6 ist in Richtung Baugruppenkante. Die Stellung von SW4 ist vom MODEM-Typ abhängig und wird in der jeweiligen MODEM-Anschluß-Anleitung beschrieben.

Tabelle 21: Modembelegung der RS232C-Schnittstelle (SIOB/ST-F)

Anschluß	Signalname	!	Anschluß	Signalname
1	GND	!	13	-
2	Transmit Data	!	14	-
3	Receive Data	!	15	-
4	Transmitter On	!	16	-
5	-	!	17	Ext. Clock Input (TxR)
6	Data Set Ready	!	18	-
7	GND	!	19	-
8	Carrier Detect	!	20	Data Terminal Ready
9	-	!	21	-
10	-	!	22	Call In
11	High Transmission Frequency	!	23	High Transmission Speed
		!	24	Internal Clock Output
12	-	!	25	-

3.5 Zähler/Zeitgeber Kanäle

Zwei Z80A-CTC Bausteine stellen insgesamt 8 Counter/Timer Kanäle bereit.

Tabelle 22: I/O-Adressen der Zähler/Zeitgeber Kanäle

Adresse	I/O-Port	Adreßsymbol
08H	CTC1 Channel 0	ctc1.channel.0
09H	CTC1 Channel 1	ctc1.channel.1
0AH	CTC1 Channel 2	ctc1.channel.2
0BH	CTC1 Channel 3	ctc1.channel.3
10H	CTC2 Channel 0	ctc2.channel.0
11H	CTC2 Channel 1	ctc2.channel.1
12H	CTC2 Channel 2	ctc2.channel.2
13H	CTC2 Channel 3	ctc2.channel.3



3.5.1 Verwendung der Zähler/Zeitgeber Kanäle

CTC1 Channel 0 - Interrupt für FD-Controller uP765
CTC1 Channel 1 - Baudrate SIO Port B (SIOB)
CTC1 Channel 2 - Baudrate SIO Port A (SIOA)
CTC1 Channel 3 - Interrupt für Light Pen Input
 bzw. frei für Anwender (1)

CTC2 Channel 0 - Tongenerator (2)
CTC2 Channel 1 - Interrupt für Keyboard Strobe (3)
CTC2 Channel 2 - Task Scheduler Prescaler (4)
CTC2 Channel 3 - Task Scheduler Interrupt (Multitasking) (4)

(1)-(3) Diese Signale werden von extern über den Busstecker ST-A zugeführt und stammen gewöhnlich von der Baugruppe TCB/IOV:

(1) ST-A 2c
(2) ST-A 3a
(3) ST-A 3c

(4) Diese Anwendung ist Betriebssystem-abhängig und gilt für KOS.

3.5.2 Baudraten Programmierung

Die Kanäle 1 und 2 von CTC1 bestimmen die Baudrate der Serienkanäle B und A.

Über Jumper J1 kann die wirksame Eingangsfrequenz auf 2 MHz (Stellung A) oder 1,2288 MHz (Stellung B) festgelegt werden.

Es gelten folgende Tabellen für die Programmierung des CTC-Teilerfaktors:

Tabelle 23: CTC Programmier­tabelle zur Baudrategenerierung bei 2 MHz Bezugsfrequenz

SIO-Takt:	x16	x32	x64	x16
CTC-Betriebsart	Zähler	Zähler	Zähler	Zeitgeber
Baudrate	CTC-Teilerfaktor			
9600	13	--	--	--
4800	26	13	--	--
2400	52	26	13	--
1200	104	52	26	--
600	208	104	52	--
300	--	208	104	--
150	--	--	208	--
110	--	--	--	142
75	--	--	--	208

**Tabelle 24: CTC Programmier­tabelle zur Baudrategenerierung bei 1,2288 MHz Bezug­frequenz**

SIO-Takt:	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zeitgeber
Baudrate	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	-	142
75	-	-	0	208

Teilerfaktor 0 entspricht 256.

3.6 Floppy Disk Controller

Die Floppy Disk Controller Schaltung der Baugruppe ermöglicht den Anschluß von 5 1/4" oder 8" FD-Laufwerken mit einfacher oder doppelter Schreibdichte (single/double density). In allen Fällen können auch Doppelkopf-Laufwerke betrieben werden. Gemischter Betrieb beliebiger Konfigurationen ist möglich.

In allen wichtigen Punkten ist die Controller Schaltung hard- oder softwaremäßig programmierbar. Das Herz des Controllers ist der Baustein NEC uP765, der als intelligenter Peripherieprozessor alle wesentlichen Aufgaben der FD-Ansteuerung übernimmt.

Tabelle 25: I/O-Adressen des FD-Controllers

Adresse	I/O-Port		Adreßsymbol
14H	uP765	Main Status Register	fdc.765.status
15H	uP765	Data Register	fdc.765.data
1EH	uP765	Data Acknowledge Input	fdc.clock
1FH	uP765	Terminal Count Input	fdc.tc

Über Kanal 0 von CTC-1 ist der uP765 im Z80A-System interruptfähig (Vektorinterrupt). Der Ausgang DRQ (Data Request) ist zur Steuerung von DMA-basierenden Datenübertragungen zwischen uP765 und Speicher mit der DMA-Controller Logik der Baugruppe verbunden.

**Programmierung der FD-Controller Schaltung**

a) softwaremäßig über die Bits 6 und 7 des Status Ports 0

Bit 6: Umschaltung zwischen 5 1/4" (Bit 6=1) und 8" Laufwerken (Bit 6=0)

Bit 7: Motor Ein-/Ausschalten (Bit 7=0 --> Motor aus)

b) hardwaremäßig über zwei PAL-Bausteine

PAL 5 (Typ:16H2) bestimmt im wesentlichen die Write Pre-compensation, welche in Inkrementen von 62.5 ns einstellbar ist.

(Standardeinstellung: siehe Anhang PAL 5)

PAL 6 (Typ:12H6) bestimmt die Referenztakte für den uP765. Der Referenztakt für den Datenseparator beträgt grundsätzlich 8 MHz.

Tabelle 26: FDC-Referenztakte

-STD/MINI	MFM	!	FDC.CLK	W.CLK
0	0	!	8	0.5
0	1	!	8	1.0
1	0	!	4	0.25
1	1	!	4	0.50

Alle Angaben in Megahertz. Die Pulsbreite von W.CLK beträgt in allen Fällen 250 ns (siehe Anhang: Timingdiagramme)

Steckerbelegung:

Alle Signale sind an Stecker ST-A herausgeführt (Anhang A). Ausgänge sind mit Open Collector Puffern getrieben; Eingänge sind mit 150 Ohm Pull-Up Widerständen abgeschlossen.



3.7 Harddisk-Anschluß (SASI-Interface)

Das SASI-Interface (Shugart Associates System Interface) besteht aus einem parallelen 8-bit-Datenport, welcher den Datentransfer mit der Peripherieeinheit (i.a. Harddisk) abwickelt, und aus einem Control Port, der für den Austausch von Steuersignalen zuständig ist.

Tabelle 27: I/O-Adressen des SASI-Interface

Adresse	I/O-Port	Adreßsymbol
3B	SASI Control Port	sasi.ctrl
3F	SASI Data Port	sasi.data

Die Bitzuordnung des Control Ports ist beim Lesen und Schreiben unterschiedlich.

In Schreibrichtung stehen 6 Bit zur Verfügung, von denen drei Verwendung finden.

Tabelle 28: Bitzuordnung des SASI Control Port (Write)

Bit	Funktion
0	-
1	SASI Reset (-RST)
2	DMA Trigger Selektierung
3	Sasi Select (-SEL)
4	-
5	-

Tabelle 29: Bitzuordnung des SASI Control Port (Read)

Bit	Funktion
0	-
1	SASI Busy (-BSY)
2	SASI Request (-REQ)
3	SASI Message (-MSG)
4	SASI Control/Data (-C/D)
5	SASI Input/Output (-I/O)
6	-
7	-

Das Signal -REQ (Request) ist zur Steuerung von DMA-basierenden Datenübertragungen zwischen Peripherieeinheit und Computer mit der DMA-Controller Logik der Baugruppe verbunden.

Alle Signale sind auf ST-A geführt (Anhang A).



3.8 Multibus Interface

Mit dem Baustein Z8038 FIO (FIFO Input/Output Interface Unit) ist auf Stecker ST-B ein bidirektionales Multibus-Interface realisiert. Der Z8038 FIO besitzt einen 128 Byte FIFO (First In First Out) Buffer und ist sowohl von der Z80A-CPU als auch vom Multibus her ansprechbar.

a) Z80A-Seite:

Dem FIO sind 2 I/O-Adressen fest zugeordnet:

FIO Data = 42H
FIO Control = 43H

Die Programmierung erfolgt über die Control-Adresse, hierbei muß auch die Konfiguration auf der Multibus-Seite festgelegt werden. Es ist nicht möglich, den FIO über den Multibus zu initialisieren, da Port 1 vom FIO auf der Z80A-Seite liegt (näheres siehe Z8038 FIO Datenblatt).

b) Multibus-Seite:

Auf der Multibus-Seite wird der FIO ebenfalls über I/O-Befehle angesprochen (Signale -IOWR und -IORD).

Die I/O-Adresse kann über einen 4-fach Schalter modifiziert werden, der den Adressen ADR8, ADR9, ADRA und ADRB zugeordnet ist. Es gilt folgende Adreß-Zuordnung (auf dem Multibus sind die Adressen invertiert, also low-aktiv):

-ADRO : nicht dekodiert
-ADR1 : selektiert FIO Control/Data (aktiv = data)
-ADR2,3 : nicht dekodiert
-ADR4..7 : dekodiert, müssen alle aktiv sein
-ADR8..B : über Schalter SW1 einstellbar

SW1	Schalter	Adresse
	1	-ADR8
	2	-ADR9
	3	-ADRA
	4	-ADRB

Schalter geschlossen bedeutet Vergleich mit "0" (LOW)
Schalter offen bedeutet Vergleich mit "1" (HIGH)



Die folgende Tabelle zeigt die Zuordnung zwischen Schalterstellung und Multibus-I/O-Adresse:

S1	S2	S3	S4	Adresse (Hex)
OFF	OFF	OFF	OFF	00X
OFF	OFF	OFF	ON	10X
OFF	OFF	ON	OFF	20X
.
OFF	ON	ON	ON	70X (Voreinstellung)
.
ON	ON	ON	OFF	EOX
ON	ON	ON	ON	FOX

OFF = OPEN, ON = CLOSED

X = 0 bedeutet FIO-Control Adresse
X = 2 bedeutet FIO-Data Adresse

Das Handshake-Timing für Multibus-I/O-Operationen wird in PAL 7 (siehe Anhang G) erzeugt.

Ebenfalls über PAL 7 wird ein Interrupt-Request-Signal generiert, das unmittelbar von dem FIO-Ausgang -INT¹ abgeleitet wird.

Über Jumper J3 kann eingestellt werden, auf welcher Multibus-Interrupt-Request-Leitung der Interrupt erzeugt werden soll:

J3 Position 1 : -IR2 (11C, Voreinstellung)
Position 2 : -IR3 (12C)
Position 3 : -IR4 (13C)
.
.
Position 6 : -IR7 (16C)

Die Multibus-Datenleitungen -DA0 bis -DA7 sind über einen bidirektionalen, invertierenden Datenpuffer (LS640) gepuffert. Die Richtung wird von PAL7 gesteuert.



3.9 Unterschiede in der Bestückung

Je nach Verwendungszweck der TCB/Z80 werden einige Schaltkreise nicht benötigt. Sie sind dann in diesen Fällen auch nicht auf der Platine zu finden.

Während die TCB/Z80 beim Einsatz in Systemen der Reihe KONTRON PSI 9xxx voll bestückt ist, fehlen beim Einsatz in dem System KONTRON PSI 980 folgende nicht benötigte Bauteile:

- IC 9 (FIO-Z8038 Multibus-Interface)
- IC 7 (AM 25LS2521 Treiberbaustein)
- IC 8 (PAL7 Multibus-Interface)
- IC 29 (74LS640 Invertierender Tri-State Bus-Transceiver)

Da bei dem System KONTRON PSI 980 der Multibusstecker P796 auf der Busplatine nicht ausgeführt ist, werden die Bauteile, die das Multibusinterface bilden, nicht benötigt.

Um allerdings die Funktion der TCB/Z80-Baugruppe sicherzustellen, müssen bei ausgestecktem IC9 (FIO) die Pins 8 und 9 (IEI-IEO) verbunden werden. Dies geschieht mit einer in die Fassung gesteckten Drahtbrücke. Die Schalterstellung des DIP-Schalters SW1 spielt bei dem System KONTRON PSI 980 keine Rolle.



3.10 Technische Daten

Platine: Multilayer, 4-lagig (1 x VCC, 1 x GND
2 x Signal)

Abmessungen: 366,7 * 185 * 19 mm
Gewicht: max. + 50 Grad C

Stromverbrauch: + 5V (3,0A)
+12V (40mA)
-12V (40mA)

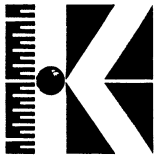
Anschlußstecker:

Stecker ST-A: 96-pol. VG-Leiste (DIN 61412)
Stecker ST-B: 96-pol. VG-Leiste (DIN 61412)

Stecker ST-C: 64-pol. VG-Leiste (DIN 61412)

Stecker ST-D,
Stecker ST-E,
Stecker ST-F: Mini-D-Buchse (25-pol.) (Amp. 164802-1)

Stecker ST-G: Delta-Buchse 36-pol.
(Amphenol 57L-40360-27 CO)



4. Steckerbelegungen, PALs, Listen, Jumper, Steckerbelegungen

In diesem Kapitel sind zusammengestellt:

- 4.1: Belegung von Stecker ST-A (FD&HD)
- 4.2: Belegung von Stecker ST-B (Multibus)
- 4.3: Belegung von Stecker SR-C (ECB)
- 4.4: Belegung von Stecker ST-C (ECB, nach Signalgruppen geordnet)
- 4.5: Liste aller Testpunkte auf der Platine
- 4.6: Liste aller IC's
- 4.7: Programmierung der PAL-Bausteine
- 4.8: Liste aller Adreßsymbole für I/O-Ports
- 4.9: Unterschiede Rev. 1.1M3 und Rev. 1.1
- 4.10: Voreinstellung der Jumper und Schalter



4.1 Belegung von Stecker ST-A (FD&HD)

Ausführung: VG 41612, 64-polig, Reihen a und c belegt

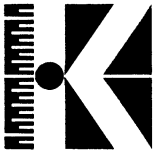
Pin	a	Reihe	c
1	SEL.SYSM		-
2	-		CTC1.CLK3 (Ligth Pen)
3	CTC2.CLKO		CTC2.CLK1 (Keyboard Strobe)
4	CTC2.CLK2 (VSync)		CTC2.ZCO (Audio Output)
5	-		CTC2.CLK3
6	CTC2.ZC1		CTC2.ZC2
7	-		-
8	I/O		-
9	-REQ		-
10	C/D		-
11	-SEL		-
12	-MSG		-
13	-RST		-
14	-ACKN		-
15	-BSY		-
16	-		-HEAD LOAD (*)
17	-		-
18	-		-READY (**)
19	-		-INDEX
20	-		-DRIVE SEL.0
21	-		-DRIVE SEL.1
22	-		-DRIVE SEL.2
23	-		-MOTOR ON (*)
24	-		-DIRECTION
25	Data 7		-STEP
26	Data 6		-WRITE DATA
27	Data 5		-WRITE GATE
28	Data 4		-TRACK 0
29	Data 3		-WRITE PROTECT
30	Data 2		-READ DATA
31	Data 1		-HEAD SELECT
32	Data 0		-READY (**)

8a...32a: SASI-Anschluß

16c...32c: FD-Anschluß

* Die Anschlüsse 16c (-HEAD LOAD) und 23c (-MOTOR ON) sind auf der Baugruppe verbunden.

** Die Anschlüsse 18c und 32c können über Jumper J2 auf der Baugruppe verbunden werden.



4.2 Belegung von Stecker ST-B (Multibus)

Ausführung: VG 41612, 96-polig, Reihen a,b,c

Pin	Reihe		
	a	b	c
1	GND	GND	GND
2	+ 5V	+ 5V	+ 5V
3	+12V	+ 5V (VCMOS)	+ 5V (VCMOS)
4	-	-	-
5	-	-	-
6	-MRD (*)	-IORC	-WORD (*)
7	-MWT (*)	-IOWC	-INTA (*)
8	-ACK	-	-IEI (*)
9	-DAO	-DA8 (*)	-
10	-DA1	-DA9 (*)	-
11	-DA2	-DAA (*)	-JR1
12	-DA3	-DAB (*)	-JR2
13	-DA4	-DAC (*)	-JR3
14	-DA5	-DAD (*)	-JR4
15	-DA6	-DAE (*)	-JR5
16	-DA7	-DAF (*)	-JR6
17	-ADRO	-ADR8	-ADR10 (*)
18	-ADR1	-ADR9	-ADR11 (*)
19	-ADR2	-ADRA	-ADR12 (*)
20	-ADR3	-ADRB	-ADR13 (*)
21	-ADR4	-ADRC (*)	-ADR14 (*)
22	-ADR5	-ADRD (*)	-ADR15 (*)
23	-ADR6	-ADRE (*)	-ADR16 (*)
24	-ADR7	-ADRF (*)	-ADR17 (*)
25	-BCLK (*)	-BUSY (*)	-CLK
26	-BPRI (*)	-BPRO (*)	-INH1 (*)
27	-BRQ (*)	-CBRQ (*)	-INH2 (*)
28	-	-LOCK (*)	-MPR (*)
29	RESET (*)	-WAIT (*)	-INIT (*)
30	-12V	-	- 5V
31	+ 5V	+ 5V	+ 5V
32	GND	GND	GND

Hinweis: Die mit (*) gekennzeichneten Signale sind hier nur der Vollständigkeit halber angegeben, sie werden auf der Baugruppe nicht verwendet.

**4.3 Belegung von Stecker ST-C (ECB-Bus)**

Ausführung: VG 41612, 64-polig, Reihen a und b

Pin	Reihe	
	a	c
1	+5 Volt	+5 Volt
2	D5	D0
3	D6	D7
4	D3	D2
5	D4	A0
6	A2	A3
7	A4	A1
8	A5	A8
9	A6	A7
10	-WAIT	A16
11	-BUSRQ	IEI (*)
12	-BAI (*)	A17
13	+ 12 Volt	A18
14	A19	D1
15	-12 Volt (*)	-15 Volt (*)
16	2 x CLK (*)	IE0
17	-BA0	A11
18	A14	A10
19	+15 Volt (*)	A21
20	-M1	-NMI
21	A22	-INT
22	A23	-WR
23	-	A20
24	VCMOS (*)	-RD
25	-	-HALT
26	-	-RESET
27	-IORQ	A12
28	-RFSH	A15
29	A13	CLK
30	A9	-MRQ
31	-BUSAK (*)	-RESET.IN
32	GND	GND

Hinweis: (*) Diese Signale sind nur der Vollständigkeit halber angegeben.
Sie werden auf der Baugruppe nicht erzeugt bzw. verwendet.



4.4 Belegung von Stecker ST-C (ECB)

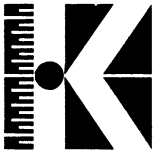
Geordnet nach Signalgruppen (ohne Spannungen)

Pin	Signal	Charakteristik
5c	A0	
7c	A1	
6a	A2	
6c	A3	
7a	A4	
8a	A5	
9a	A6	
9c	A7	
8c	A8	
30a	A9	
18c	A10	
17c	A11	Adreßbus, bidirektional
27c	A12	
29c	A13	Fan Out: 24 mA
18a	A14	Fan In : 0.4 mA
28c	A15	
10c	A16	
12c	A17	
13c	A18	
14a	A19	
23c	A20	
19c	A21	
21a	A22	
22a	A23	
2c	D0	
14c	D1	
4c	D2	
4a	D3	Datenbus, bidirektional
5a	D4	
2a	D5	Fan Out: 24 mA
3a	D6	Fan In : 0.4 mA
3c	D7	
25c	-HALT	
28a	-RFSH	
27a	-IORQ	Steuerbus, bidirektional
20a	-M1	
22c	-WR	Fan Out: 24 mA
24c	-RD	Fan In : 0.4 mA
30c	-MRQ	
11a	-BUSRQ	Input Pull-up 4.7 k
21a	-INT	Input Pull-up 4.7 k
20c	-NMI	Input Pull-up 4.7 k
26c	-RESET	Output 10 mA
10c	-WAIT	Input Pull-up 470 Ohm
16c	-IEI	Output 2 mA
17a	-BAI	Output 12 mA
29c	CLK	Output (MOS-Clock)
31c	-RES.IN	Input Pull-up 4.7 k



4.5 Liste aller Testpunkte auf der Platine

TP #	!	Signalname	!	Bedeutung
1	!	CLK	!	System Clock
2	!	EXT.DMA	!	external DMA-Access
3	!	-ECB.IN	!	Bus-Control ECB-Buspuffer Input
4	!	-MRQ	!	CPU-Steuersignal: MRQ
5	!	-RD	!	CPU-Steuersignal: RD
6	!	-WR	!	CPU-Steuersignal: WR
7	!	-M1	!	CPU-Steuersignal: M1
8	!	-IORQ	!	CPU-Steuersignal: IORQ
9	!	-CAS	!	RAM, Column Address Strobe
10	!	-MUXH	!	RAM, Address Mux High Enable
11	!	-	!	
12	!	GND	!	
13	!	GND	!	
14	!	GND	!	
15	!	GND	!	



4.6 Liste aller IC's (Teil 1: TTL und Line Drivers)

Typ	IC-Nummer	Beschreibung
AM25LS2521	7	8-bit Comparator
AM2952	14	8-bit Parallel Port
AM2965	39,69	Octal DRAM Drivers (inv.)
AM2966	26,27	Octal DRAM Drivers
74LS02	62	Quad NOR-Gate
74LS04	61,59	Hex Inverter
7406	12	Hex Inverter, open Collector
7407	30	Hex Buffer, open Collector
74LS08	68	Quad AND-Gate
74LS14	17	Hex Schmitt-Trigger Inverter
74LS74	13,60	Dual D-Type Flip-Flop
74LS107	64	Dual J-K Flip-Flop
74LS132	30	Quad 2-Input Schmitt Trigger NAND
74LS138	67	3 to 8 Decoder
74LS139	58,65	2 to 4 Decoder
74LS153	63	Two 4 to 1 Multiplexer
74LS158	18	Quad 2 to 1 Multiplexer (inv.)
74LS164	99	8-bit Shift Register
74LS169	81	4-bit synchronous Up/Down Counter (2) (2)
74LS173	66	Quad D-Type Flip-Flop (3-State)
74LS174	11	Hex D-Type Flip-Flop
74LS244	19,98	Octal Buffer/Line Driver
74LS245	1,2,3,4,6,56,97	Octal Bus Transceiver
74LS273	10	Octal D-Type Flip-Flop
74LS374	5	Octal D-Type Flip-Flop
74LS393	100	Dual 4-bit Binary Counter
74LS541	21,24	Octal Bus Buffer
74LS612	33	Memory Mapper (1)
74LS174	11	Hex D-Type Flip-Flop
75188	85,88	Quad RS232C Line Driver
75189	84,86,87	Quad RS232C Line Receiver
26LS31	83	Quad RS422 Line Driver (4)
26LS32	82	Quad RS422 Line Receiver (3)

Ersatztypen:

- (1) 74LS610
- (2) 74LS169, 74LS669
- (3) 75173
- (4) 75172



4.6 Liste aller IC's (Teil 2: PAL's and LSI)

Typ	IC-Nummer	Beschreibung
PAL 10H8	28 (PAL 3)	Programmable Array Logic
PAL 16L8	23 (PAL 2)	Programmable Array Logic
PAL 12H6	80 (PAL 6)	Programmable Array Logic
PAL 12L6	25 (PAL 1)	Programmable Array Logic
PAL 16H2	79 (PAL 5)	Programmable Array Logic
PAL 16L8	22 (PAL 4)	Programmable Array Logic
PAL 16R4	8 (PAL 7)	Programmable Array Logic
FDC 9261	78	Data Separator
NEC uP765	57	Floppy Disk Controller
Z80A-CPU	31	Central Processor Unit
Z80A-CTC	20, 36	Counter/Timer Circuit
Z80A-DMA	32	Direct Memory Access Controller
Z80A-PIO	38	Parallel I/O Circuit
Z80A-SIO/O	37	Serial I/O Circuit
Z8038-FIO	9	FIFO Buffer Unit
2164	40...47	dyn. RAM 64k x 1, 200 ns
2164	48...55	dyn. RAM 64k x 1, 200 ns
2164	70...77	dyn. RAM 64k x 1, 200 ns
2164	89...96	dyn. RAM 64k x 1, 200 ns
2732	34/35	EPROM 32 kbit (4k x 8)
OSZ	Q1, Q2	Oszillator 16 MHz
OSZ	Q3	Oszillator 2,4576 MHz

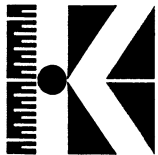


Referenzliste - IC-Nummer - IC-Typ

1	74LS245	36	Z80A-CTC	71	2164-20
2	74LS245	37	Z80A-SIO/O	72	2164-20
3	74LS245	38	Z80A-PIO	73	2164-20
4	74LS245	39	AM29661	74	2164-20
5	74LS374	40	2164-20	75	2164-20
6	74LS245	41	2164-20	76	2164-20
7	AM25LS2521	42	2164-20	77	2164-20
8	PAL7:16R4	43	2164-20	78	FDC9216
9	Z8038-FIO	44	2164-20	79	PAL5:16H2
10	74LS273	45	2164-20	80	PAL6:12H6
11	74LS174	46	2164-20	81	74LS169 (2)
12	74LS06	47	2164-20	82	26LS32 (3)
13	74LS74	48	2164-20	83	26LS31 (4)
14	AM29524	49	2164-20	84	75189
15	74LS07	50	2164-20	85	75188
16	74LS139	51	2164-20	86	75189
17	74LS14	52	2164-20	87	75189
18	74LS158	53	2164-20	88	75188
19	74LS244	54	2164-20	89	2164-20
20	Z80A-CTC	55	2164-20	90	2164-20
21	74LS541	56	74LS245	91	2164-20
22	PAL4:16L8	57	NECuP765	92	2164-20
23	PAL2:16L8	58	74LS139	93	2164-20
24	74LS541	59	74LS04	94	2164-20
25	PAL1:12L6	60	74LS74	95	2164-20
26	AM2966	61	74LS04	96	2164-20
27	AM2966	62	74LS026	97	74LS245
28	PAL3:10H8	63	74LS153	98	74LS244
29	74LS640	64	74LS107	99	74LS164
30	74LS132	65	74LS139	100	74LS393
31	Z80A-CPU	66	74LS173		
32	Z80A-DMA	67	74LS138		
33	74LS612 (1)	68	74LS08		
34	PROM1:I2732	69	AM2966		
35	PROM2:I2732	70	2164-20		

Ersatztypen:

- (1) 74LS610
- (2) 74S169, 74LS669
- (3) 75173
- (4) 75172



4.7 Programmierung der PAL-Bausteine

Auf der Platine sind folgende PAL-Bausteine eingesetzt:

PAL#	IC-Nr.	Typ	Beschriftung	Funktion
1	25	12L6	1-FF5B	Memory-Address Decoder
2	23	16L8	2-2516	I/O-Address Decoder
3	28	10H8	3-4C80 3-2555	Interrupt Priority Controller (Rev. 1.1M3) (Rev. 1.1)
4	22	16L8	4-C6E2 4-A238	Bus Controller ab 4.10.83
5	79	16H2	5-1126	FDC-Write Precompensation
6	80	12H6	6-9C40	FDC-Timing Generator
7	8	16R4	7-3850	Multibus Controller

Die Beschriftung ergibt sich aus: PAL-Nr. und Checksumme



Servicebeschreibung TCB/Z80

PAL12L6
PAT001

PAL DESIGN SPECIFICATION
05/10/1982

PAL1 TCB/Z80 (IC 25) MEMORY ADDRESS DECODER

/PROM1 /EMRQ /BRFSH BA23 BA22 BA21 BA20 BA19 BA16 GND
BA17 BA18 /RAS2 /RAS3 /SEL.RAM /RAS1 /RAS0 /INT.MEM /PROM2 VCC

RAS0 = $\text{EMRQ}^* / \text{BRFSH}^* / \text{BA16}^* / \text{BA17}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} + \text{EMRQ}^* \text{BRFSH}$

RAS1 = $\text{EMRQ}^* / \text{BRFSH}^* \text{BA16}^* / \text{BA17}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} + \text{EMRQ}^* \text{BRFSH}$

RAS2 = $\text{EMRQ}^* / \text{BRFSH}^* / \text{BA16}^* \text{BA17}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} + \text{EMRQ}^* \text{BRFSH}$

RAS3 = $\text{EMRQ}^* / \text{BRFSH}^* \text{BA16}^* \text{BA17}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} + \text{EMRQ}^* \text{BRFSH}$

INT.MEM = $\text{EMRQ}^* / \text{BRFSH}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} + \text{EMRQ}^* / \text{BRFSH}^* \text{PROM1} + \text{EMRQ}^* / \text{BRFSH}^* \text{PROM2}$

SEL.RAM = $\text{EMRQ}^* / \text{BRFSH}^* / \text{BA18}^* / \text{BA19}^* / \text{BA20}^* / \text{BA21}^* / \text{BA22}^* / \text{BA23} * / \text{PROM1} * / \text{PROM2}$

DESCRIPTION:

RAS0 : ROW ADDRESS STROBE (BANK 0)
RAS1 : ROW ADDRESS STROBE (BANK 1)
RAS2 : ROW ADDRESS STROBE (BANK 2)
RAS3 : ROW ADDRESS STROBE (BANK 3)

INT.MEM : INTERNAL (ON BOARD) MEMORY SELECT
SEL.RAM : ENABLE MUX-CAS-GENERATION



PAL16L8
PAT001

PAL DESIGN SPECIFICATION
06/10/1982

PAL2 TCB/Z80 (IC 23) I/O-ADDRESS DECODER

A7 A6 A5 A4 A3 A2 /TORQ A1 A0 GND
/M1 /SEL.MAP /DEC.SASI /SEL.SASI /SEL.FIO /SEL.IOO /WR.STP2
/EXT.IO /SEL.DMAP VCC

SEL.IOO = IORQ * /M1 * /A5 * /A6 * /A7

SEL.MAP = IORQ * /M1 * /A4 * A5 * /A6 * /A7

DEC.SASI = IORQ * /M1 * A0 * A1 * /A2 * A3 * A4 * A5 * /A6 * /A7 +
IORQ * /M1 * A0 * A1 * A2 * A3 * A4 * A5 * /A6 * /A7

SEL.SASI = IORQ * /M1 * A0 * A1 * A2 * A3 * A4 * A5 * /A6 * /A7

SEL.DMAP = IORQ * /M1 * /A0 * /A1 * A2 * A3 * A4 * A5 * /A6 * /A7

SEL.FIO = IORQ * /M1 * A1 * /A2 * /A3 * /A4 * /A5 * A6 * /A7

WR.STP2 = IORQ * /M1 * /A0 * A1 * /A2 * A3 * A4 * A5 * /A6 * /A7

EXT.IO = IORQ * /M1 * /A7 * A6 * /A5 * A4 +
IORQ * /M1 * /A7 * A6 * A5 +
IORQ * /M1 * A7 +
IORQ * /M1 * /A7 * /A6 * /A5 * A4 * A3 * /A2 * /A1 +
IORQ * /M1 * /A7 * /A6 * A5 * A4 * A3 * /A2 * /A1 * A0 +
IORQ * /M1 * /A7 * /A6 * A5 * A4 * /A3 * /A2 * /A1 +
IORQ * /M1 * /A7 * /A6 * A5 * A4 * /A3 * A2 * A1 * /A0

DESCRIPTION:

SEL.IOO : SELECT I/O-GROUP 0 (0...1FH)
SEL.MAP : SELECT MEMORY MAPPER (20H...2FH)
SEL.DMAP : SELECT DMA MAP REGISTER (3CH)
DEC.SASI : SELECT SASI DECODER (3BH,3FH)
SEL.SASI : SELECT SASI INTERFACE (3FH)
SEL.FIO : SELECT Z8038 FIO (42H = DATA , 43H = CONTROL)
WR.STP2 : WRITE STATUS-PORT 2 (3AH)
EXT.IO : EXTERNAL I/O-PORT SELECTED :
(>50H + SEL.CRTC (18H,19H) + STP1.READ (39H) +
+ SEL.VDAT (30H,31H,36H))



PAL1CH8
PAT003

PAL DESIGN SPECIFICATION
06/12/1982

PAL3 TCB/Z80 REV1.1 (IC 28) INTERRUPT PRIORITY CONTROLLER

IEO.DMA IEO.CTC1 IEO.SIO IEO.CTC2 IEO.PIO IEO.FIO 7 /M1 /IORQ GND
SEL.SYSM /INTACK IEI.CTC1 IEI.SIO IEI.CTC2 IEI.PIO IEO.KDT IEI.FIO
DIS.MAP VCC

INTACK = M1

IEI.CTC1 = IEO.DMA

IEI.SIO = IEO.DMA *IEO.CTC1

IEI.FIO = IEO.DMA *IEO.CTC1 *IEO.SIO

IEI.CTC2 = IEO.DMA *IEO.CTC1 *IEO.SIO *IEO.FIO

IEI.PIO = IEO.DMA *IEO.CTC1 *IEO.SIO *IEO.FIO *IEO.CTC2

IEO.KDT = IEO.DMA *IEO.CTC1 *IEO.SIO *IEO.FIO *IEO.CTC2 *IEO.PIO

DIS.MAP = IORQ + SEL.SYSM

DESCRIPTION:

IEI.XXX : INTERRUPT ENABLE IN FOR DEVICE XXX
IEO.KDT : INTERRUPT ENABLE OUT OF TCB/Z80
DIS.MAP : DISABLE MEMORY MAPPER

REV. 1.1M3 : DIS.MAP = IORQ
REV. 1.1 : DIS.MAP = IORQ + SEL.SYSM



Servicebeschreibung TCB/Z80

PAL16L8
PAT001

PAL DESIGN SPECIFICATION
30/08/1982

PAL4 TCB/Z80 (IC 22) BUS CONTROLLER

NC /SEL.KEY /EXT.IO IEO.KDT /INT.MEM /BAO.KDT /BIORQ /EM1 /BWR GND
/BRD /FIO.RD /BMRQ NC /OE.PROM /ECB.IN NC NC NC VCC

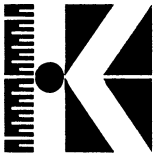
IF (VCC) ECB.IN = /BAO.KDT * BIORQ * BRD * EXT.IO +
/BAO.KDT * BIORQ * SEL.KEY +
/BAO.KDT * BIORQ * EM1 * IEO.KDT +
/BAO.KDT * BMRQ * BRD * /INT.MEM +
BAO.KDT * BMRQ * /BRD * INT.MEM +
BAO.KDT * BIORQ * /EXT.IO * /SEL.KEY * /BRD

IF (VCC) FIO.RD = BIORQ * EM1 * /IEO.KDT +
BIORQ * BRD

IF (VCC) OE.PROM = BMRQ * BRD

DESCRIPTION:

- ECB.IN : ECB DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)
1. READ FROM EXTERNAL I/O-PORT (EXCEPT KEYBOARD)
 2. READ FROM KEYBOARD INPUT
 3. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
 4. READ FROM EXTERNAL MEMORY
 5. EXTERNAL DMA WRITES INTO INTERNAL MEMORY
 6. EXTERNAL DMA WRITES INTO INTERNAL I/O



Neue Version (ab 10.83)

PAL16L8
PAT001

PAL DESIGN SPECIFICATION
04/10/1983

PAL4 TCB/Z80 (IC 22) BUS CONTROLLER

NC	SEL.KEY	EXT.IO	LEO.BUS	INT.MEM	BAO.BUS	BIORQ	EM1	BWR	GND
BRD	FIO.RD	EMRQ	BD.XDMA	OE.PROM	ECB.IN	NC	NC	NC	VCC

IF (VCC) /ECB.IN = BAO.BUS * /BIORQ * /BRD * /EXT.IO + ;1.
BAO.BUS * /BIORQ * /SEL.KEY + ;2.
BAO.BUS * /BIORQ * /EM1 * LEO.BUS + ;3.
BAO.BUS * /EMRQ * /BRD * INT.MEM + ;4.
/BAO.BUS * BD.XDMA ;5.

IF (VCC) /BD.XDMA = /EMRQ * /BRD * /INT.MEM + ;6.
/BIORQ * /BRD * EXT.IO ;7.

IF (VCC) /FIO.RD = BIORQ * /EM1 * /LEO.BUS +
BIORQ * /BRD

IF (VCC) /OE.PROM = /EMRQ * /BRD

DESCRIPTION:

/ECB.IN : ECB DATA BUFFER DIRECTION CONTROL (LOW = INPUT)
1. READ FROM EXTERNAL I/O-PORT (EXCEPT KEYBOARD)
2. READ FROM EXTERNAL KEYBOARD INPUT
3. /INTERRUPT ACKNOWLEDGE
4. READ FROM EXTERNAL MEMORY
5. EXTERNAL DMA CONTROLLED BUS

BD.XDMA: 6. READ FROM INTERNAL MEMORY
7. READ FROM INTERNAL I/O



PAL16H2
PATCO5

PAL DESIGN SPECIFICATION
29/11/1982

PAL5 TCB/Z80 (IC 79) FDC WRITE PRECOMPENSATION

QH QG QF PSO LCT QE /SID MEM PS1 GND
11 12 QD QC CDO WD QB QA 19 VCC

$$CDO = SID * MEM + /SID * MEM$$

$$WD = /MEM * QA + \\ MEM * /SID * QA + \\ MEM * /LCT * SID * QD + \\ MEM * LCT * SID * /PSO * /PS1 * QD + \\ MEM * LCT * SID * PSO * /PS1 * QB + \\ MEM * LCT * SID * /PSO * PS1 * QF$$

DESCRIPTION:

CDO : DATA SEPARATOR CONTROL INPUT
WD : COMPENSATED WRITE DATA OUTPUT



PAL12H6
PATO02
PAL6 TCB/Z80 (IC 80) FDC TIMING GENERATOR

PAL DESIGN SPECIFICATION
28/09/1982

/STD MFM 4MHZ QA QB 2MHZ 1MHZ QD 9 GND
11 QC CLK.393 W.CLK FDC.CLK S.CLK CD1 CLR.393 8MHZ VCC

CLK.393 = STD * MFM +
 STD * /MFM * 2MHZ +
 /STD * MFM * 2MHZ +
 /STD * /MFM * 1MHZ

CLR.393 = STD * MFM +
 QC * 2MHZ

W.CLK = STD * MFM * 2MHZ * 1MHZ +
 QC

CD1 = /STD*/MFM

S.CLK = 2MHZ

FDC.CLK = STD * 8MHZ + /STD * 4MHZ

DESCRIPTION:

CLK.393 : CLOCK INPUT FOR 'LS393 (COUNTER 2)
CLR.393 : CLEAR INPUT FOR 'LS393 (COUNTER 2)
W.CLK : FDC WRITE CLOCK
CD1 : DATA SEPARATOR CONTROL INPUT 1
S.CLK : BAUDRATE GENERATOR REFERENCE CLOCK (CTC INPUT)
FDC.CLK : FDC CLOCK



Servicebeschreibung TCB/Z80

PAL16R4
PAT0002

PAL DESIGN SPECIFICATION
WERNER STEINHART 09/09/82

PAL 7 TCB/Z80 (IC 8) Z8038-FIO - MULTIBUS INTERFACE

CCLK NC NC /IORD /IOWT /SEL NC NC /INT GND
GND /INTRQ /DIR /IACK /QA /QB /QC /IORQ /XACK VCC

QA := /QC * /QB * /QA * SEL +
/QC * QB * /QA

QB := /QC * /QB * QA +
/QC * QB * /QA

QC := /QC * QB * QA +
QC * /QB * /QA * SEL

IACK := QC * /QB * /QA * SEL +
IACK * SEL

IF (VCC) XACK = IACK * SEL

IF (VCC) INTRQ = INT

IF (VCC) DIR = /SEL + /IORD

IF (VCC) IORQ = IORD + IOWT

DESCRIPTION:

	QC	QB	QA	
ST0	0	0	0	
ST1	0	0	1	
ST2	0	1	0	
ST3	0	1	1	
ST4	1	0	0	
ST5	1	0	1	(NOT USED)
ST6	1	1	0	(NOT USED)
ST7	1	1	1	(NOT USED)

STX = STATE X

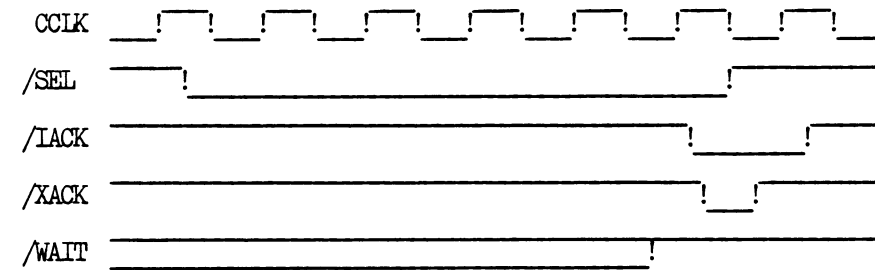
IF ST0 THEN IF SEL THEN ST1
ELSE ST0
IF ST1 THEN ST2
IF ST2 THEN ST3
IF ST3 THEN ST4
IF ST4 THEN IF SEL THEN ST4
ELSE ST0
IF ST5 OR ST6 OR ST7 THEN ST0



Servicebeschreibung TCB/Z80

TIMING :

STATE ! (0) ! (1) ! (2) ! (3) ! (4) ! (4) ! (0)



$$\text{IACK} = \text{ST4} * \text{SEL} * \text{/WAIT} + \text{IACK} * \text{SEL}$$

4.8 Liste aller Adreß-Symbole

```

;This module contains all the hardware related
;equates for TCB/Z80 + TCB/IOV like
;I/O-addresses and I/O-bit assignments for TCB/Z80 + TCB/IOV
;also used for KDT 6
;-----
dma                equ 00h ;on board dma

sio.channel.a     equ 04h
sio.channel.b     equ 05h

ctc1.channel.0    equ 08h
ctc1.channel.1    equ 09h
ctc1.channel.2    equ 0ah
ctc1.channel.3    equ 0bh

pio.port.a        equ 0ch
pio.port.b        equ 0dh

ctc2.channel.0    equ 10h
ctc2.channel.1    equ 11h
ctc2.channel.2    equ 12h
ctc2.channel.3    equ 13h

fdc.765.status    equ 14h ;fdc status register
fdc.765.data      equ 15h ;fdc data register

crtc.pointer      equ 18h ;crtc pointer register (TCB/IOV)
crtc.data         equ 19h ;crtc data register (TCB/IOV)

stp.0             equ 1ch ;status port 0
keyboard          equ 1dh ;keyboard input register
fdc.dack          equ 1eh ;fdc data acknowledge
fdc.tc           equ 1fh ;fdc terminal count input

map.reg.0         equ 20h ;memory mapper base address
map.reg.1         equ 21h
map.reg.2         equ 22h
map.reg.3         equ 23h
map.reg.4         equ 24h
map.reg.5         equ 25h
map.reg.6         equ 26h
map.reg.7         equ 27h
map.reg.8         equ 28h
map.reg.9         equ 29h
map.reg.10        equ 2ah
map.reg.11        equ 2bh
map.reg.12        equ 2ch
map.reg.13        equ 2dh
map.reg.14        equ 2eh
map.reg.15        equ 2fh

```



```
vmb0          equ 30h ;bank 0 (TCB/IOV)
vmb0.auto.inc equ 31h ;bank 0 with auto increment (TCB/IOV)

vmb0.auto.dec equ 36h ;bank 0 with auto decrement (TCB/IOV)
vmb0.auto.inc.1 equ 37h ;bank 0 with auto increment (TCB/IOV)

stp.1.write   equ 38h ;status port 1 (read)      (TCB/IOV)
stp.1.read    equ 39h ;status port 1 (write)     (TCB/IOV)
stp.2.write   equ 3ah ;status port 2 (write)

dma.map.reg   equ 3ch ;dma map register
wdog.reg      equ 3dh ;watch dog register        (TCB/IOV)
wdog.trigger  equ 3eh ;watch dog trigger input  (TCB/IOV)

sasi.ctrl     equ 3bh ;sasi control port
sasi.data     equ 3fh ;sasi data port

val.low       equ 41h ;video address latch (low)  (TCB/IOV)
val.high      equ 40h ;video address latch (high) (TCB/IOV)
fio.data      equ 42H ;fio data address

;Bit assignments for status port 0
;-----

watchdog      equ 0  ;watchdog (enable=1/dis.=0) (TCB/IOV)
sysfrequ      equ 1  ;system frequency (full=1/half=0)
sound         equ 2  ;sound (enable=1/disable=0) (TCB/IOV)
a12.cg        equ 3  ;character generator address a12 (TCB/IOV)
dma.ready     equ 4  ;select dma trigger (fdc=0/sio=1)
poff          equ 5  ;prom off control (off=1/on=0)
stddsk        equ 6  ;select standard/mini floppy disk drive
                ;(mini=1/standard=0)
motor         equ 7  ;fd-drive motor on control (on=1/off=0)

;Bit assignments for status port 1 (TCB/IOV)
;-----

va14          equ 0  ;bit 14 video scroll address
va15          equ 1  ;bit 15 " " " "
vbit8         equ 2  ;video bit 8 (e.g. char. invert)
vbit9         equ 3  ;video bit 9 (e.g. char. blinking)
sel.all       equ 4  ;select 3 video memory banks
vid.inv       equ 5  ;video invert (background bright=1)
sel.dm        equ 6  ;select display mode (alpha=1/graph.=0)
sel.sysm      equ 7  ;select system memory (disable mapper=1)

;Bit assignment for SASI-Control Port
;-----
SEL.bit       equ 3  ;Select bit
RES.bit       equ 1  ;Reset bit
IO.bit        equ 5  ;I/O bit
CD.bit        equ 4  ;C/D bit
MSG.bit       equ 3  ;MSG bit
REQ.bit       equ 2  ;REQ bit (Request)
BSY.bit       equ 1  ;BSY bit (Busy)
```



;Bit assignments for status port 2

mapd3 equ 0 ;memory mapper data bit 3
mapd2 equ 1 ;memory mapper data bit 2
mapd1 equ 2 ;memory mapper data bit 1
mapd0 equ 3 ;memory mapper data bit 0

;Port assignment for TCB/IOV (not available on KDT6)

iov.dart2.cha equ 58h
iov.dart2.chb equ 59h
iov.ctc1.ch0 equ 54h
iov.ctc1.ch1 equ 55h
iov.ctc1.ch2 equ 56h ;used for baudrate (ser. Keyb.)
iov.ctc1.ch3 equ 57h



4.9 Unterschiede zwischen Rev. 1.1M3 und 1.1

1.) - 12V-Versorgung:

Bei Rev. 1.1M3 kommen die -12V von ST-C (ECB-BUS) Pin 15C
Bei Rev. 1.1 kann über Jumper J5 gewählt werden zwischen 15C
und 15a:

J5/A : -12V von ST-C/15a
B : -12V von ST-C/15c

2.) Memory Mapper LS612, PAL3 (IC28), Signal SEL.SYSM:

Damit der Memory Mapper Baustein LS612 (LS610) seine Funktion ausfüllt, muß der Eingang -MM aktiviert werden (-MM = Mapper Mode).

Dieser Eingang wird kontrolliert über das Signal DIS.MAP von PAL3. Nun gilt folgendes:

bei Rev. 1.1M3: PAL3 ist so programmiert, daß gilt:

DIS.MAP = IORQ,

das bedeutet, der Mapper ist bei Speicherzugriffen immer aktiv, er kann nicht ausgeschaltet werden,

bei Rev. 1.1: in PAL 3 gilt hier:

DIS.MAP = IORQ + SEL.SYSM

Hier kann über das Signal SEL.SYSM der Mapper ausgeschaltet werden. SEL.SYSM wird von Status-Register 1 auf der TCB/IOV bedient. Wird nun die TCB/Z80 alleine betrieben, so besteht über Jumper J4 die Möglichkeit, SEL.SYSM auf HIGH bzw. LOW zu legen:

J4/A: HIGH (Mapper ausgeschaltet, für Betrieb mit TCB/IOV bzw. für Testzwecke)

B: LOW (Mapper eingeschaltet, für Betrieb ohne TCB/IOV)

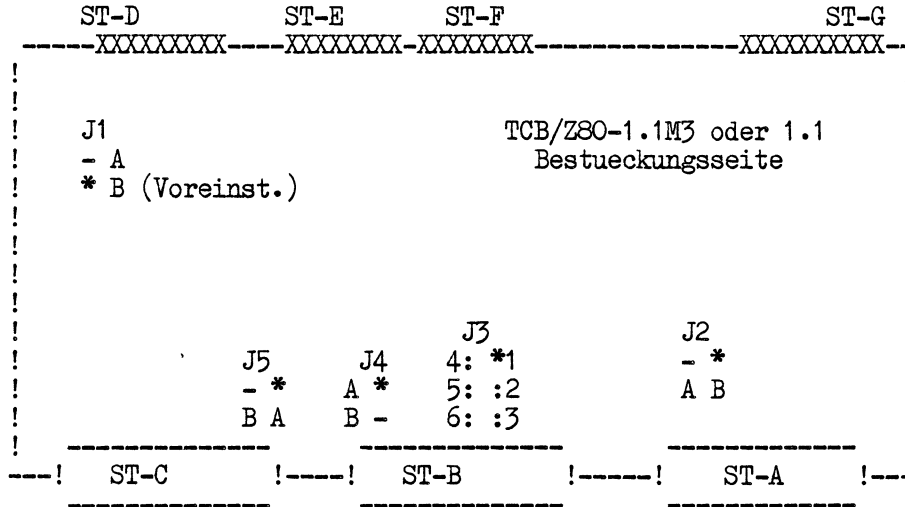
Hinweis: Bei Betrieb mit TCB/IOV sollte J4 unbedingt in Position A stehen!



4.10 JUMPER/SCHALTER-VOREINSTELLUNGEN BEI TCB/Z80 (1.1M3 u. 1.1)

a) Jumpereinstellungen :

* = Jumper gesteckt
 - oder : = Jumper nicht gesteckt



J4 u. J5 nur bei Rev. 1.1 vorhanden !

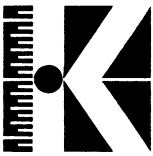
Beschreibung (">" kennzeichnet die Voreinstellung):

Jumper J1 A : SERCLK = 2 MHz
 ->B : SERCLK = 1,2288 MHz (Voreinstellung)

SERCLK wird in CTC-1 zur Bittakterzeugung
 für die seriellen Schnittstellen verwendet.

Jumper J2 A : ST-A/32c (MPI-READY) und ST-A/18c (MIC-READY)
 nicht verbunden
 ->B : ST-A/32c und ST-A/18c verbunden (Voreinst.)

Jumper J3 ->1 : ST-B/11c (IR2) angeschlossen (Voreinstellung)
 2 : ST-B/12c (IR3) angeschlossen
 bis
 6 : ST-B/16c (IR7) angeschlossen



gilt nur fuer Rev. 1.1 :

Jumper J4 ->A : Memory Mapper muss ueber TCB/IOV eingeschaltet
werden. Falls keine TCB/IOV vorhanden, ist der
Memory Mapper ausgeschaltet.(Voreinstellung)

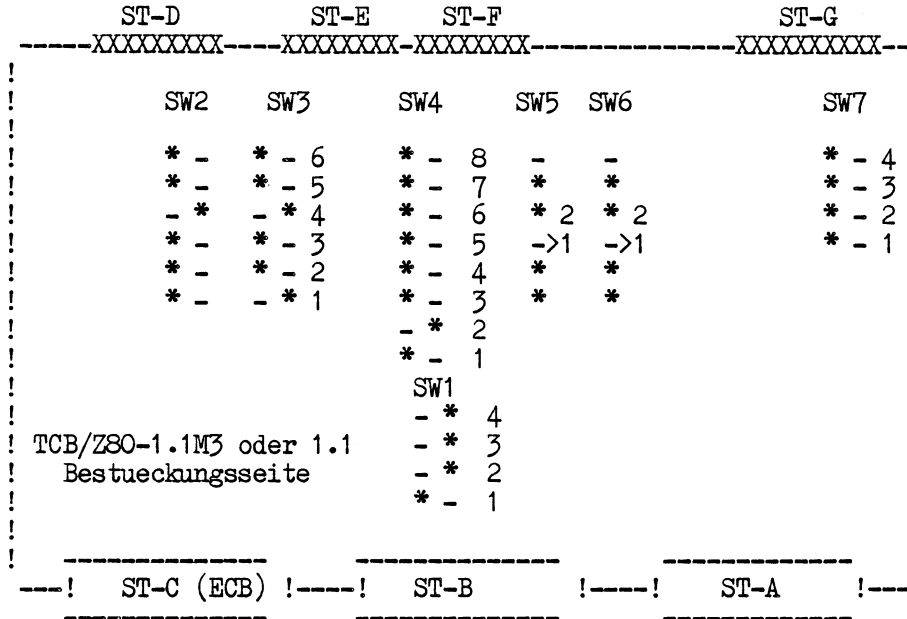
B : Memory Mapper eingeschaltet (bei Betrieb ohne TCB/IOV
erforderlich)

Jumper J5 ->A : - 12V ueber 15a von ST-C (ECB-Bus, Voreinst.)

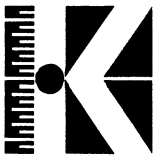
B : - 12V ueber 15c von ST-C (ECB-Bus)



b) Voreinstellung der Schalter :



Schalter	Bedeutung		
SW1			
CLOSED 4	I/O - Adresse Multi-Bus - Interface = 1FXH		
CLOSED 3			
CLOSED 2			
OPEN 1			
SW2	SW3		
OPEN 6	OPEN 6	ST-D ist auf RS 422 - Inter- face (KOBUS) eingestellt.	
OPEN 5	OPEN 5		
CLOSED 4	CLOSED 4		
OPEN 3	OPEN 3		
OPEN 2	OPEN 2		
OPEN 1	CLOSED 1		
SW4	SW5	SW6	
OPEN 8			ST-F ist auf RS 232 C - Terminal - Modus eingestellt.
OPEN 7			
OPEN 6			
OPEN 5	POS.	POS.	
OPEN 4			
OPEN 3	1	1	
CLOSED 2			
OPEN 1			
SW7			
OPEN 4	PIO-BRDY - ST-G/35 verbunden		
OPEN 3	PIO-BSTB - ST-G/15 verbunden		
OPEN 2	PIO-A6 - ST-G/34 verbunden		
OPEN 1	PIO-A7 - ST-G/36 verbunden		

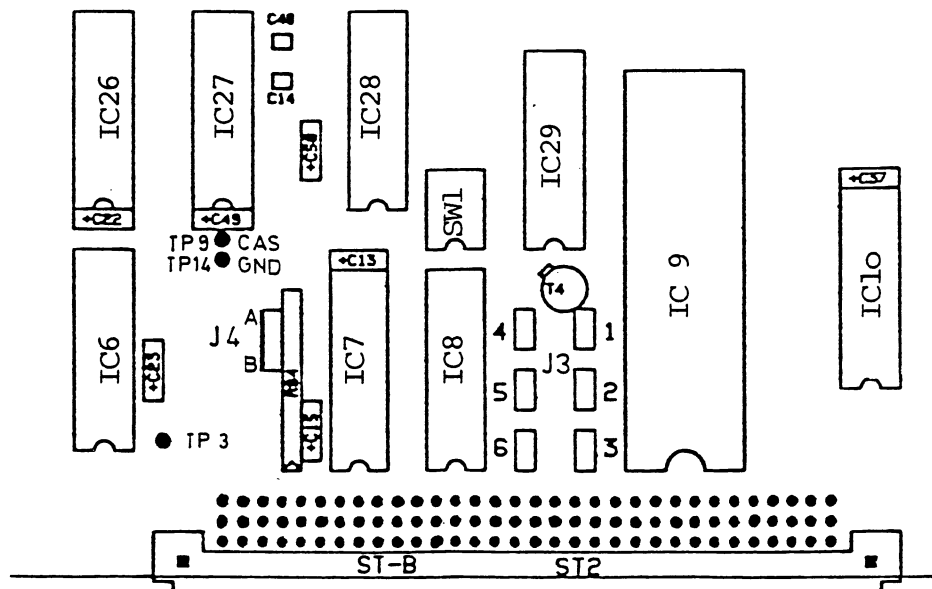


5. Servicehinweise für TCB/Z80

Die Zentralplatine TCB/Z80 stellt zusammen mit der TCB/IOV eine Einheit dar, die weitestgehend kompatibel zur bekannten KDT 6 ist. Dies bedeutet, daß die Kombination von TCB/Z80 und TCB/IOV unter Zuhilfenahme einer Tastatur und eines Monitors genauso wie die KDT 6 zu überprüfen ist. Da es allerdings Systeme gibt, in denen keine TCB/IOV enthalten ist (Kontron PSI 9068) mußte eine Möglichkeit geschaffen werden, die Zentralplatine auch ohne TCB/IOV zu testen.

Zum Test der TCB/Z80 alleine ist ein Terminal erforderlich, das mit 9600 Baud an die serielle Schnittstelle SIOB angeschlossen wird. Dazu müssen je nach Revisionsnummer der TCB/Z80 noch folgende Schritte unternommen werden.

- REV. 1.2 M2 nur IOV herausziehen
- REV. 1.1 IOV herausziehen und Jumper J4 in Position B bringen.





Bei beiden Revisionsständen gilt, daß sämtliche weiteren evtl. in die Busplatine eingesteckten Karten (ECB, SUN, IOV) herausgezogen sein sollten, um eine einwandfreie Fehlerlokalisierung auf der TCB/Z80-Platine zu ermöglichen.

Zur Fehlereingrenzung auf Bauteileebene ist eine Vorgehensweise nach folgendem Flußplan auf der nächsten Seite empfehlenswert.

Als Gedankenstütze für auszuführende Arbeiten sind dabei nur Stichworte angegeben. Dem erfahrenen Servicetechniker werden diese Hinweise genügen. Im Zweifelsfall kann im Anschluß an diesen Flußplan unter dem jeweiligen Stichwort eine ausführliche Beschreibung der Signale/Bauteile nachgeschlagen werden.

Insbesondere wird dort ausführlich auf die Themen Speicherverwaltung und Organisation eingegangen.

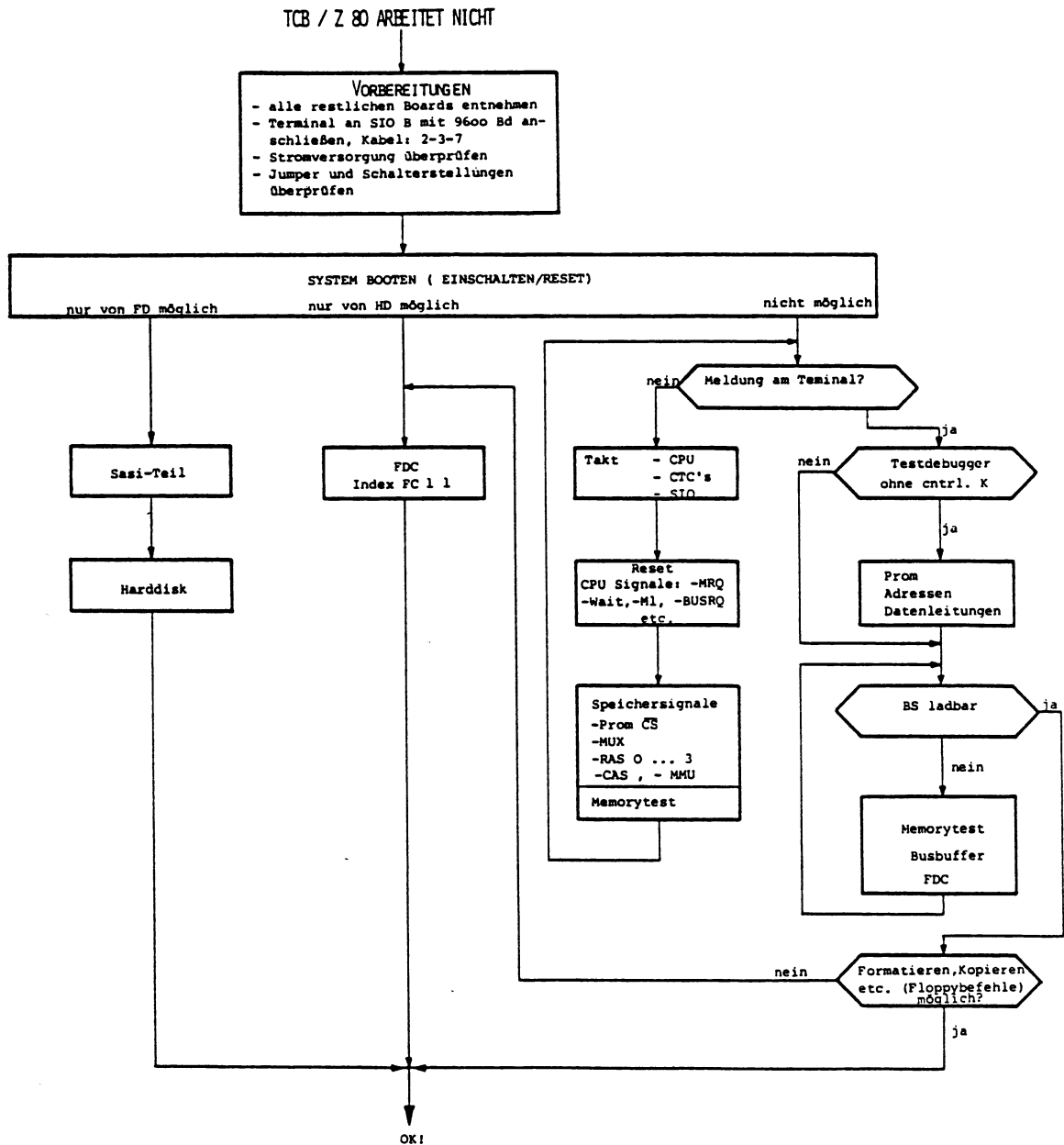
Die jeweiligen Beschreibungen wurden dort, wo es notwendig erschien, durch Oszillographenbilder von typischen zu erwartenden Signalen ergänzt.

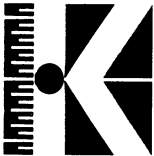
Ergänzt werden die Reparaturhinweise außerdem durch die dazugehörigen Schalt- und Bestückungspläne. Um dem Servicetechniker die Orientierung auf der Platine zu erleichtern, sind die jeweils relevanten Bereiche auf dem Bestückungsplan besonders gekennzeichnet.

Verweise bei den Bauteilen beziehen sich stets auf eine Blattnummer der Schaltpläne.



5.1 Reparaturflußplan für TCB/Z80 - Rev. 1.1





5.2 Alphabetische Signal-/Baugruppenerläuterung

CPU

Falls sich überhaupt keine Reaktion am System erkennen läßt, überprüfen Sie, ob die CPU richtig arbeitet.

Dazu sollten zuerst die wichtigsten CPU-Signale überprüft werden.

Hierbei ist es zunächst nicht notwendig, genaueres über das Aussehen der einzelnen Signale zu wissen. Wichtig bei den im folgenden angeführten Signalen ist nur, daß sie sich ändern. Ständig auf Low oder High liegende Signale sind stets verdächtig. Näheres über die Signale können Sie unter den entsprechenden Stichpunkten nachlesen.

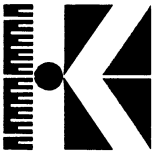
Die Daten- und Adreßleitungen können entweder z.B. mit dem Testdebugger-Kommando

```
>WR 5000 55 -->
```

oder, falls der Testdebugger nicht aufgerufen werden kann, wird ein Testprom mit folgendem Programm anstelle des BOOT-Proms eingesetzt:

```
0000 WR 4000 55  
0001 JP 0000
```

Es wird nun stets das Datum 55 hex auf Adresse 4000 geschrieben. An den Datenleitungen kann nun 55 Hex gemessen werden.



CS (Chip-Select)
Die gesamte promresidente Debuggersoftware ist so geschrieben, daß alle Grundroutinen (Initialisierung, Kommandos, Verwalter, Bildschirmausgabe etc.) in Prom # 1 liegen. Somit ist der Adreßbereich des ablaufenden Programmes auf Prom #1 (0-FFF) und den benötigten RAM-Bereich (4000- 44FF) begrenzt. Daraus ergibt sich die Forderung, daß während der Transferphase (entspricht M1-Zyklus) nur Prom #1 selektiert werden darf. Also kann an PIN 18 von PROM #1 gemessen werden, ob dieses PROM auch zyklisch selektiert wird.

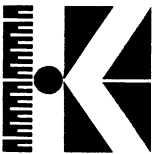
Falls nicht:

- > PROM defekt; Buspuffer defekt;
ein I/O-Baustein spricht auf den Datenbus; eine Adresse hängt
- > falls das Prom nie selektiert wird, so ist entweder das Prom defekt, oder die Signale -RD, -MRQ, -RFSH etc. zeigen ein Fehlverhalten.

CTC (Zähler/Zeitgeber-Bausteine)
Diese Bausteine dienen zur Interrupt-/Takt-Generierung und sind u.a. für den Betrieb der PIO/SIO-Bausteine nötig.

Falls sich also keine Reaktion auf dem angeschlossenen Terminal zeigt, so muß der SIO-Baustein IC37 überprüft werden.

CTC 1 liefert außerdem den Takt für die Baudrateneinstellung des SIOB.



Diskette Eine schlechte Diskette oder ein dejustiertes Laufwerk läßt sich mit dem Disktestprogramm des Testdebuggers erkennen:

Testdebugger mit CNTRL-K aufrufen und Diskette in Laufwerk einlegen.

```
>J 1800-->      (Einsprungpunkt Disktest)
>Drive ID:      (Laufwerksnummer, 1/2/11/12)
>Versuche:      (Leseversuche/Zugriff)
>LOOPS:         (Anzahl der Durchläufe)
>Mode:          (1/2: Ausdruck/Schaubild)
```

Falls bei "Mode" 2 eingegeben wurde, werden nun in einem Diagramm Soft- und Harderrors angezeigt. Schlechte Spuren auf einer Diskette lassen sich auf diese Weise leicht erkennen (Häufung der Lesefehler auf einer bestimmten Spur). Mit diesem Programm läßt sich außerdem ein dejustiertes Laufwerk erkennen: Wenn eine gute Diskette, die auf einem einwandfreien Laufwerk überprüft wurde, dort keine Fehler zeigt, eine Überprüfung auf einem anderen Laufwerk aber Fehler erkennen läßt, so ist dieses zweite Laufwerk dejustiert. Wichtig ist, daß die Behandlungsvorschriften für Disketten und Laufwerke stets eingehalten werden (Disketten vorsichtig in Laufwerk einlegen etc.)

Diesen Test sollte man über längere Zeit laufen lassen, damit auch eventuelle sporadische Fehler sowie Wärmefehler erkannt werden können (siehe auch Kapitel "Testdebugger").

DMA (Direct Memory Access)

Mittels des Testdebuggers ist es möglich, entweder direkt unter Umgehung des DMA-Bausteins oder über den DMA-Baustein von einem Laufwerk zu lesen. Somit kann eine Spur einer beliebigen Diskette, auf der aber Daten vorhanden sein sollten, einmal über den DMA-Baustein in einen bestimmten Speicherbereich eingelesen werden, um dann mit den Daten derselben Spur, die aber ohne DMA in einen anderen Speicherbereich eingeschrieben wurden, verglichen zu werden.

Treten dann beim Vergleich dieser beiden Datenbereiche keine Fehler auf, so ist der DMA-Baustein höchstwahrscheinlich in Ordnung.

Ablauf des Testes: Diskette in Laufwerk 1,
Daten auf Spur 1

```
TD: >RT A 1 5000 -->      (mit DMA)
     >RT 1 1 6000 -->    (ohne DMA)
     >CP 5000 6000 1000 --> (Vergleich)
```




Zur Kontrolle kann der DMA-Baustein aus der Fassung gezogen werden. Das Einlesen der Daten ohne DMA

```
>RT 1 1 5000 -->
```

darf nun keine Fehlermeldung erzeugen. Falls dennoch ein CRC-Error erzeugt wird, so ist der Fehler an anderer Stelle zu suchen.

Bei Eingabe von

```
> RT A 1 5000 -->
```

muß ein CRC-Error angezeigt werden.

Kann das System über DMA nicht lesen, so muß nicht unbedingt der DMA-Baustein defekt sein, vielmehr kann der Fehler auch in den Steuersignalen des DMA zu suchen sein, z.B. auf Blatt 2: MRQ/, RD/, WR/, M1/, IORQ/, CE etc.

FDC (Floppy-Disk-Controller)

Zum Überprüfen der Steuerleitungen vom Controller zum Drive setzt man sich am besten folgende Kommando-schleife auf:

```
>S 5000 /WS;DO 5000 -->  
>RS 1 1 6000;DO 5000 -->
```

Es wird nun der Inhalt von Sektor #1 Drive #1 ausgelesen und dann laufend wieder zurückgeschrieben. Somit läßt sich ein stehendes Bild auf dem Oszilloskop erzeugen.

Mit Oszilloskop und Schaltplan Blatt 9 läßt sich nun der Fehler schnell finden.

Die Read/Write-Logik läßt sich mit Hilfe des FC-Kommandos des Testdebuggers und eines Oszilloskopes überprüfen.

```
>FC 1 1 -->
```

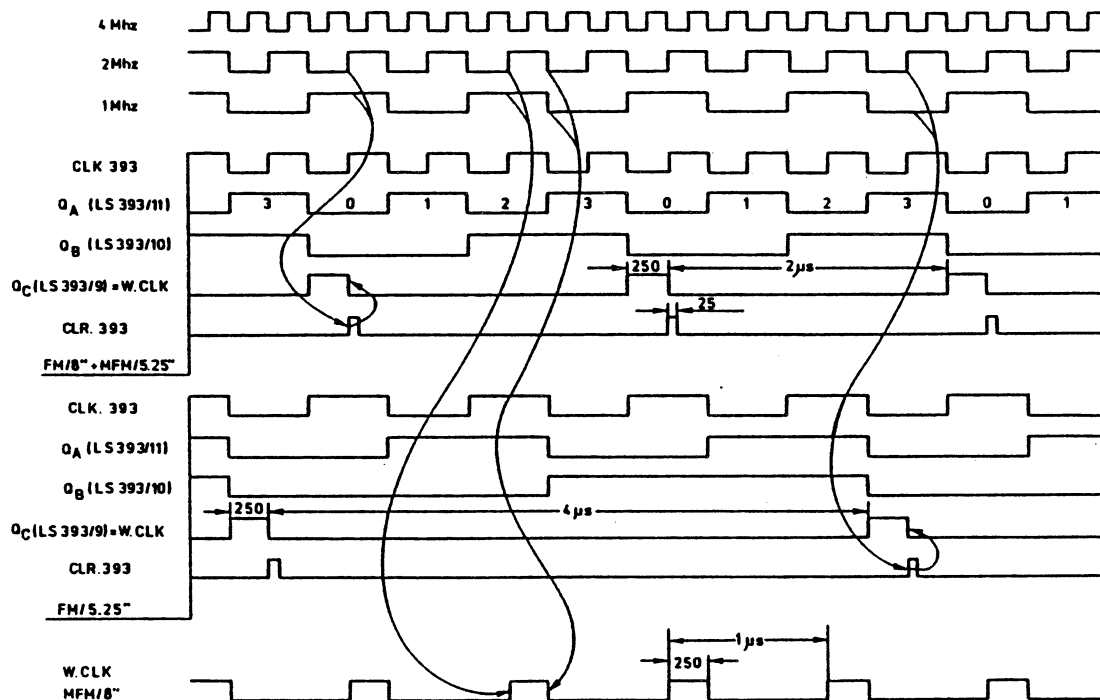
Es wird nun ständig von der Floppy gelesen und man kann nun leicht alle Leitungen vom Drive zum Controller überprüfen. Ein einwandfreies Laufwerk wird natürlich vorausgesetzt. Dieses Programm wird nun gestartet. Das Scope mit einem Kanal an IORQ/ (PIN 20 CPU) ankleben und danach triggern.

Nun kann man bequem alle Datenleitungen (DO bis D7) und Steuerleitungen (CE, E, R/W) mit dem zweiten Kanal überprüfen.



Zu beachten ist, daß das Enable-Signal (PIN 23 activ HIGH) erst kurze Zeit, nachdem CE/ (activ LOW, Pin 25) LOW geworden ist, auf HIGH geht.

Zur Überprüfung von Port 6 mit seinen Ausgangssignalen eignet sich das folgende Bild mit den Zeitverhältnissen der Signale.



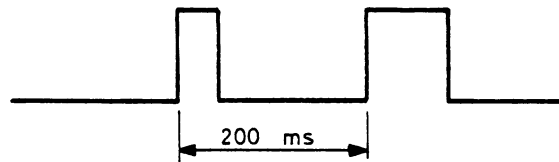


INDEX/

Das Signal wird vom Floppy-Drive erzeugt. Bei jeder Umdrehung der Diskette, also alle 200 ms, wird ein 4 ms langer Puls gesendet. Dieses Signal ist neben den übrigen Steuersignalen unbedingt erforderlich. Das Signal "Index" teilt dem System mit, daß sich der Schreib-/Lesekopf am Anfang einer Spur, also bei Sektor # 0 befindet. Das Überprüfen des Signales INDEX/ geht am einfachsten mit dem Kommando

>FC 1 0 -->

mit dem dauernd vom Laufwerk #1, Spur 0 gelesen wird. An PIN 17 des FD-Controllers (uP 765 Blatt 9) kann das Signal gemessen werden.





Memory Managment (74LS612 Blatt 3)

Dieser Baustein arbeitet nicht, wenn eine der folgenden drei Bedingungen erfüllt wird:

- 1) BUSAK ist aktiv (PIN 14), d.h. ein DMA basierender Zugriff ist im Gange. Der DMA-Controller stellt die Adressen A0...A23 bereit. Die Ausgänge MO0...MO11 müssen dabei hochohmig sein.
- 2) Das Statussignal SEL.SYSM (Select System Memory) von Status Port # 1 ist gesetzt.
- 3) Ein I/O Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MA16...MA23 immer 0, sowie die Adreßbits A12...A15 unverändert. Dieser Zustand ist gekennzeichnet durch das Signal DIS.MAP (Disable Mapper) PIN 13.

Diese grobe Arbeitsweise kann relativ leicht überprüft werden.

Allgemeines zur Memory-Management-Unit (MMU)

Der Sinn dieser Einheit besteht darin, den mit 16 Bit Adreßbreite vorgegebenen physikalischen Adreßraum von 64 kByte zu vergrößern.

Dies ist nur durch eine Verbreiterung der durch die Z80-CPU vorgegebenen 16-Bit-Adresse möglich. Mit Hilfe des MMU-Bausteins 74LS612 ist es möglich, die Adreßbreite auf 24 Bit zu vergrößern. Dies entspricht einer Vergrößerung des physikalischen Adreßraums auf 16 MByte.

Der Baustein 74LS612 besitzt 16, jeweils 12 Bit breite sogenannte MAP-Register, die frei programmierbar sind. In diese Register werden die HIGH-Bytes der Basisadresse eines 4 kByte-Bereiches geladen.

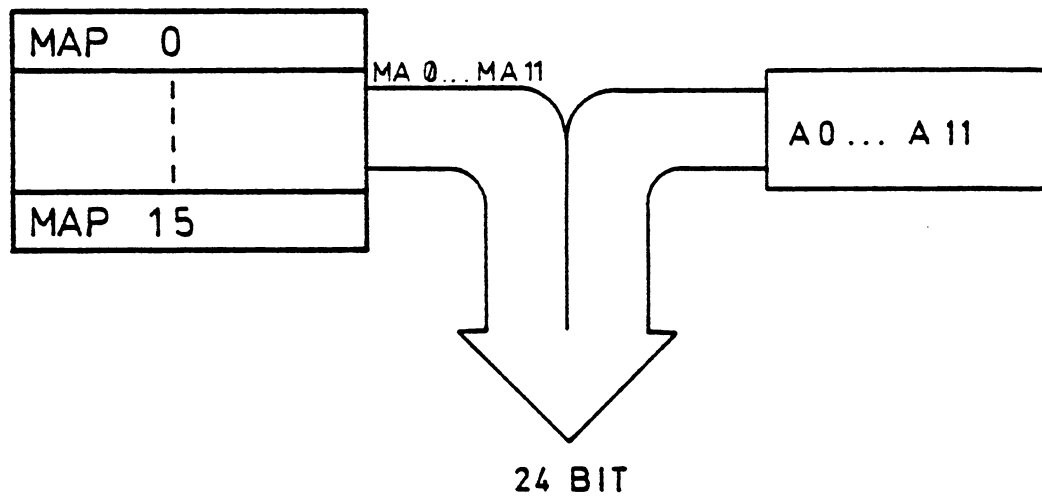
Das Besetzen der geforderten 12 Bit geschieht folgendermaßen:

- 1) Der 12 Bit breite Inhalt eines MAP-Registers setzt sich aus 8 Datenbits und 4 weiteren aus Port #2 ausgelesenen Bits zusammen. Also muß dieser Port zunächst belegt werden.
- 2) Die Auswahl eines MAP-Registers geschieht durch 4 Adreßbits (A0...A3). Da die Basisadresse des Mapregisters bei 20H liegt, enthalten die Bits A7...A4 stets den Wert 2H = 0010.
- 3) Belegen der fehlenden 8 Bits des Mapregisters mit den 8 Datenbits.



Soll nun ein bestimmter Speicherbereich adressiert werden, so geschieht das wie folgt:

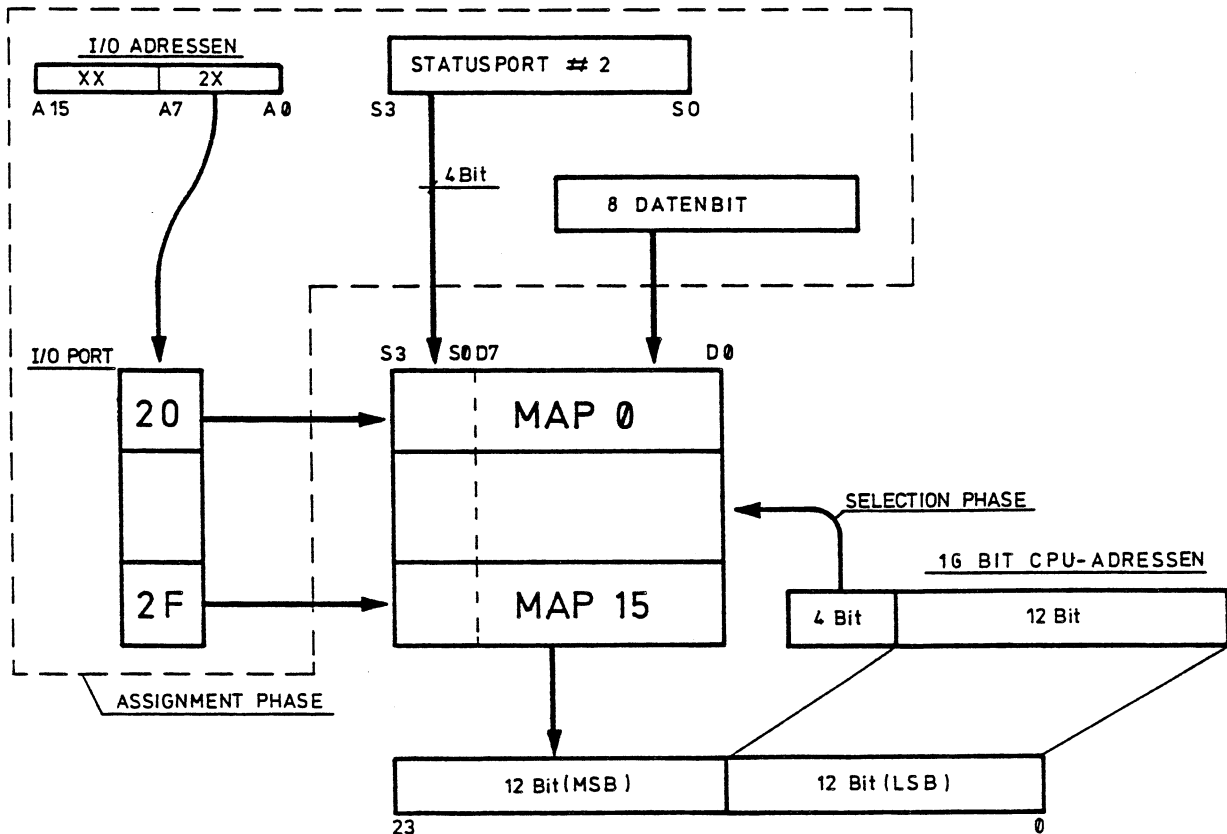
- 1) Auswahl eines Mapregisters mit den Adreßbits A15...A12
- 2) Zusammensetzen der 24-Bit Adresse:



Die Basisadresse eines 4 kByte-Bereiches kann so nach Belieben in einen physikalischen Adreßraum von max. 16 MByte gelegt werden.



Zusammenfassend:



MMU

Das Umschalten zwischen den einzelnen Speicherbänken funktioniert nicht. Mögliche Ursachen:

- > PAL 1 oder IC66 defekt (Blatt 2)
- > ändern sich die Signale
MO0...MO7 = MA16...MA23 (Blatt 2)
- > alle diese Bits 0?
falls ja: ----> DIS.MAP dauernd aktiv?
- > Fehler z.B. IC 64 (Blatt 2)
- > jemand dominiert auf einer dieser Leitungen
(z.B. DMA)
- > Meßpunkte TP 2...8)



MRQ/

(Memory-Request)

MRQ = aktiv bedeutet, daß auf dem Adreßbus die Adresse für einen Speicherzugriff (Lesen oder Schreiben) ansteht.

An Pin 19 der CPU (Blatt 1) messen. Das Signal muß zwischen LOW und HIGH wechseln.

MRQ/ liegt auf halbem Pegel:

---> arbeitet RESET/ (Pin 26) richtig?

Es muß nach Drücken der Reset-Taste ein mindestens einen Taktzyklus langer Puls ankommen.

IC30, D1, R7 und C1 überprüfen.

MRQ/ liegt ständig auf LOW oder auf HIGH:

---> Wahrscheinlich ist WAIT/ dauernd aktiv (PIN 24 an der CPU). WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren.

Ist nun WAIT/ dauernd aktiv, so wird auch MRQ/ eingefroren. Als Ursachen für ein ständig aktives WAIT/ kommen z.B. in Frage:

- R9 (Blatt 1)
- Stecker C (Pin 10)
- IC 62 (Blatt 1)
- CPU
- IC 61 (Blatt 1)
- RESET-Erzeugung

RESET/

RESET/ dient zur Initialisierung der gesamten Hardware und wird entweder durch Drücken des Reset-Knopfes, oder aber durch Anlegen der Versorgungsspannung erzeugt. Während des Rückstellvorganges befinden sich Daten- und Adreßbus im hochohmigen, sämtliche übrigen Ausgänge der CPU im inaktiven Zustand. Beim Einschalten der Spannung folgt PIN13 am IC30 der Eingangsspannung sofort, während der zweite Eingang PIN12 über ein RC-Glied (R7, C1) verzögert wird. D1 wirkt als Entladediode.

Die CPU benötigt einen mindestens einen Taktzyklus langen Puls, nachdem Vcc auf mindestens 3.6 Volt angestiegen ist.

Wird RESET/ nicht richtig erzeugt, so ist der Fehler bei R7, C1, D1 oder IC30 (alle auf Blatt 1) zu suchen.

Meist liegt die Ursache in einem zu kleinen C1. C1 kann in kritischen Fällen von 22 uF auf 47 uF vergrößert werden.



Speichertest

Der Memorytest schreibt nacheinander die hexadezimalen Werte 00, FF, 55, AA, 01, 02, 04, 08, 10, 20, 40, 80, FE, FD, FB, F7, EF, DF, BF, 7F, in den zu testenden Memorybereich ein und prüft die Richtigkeit. Also der gesamte zu testende Bereich wird zuerst mit 00 geladen und dann überprüft; als nächstes folgt FF usw.

Damit lassen sich harte RAM- oder Bufferfehler finden. Es besteht allerdings noch keine Aussage darüber, ob alle Adressen an den RAM's richtig anliegen. Um dies feststellen zu können, werden alle zu testenden Speicherzellen mit dem LOW-Byte ihrer Adresse geladen und danach überprüft. Es kommt z.B. auf die Adresse 5000 der Wert 00, auf 5001 01, auf 011 11 usw.

Würde nun das Adreßbit A0 hart auf LOW liegen, wird zwar zuerst - wie in unserem Beispiel - auf die Adresse 5000 der Wert 00 eingeschrieben, dann aber sofort mit 01 überschrieben, wenn auf die Adresse 5001 01 geschrieben werden sollte. Die nach dem Einschreiben erfolgende Überprüfung meldet diesen Fehler. Damit lassen sich alle Fehler mit Adreßbits A0 bis A7 finden.

Jetzt werden die zu testenden Speicherzellen mit den HIGH Bytes der Adressen geladen. Zum Beispiel:

die Adressen 5000H bis 50FFH mit 50H
die Adressen 5100H bis 51FFH mit 51H usw.

Damit lassen sich auch noch Adreßfehler der obersten Adreßbits finden.

Als nächstes wird der gesamte zu testende Speicher mit 76H (HALT) gefüllt, der CTC 1 Channel 0 (Adresse 08H) als Timer programmiert und ein Jump auf die erste zu testende Speicheradresse ausgeführt. Hier liest die CPU nun ständig diesen Befehl, bis der Interrupt des CTC erfolgt (ca. 512 X HALT). In der Interruptserviceroutine wird nun die Herkunftsadresse mit der Solladresse verglichen. Ist diese ok, wird ein Jump auf die nächste zu testende Speicheradresse ausgeführt usw.

Steht durch Umkippen eines Bits z.B. 77H (LD HL),A in der Speicherzelle, dann stimmt beim nächsten Interrupt die Herkunftsadresse nicht mit der Solladresse überein und es wird ein REALTIME Test Error angezeigt.

Achtung:

Das Drücken einer Taste während dieses Test führt ebenfalls zur gleichen Fehlermeldung.



Der letzte Test innerhalb des Memorytests ist ein 100H langes Programm, das fast ausschließlich aus Ein-Byte-Befehlen besteht. Dieses Programm wird an den Anfang des zu testenden Speichers geladen und mit einem Jump darauf abgearbeitet. Es schreibt sich bis ans Ende des zu testenden Speichers fort.

Mit diesem Test lassen sich auch noch RAM's mit einer zu knappen Zugriffszeit finden (Timing von M1 Zyklen ist kürzer als beim normalen RD).

Zur Durchführung des Speichertests stehen zwei Hilfsmittel zur Verfügung:

- 1) Testdebugger (nur für Schreib-/Lese-Speicher)
- 2) Testsoftware auf Diskette (für Video- und Schreib-/Lesespeicher)

Um einen Speichertest durchführen zu können, bzw. um die richtigen Schlüsse aus den gewonnenen Ergebnissen zu ziehen, ist eine gute Kenntnis der Speicherorganisation der TCB/Z80 notwendig.

Die TCB/Z80 besitzt max. 8 kByte ROM-Speicher (2 EPROM's vom Typ 2732 mit je 4 kBit x 8), 256 kByte Schreib-/Lesespeicher, der aus 32 RAM's vom Typ 2164 mit je 64 kBit x 1 aufgebaut ist. Ferner ist ein Bildwiederholungspeicher 64k x 10 Bit vorhanden, der aus 10 RAM's vom Typ 2164 aufgebaut ist. Ferner ist noch ein EPROM aufgesetzt, das den Zeichensatz enthält (entweder Typ 2764 oder 2732; 8 oder 4 kByte Zeichensatz).

Die Adressierung der PROM's Nr. 1 und 2 erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der PROM-Bereich adressiert werden muß, bevor die Speicherverwaltung adressiert wird. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der PROM-Bereich völlig abgeschaltet werden.

Adreßbereiche der beiden PROM's:

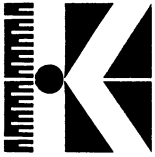
-----	-----
Sockel	Adreßbereich
-----	-----
PROM1	0000 - 0FFF
PROM2	1000 - 1FFF
-----	-----



Der Schreib-/Lesespeicher ist in 4 Bänke mit je 64 kByte organisiert. Die jeweilige Bank wird durch die 8 höchstwertigen Adreßbits der 24 Bit-Adresse ausgewählt (siehe auch Beschreibung MMU).

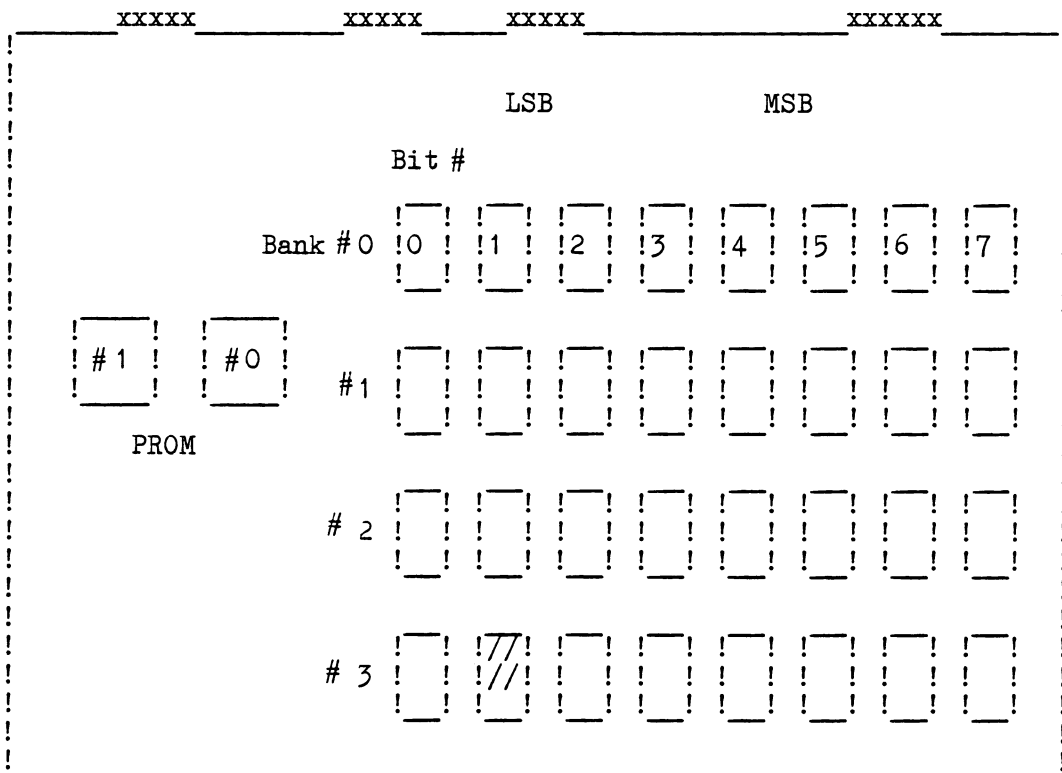
Bank #	! Adreßbits ! A23...A18	A17	A16	A15...A0	! hex
0	0	0	0	x	! 00xxxx
1	0	0	1	x	! 01xxxx
2	0	1	0	x	! 02xxxx
3	0	1	1	x	! 03xxxx

Der Adreßdekodierer (Blatt 2) ist mit einem PAL-Baustein (PAL 1) realisiert. Er liefert die RAS- (Row-Adress-Strobe-) Signale für die Speicherbänke 0...3 (RAS0...RAS3), desweiteren das Steuersignal INT.MEM (Internal Memory). Für einen Speicherzugriff auf eine RAM-Bank xy müssen die Signale INT.MEM und RASxy gleichzeitig aktiv sein.



Serviceanleitung für TCB/Z80

Die Speicherbereiche sind auf der TCB/Z80 folgendermaßen angeordnet.



Bei der Durchführung des Memory-Testes läßt sich nun anhand der Fehlermeldung der fehlerhafte Speicherschaltkreis lokalisieren:

z.B. Test in Schreib-/Lese-RAM Bank #3
 eingelesen OOH = 0000 0000
 ausgelesen 02H = 0000 0010
 MSB LSB

---> IC Bit 1 defekt (schraffiert gezeichnet)

ebenso ist aber auch ein Fehler in der Leiterbahn (Adress/Datenleitung) denkbar. Bei gesteckten Chips ist auch eine schlechte Kontaktierung in der Fassung möglich.

Zeigt eine Fehlermeldung in allen Bänken auf das gleiche Bit, so müssen die Adreßtreiber IC39, IC69 sowie der Datentreiber IC56 überprüft werden.

Die Multiplexsignale MUXH und MUXL, die von PAL 1 (IC25, Blatt 2) gebildet werden und über den unidirektionalen Treiber IC27 (AM2966, Blatt 2) an die Adreßtreiber IC 39, IC 69 gelangen, müssen sich stets ändern. Sie bewirken das Umschalten zwischen dem MSB und dem LSB, da der Adreßbus 16 Bit breit ist und 8 x 64k Speicherbausteine verwendet werden.



Takt

Blatt 1: An Pin 6 der CPU muß ein 4 MHz Takt (TTL-CLK) liegen. Falls nicht:

- > Blatt 4: Oszillator + Teiler (IC81, IC60) überprüfen, oder
- > Blatt 1: Clocktreiber (T1, T2, R1-R6) überprüfen.

Die Taktsignale müssen außerdem an SIO, PIO sowie CTC's anliegen.

Die Taktfrequenz wird während der BOOT-Phase halbiert, um auch langsame Proms verwenden zu können.

An der MMU muß am Strobe-Eingang (IC 55, Pin 5, Blatt 2) ein über IC 64 (Blatt 2) halbiertes Takt anliegen, falls SEL.MAP aktiv ist.

WAIT/

WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren. Ist also WAIT ständig aktiv, so werden die CPU-Signale wie z.B. MRQ/ "eingefroren".

Ein LOW-Signal am WAIT-Eingang zeigt der CPU, daß die angesprochenen Speicher- oder I/O-Bausteine zur Datenübertragung noch nicht bereit sind.

WR/

WR = aktiv bedeutet, daß die CPU Daten für den Speicher oder einen I/O-Baustein auf dem Datenbus bereithält.

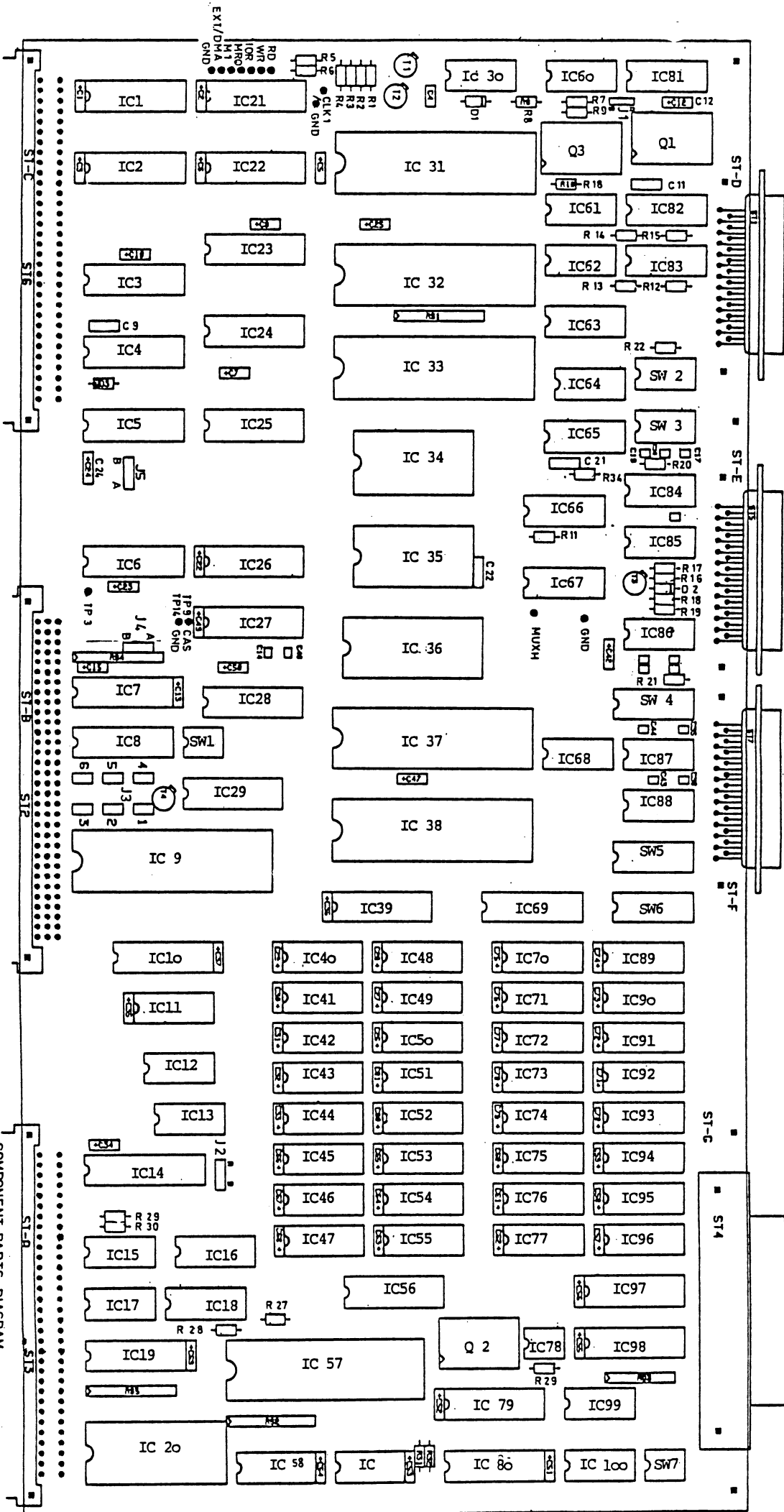
Während des Ablaufs des Programms wird immer wieder geprüft, ob ein neues Zeichen eingegeben worden ist. Dies geschieht in einem Unterprogramm, das mit CALL aufgerufen wird. Hierzu wird stets die Adresse des nächsten Befehls im Stack abgelegt, was zwei WRITE-Zyklen erfordert.

An TD 6 müssen deshalb WR/ Enable-Pulse in Zweiergruppen mit einem Abstand von ca. 16 us zueinander zu sehen sein. Der Abstand innerhalb einer Gruppe muß etwa 750 ns (= 3 Taktzyklen) betragen.

Kommen nun die WR/-Pulse nicht wie oben angegeben, muß untersucht werden, ob der benötigte RAM-Bereich beschrieben oder gelesen wird. Außerdem muß sichergestellt werden, ob überhaupt ein Programm ab Adresse 0 abgearbeitet werden kann.

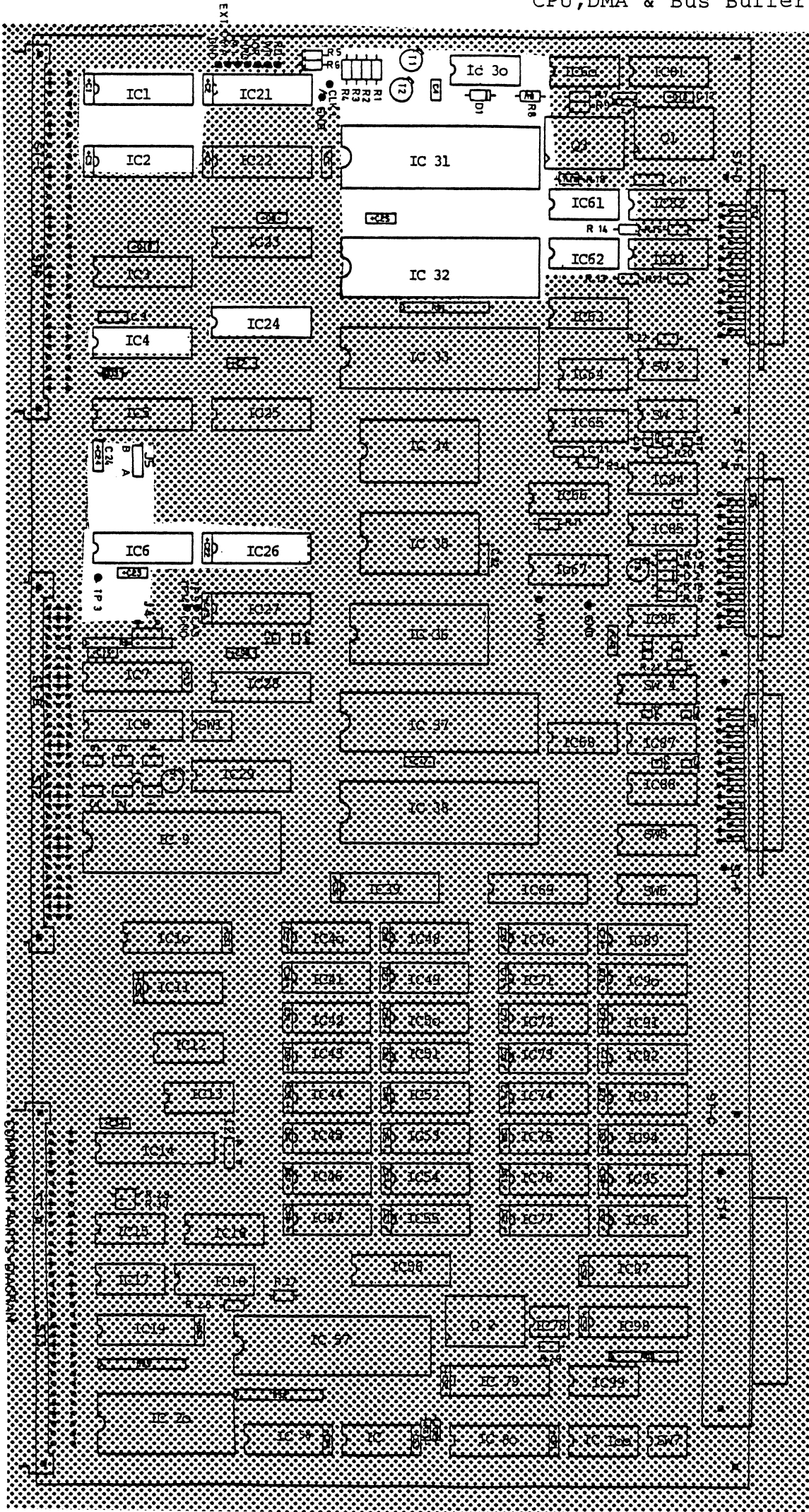
P458 1.1 TCB / Z 80

COMPONENT PARTS-DIAGRAM

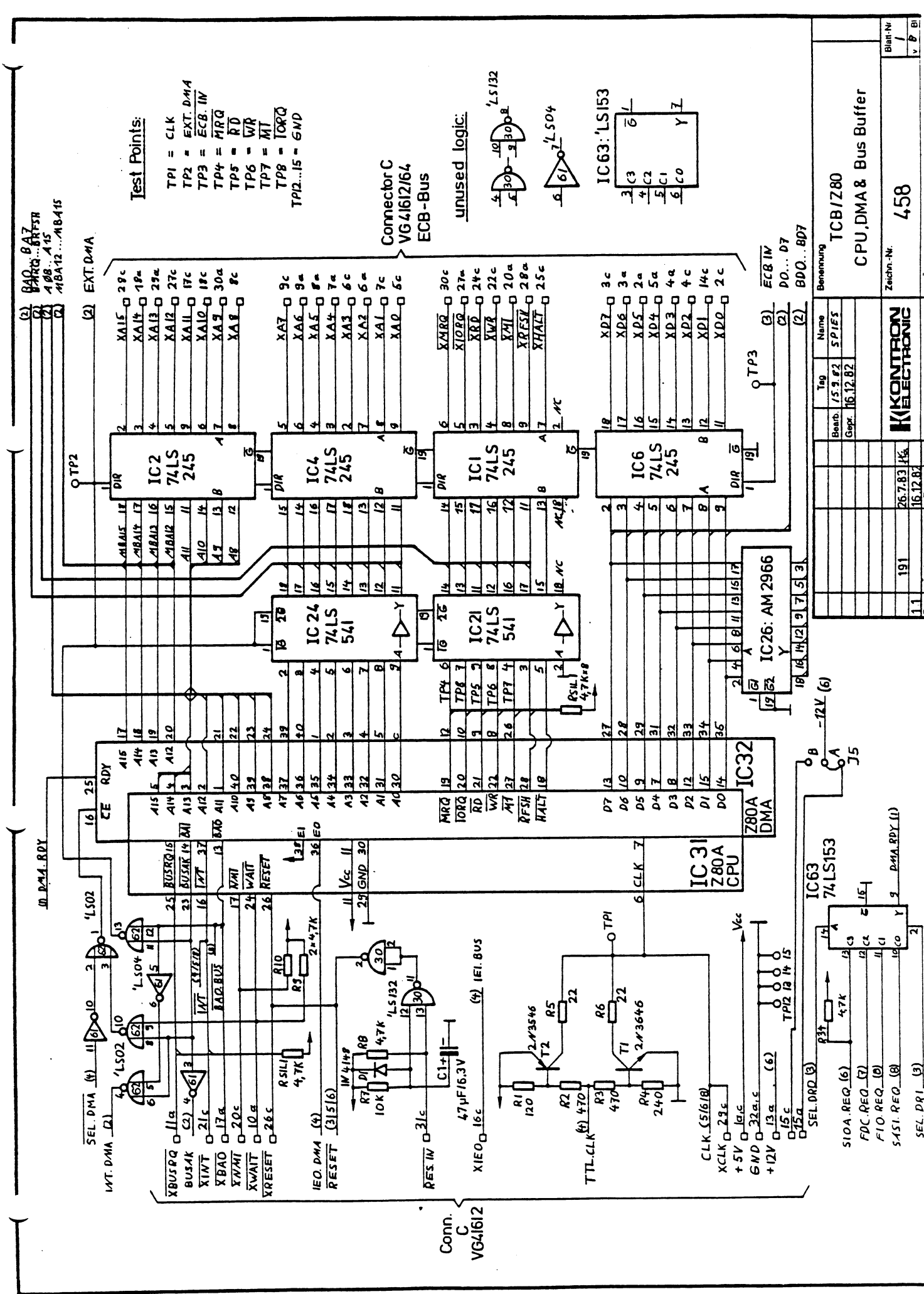


TCB/ Z80
CPU, DMA & Bus Buffer

P.458 11 TCB/ Z 80



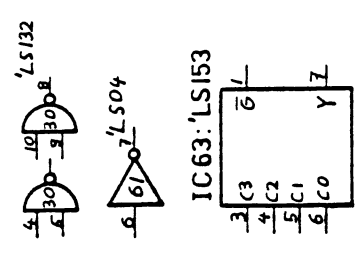
COMPONENT PARTS DIAGRAM



Test Points:
 TP1 = CLK
 TP2 = EXT. DMA
 TP3 = ECB. IN
 TP4 = MRQ
 TP5 = RD
 TP6 = WR
 TP7 = M
 TP8 = TORQ
 TP12...15 = GND

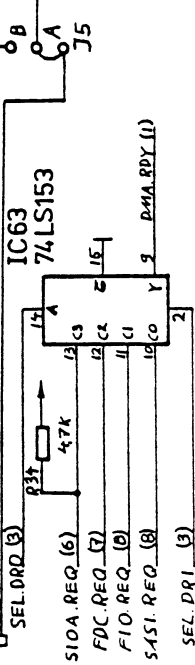
Connector C
 VG41612/64
 ECB-Bus

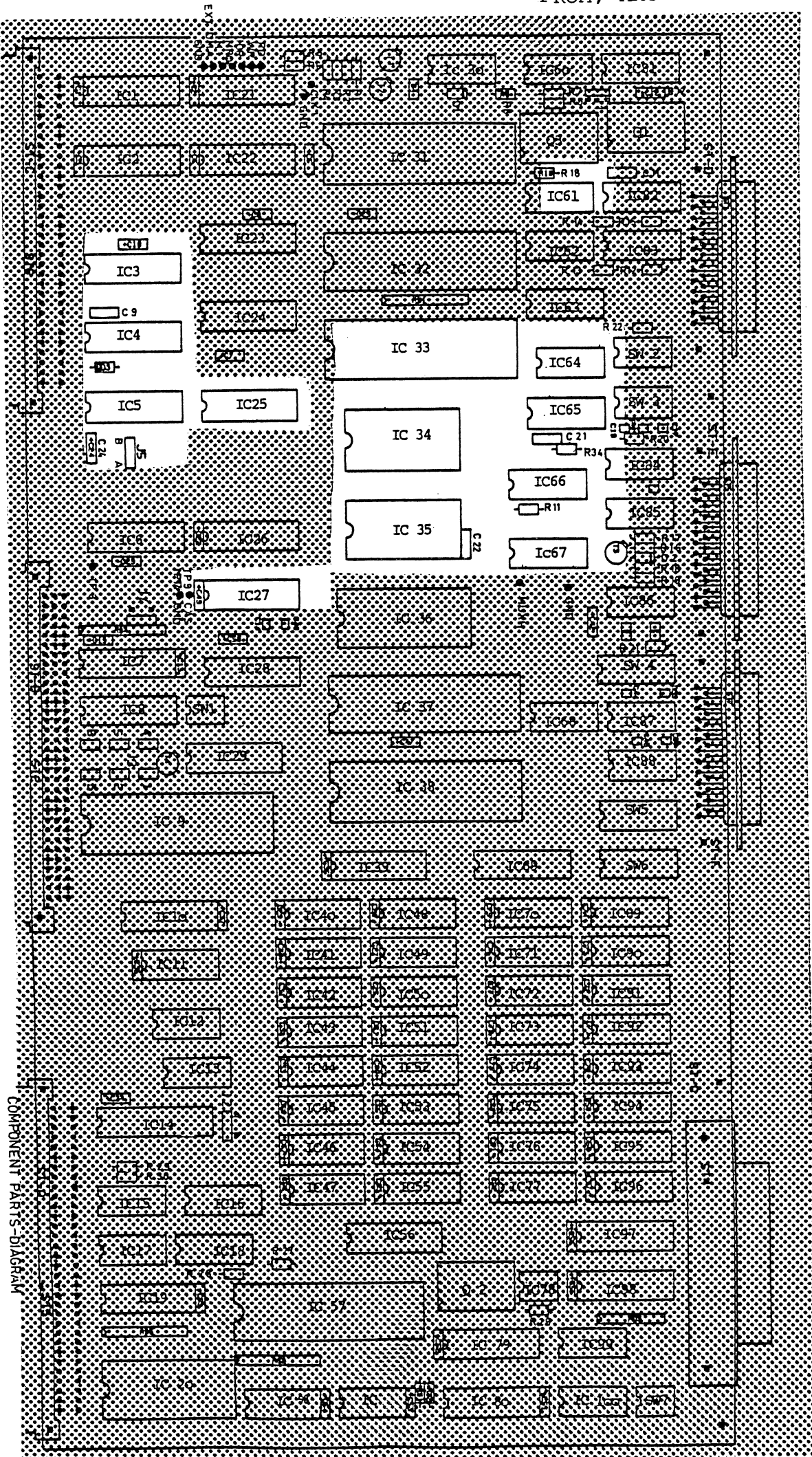
unused logic:



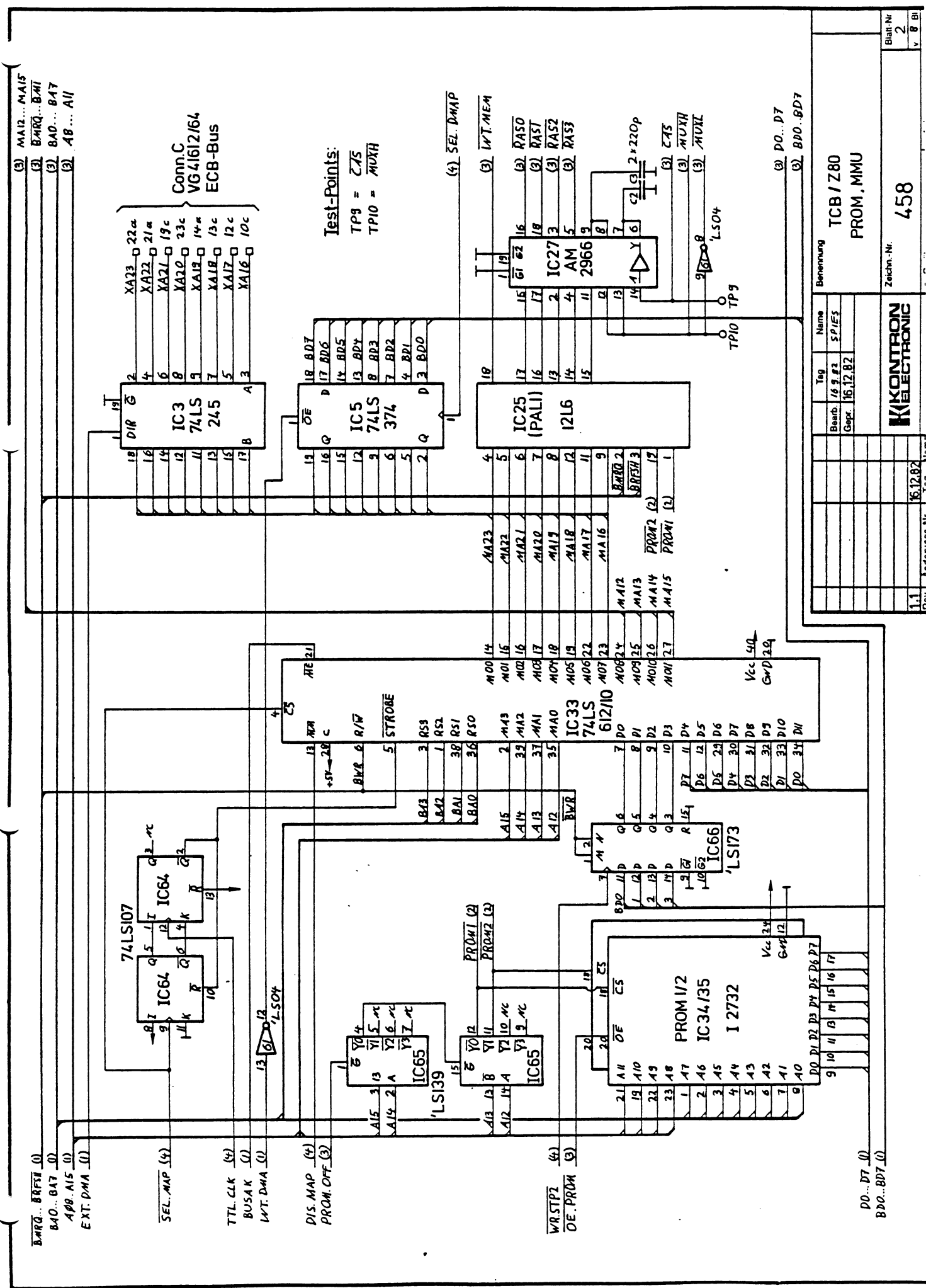
Benennung		TCB/Z80	
Name		CPU, DMA & Bus Buffer	
Tag	15.9.82	SPIES	
Beinh.	16.12.82	Gepr.	
Zeichn.-Nr.		458	
Blatt-Nr.		1	
1.1		26.7.83	1%
		16.12.84	

Conn.
 C
 VG41612



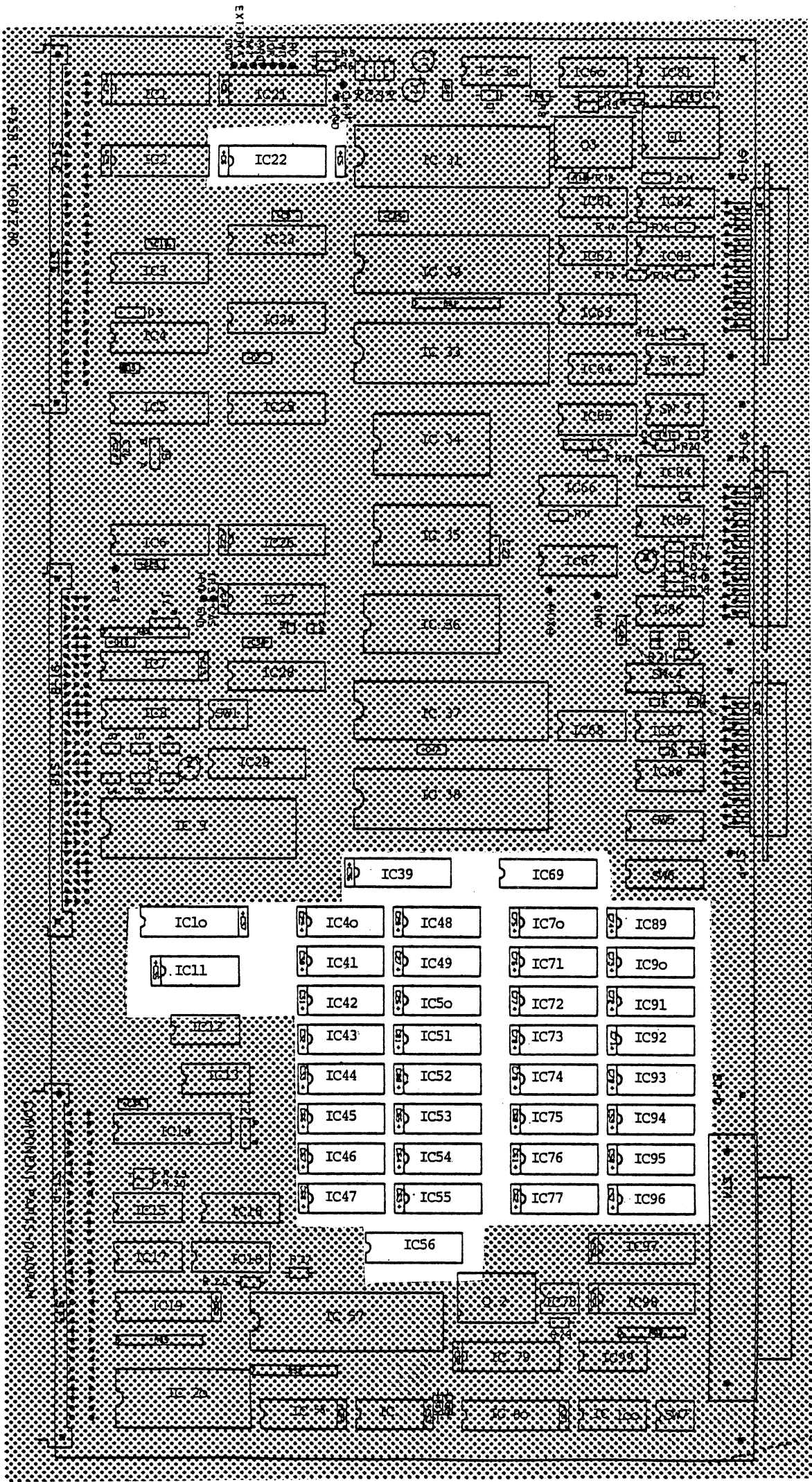


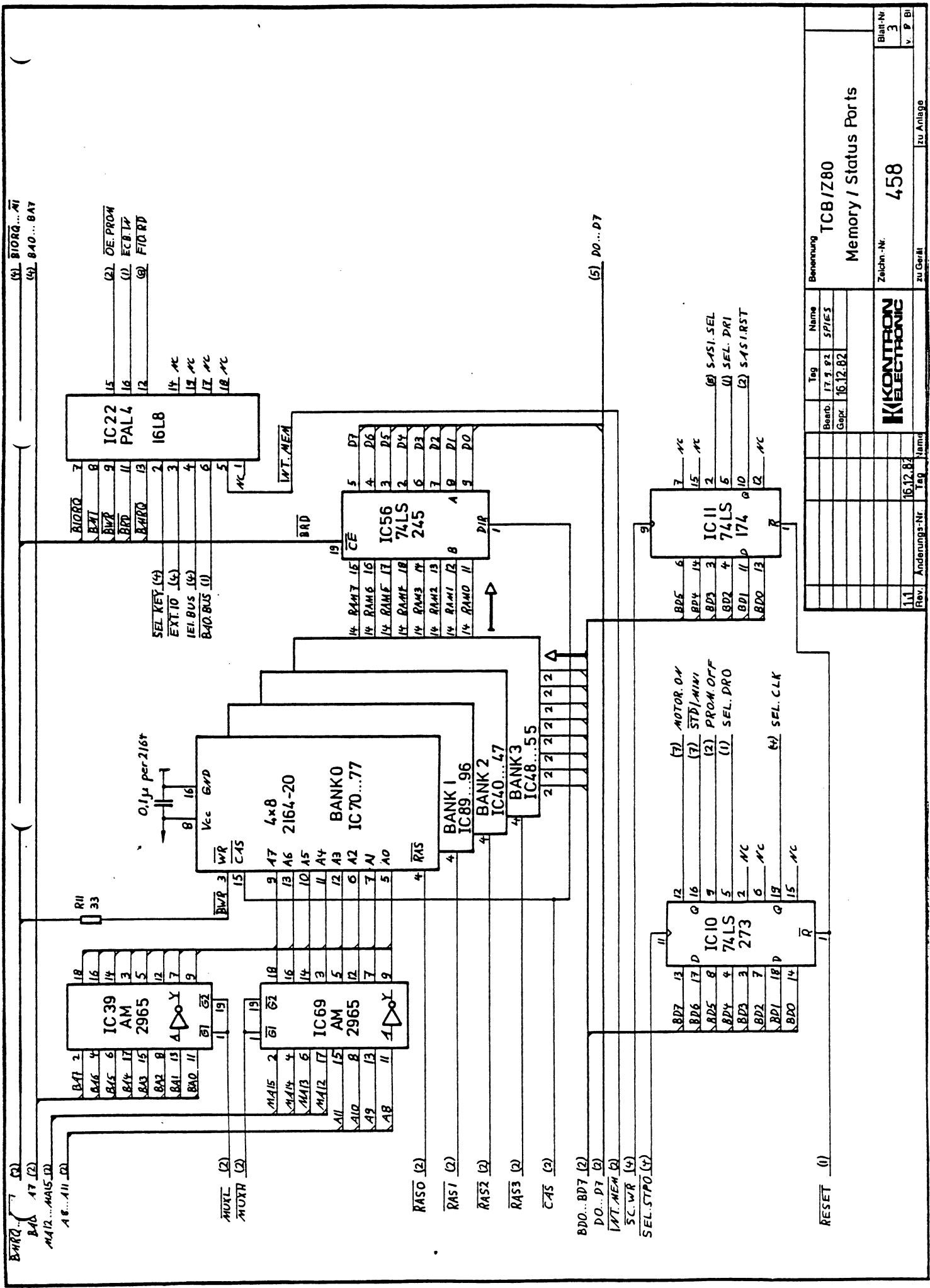
COMPONENT PARTS DIAGRAM



Benennung	
TCB / Z80	
PROM, MMU	
458	
Zeichn.-Nr.	
1.1	
16.12.82	
KIKONTRONIK ELECTRONIC	
Tag	
Name	
S.P.I.E.S	
Bearb. 16.9.82	
Gepr. 16.12.82	
Blatt-Nr.	
2	
v. 8 B.	

TCB/Z80
Memory / Status Ports





Rev.	Änderungs-Nr.	Tag	Name
111		16.12.82	

Beauf.	Tag	Name
17.1.82		SF/ES
Gepr.	16.12.82	

Benennung	
TCB/Z80	Memory / Status Ports

Zeichn.-Nr.	
458	

zu Gerät	

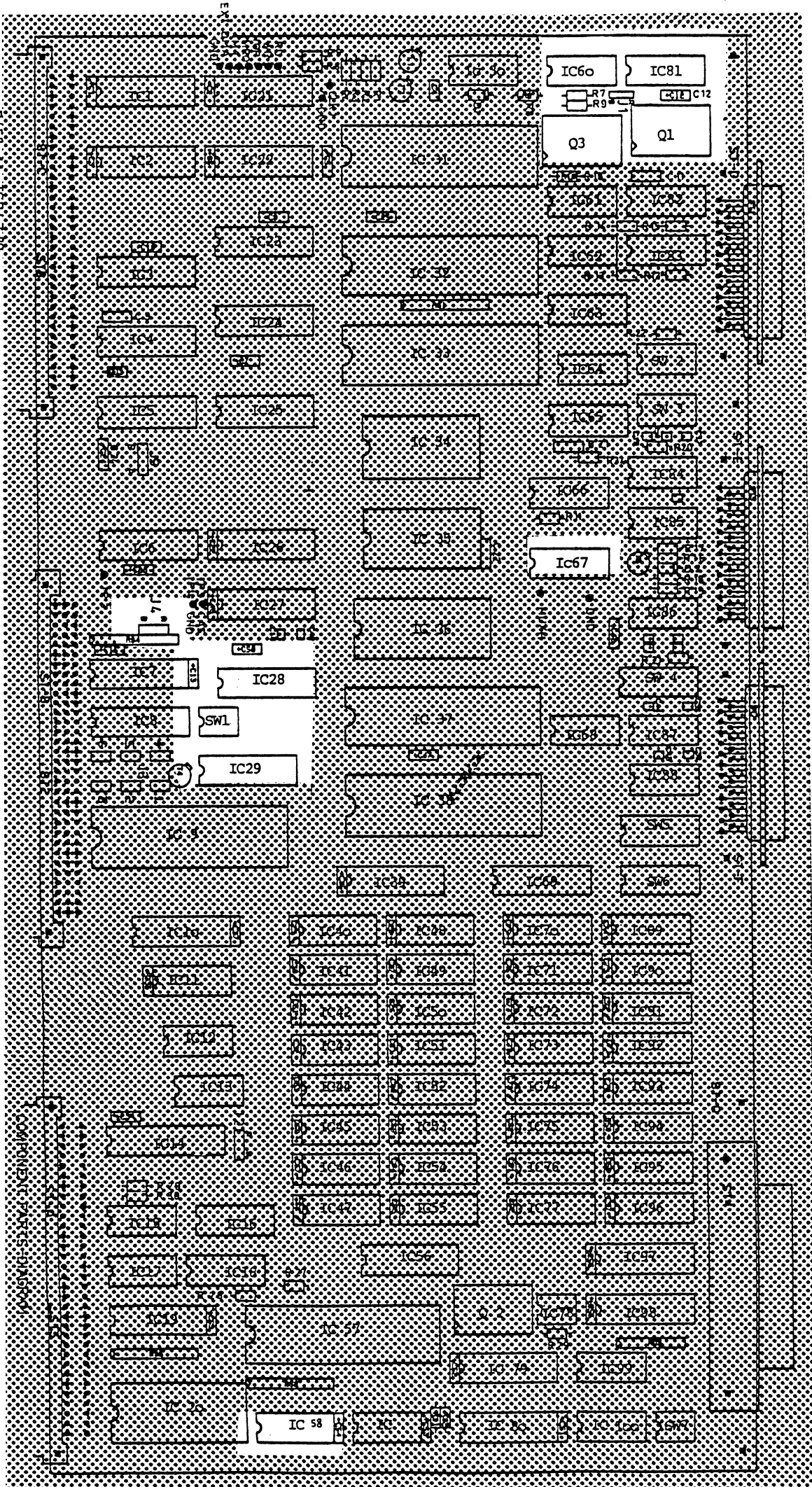
Blatt-Nr.	
3	

zu Anlage	

Rev.	Änderungs-Nr.	Tag	Name
111		16.12.82	

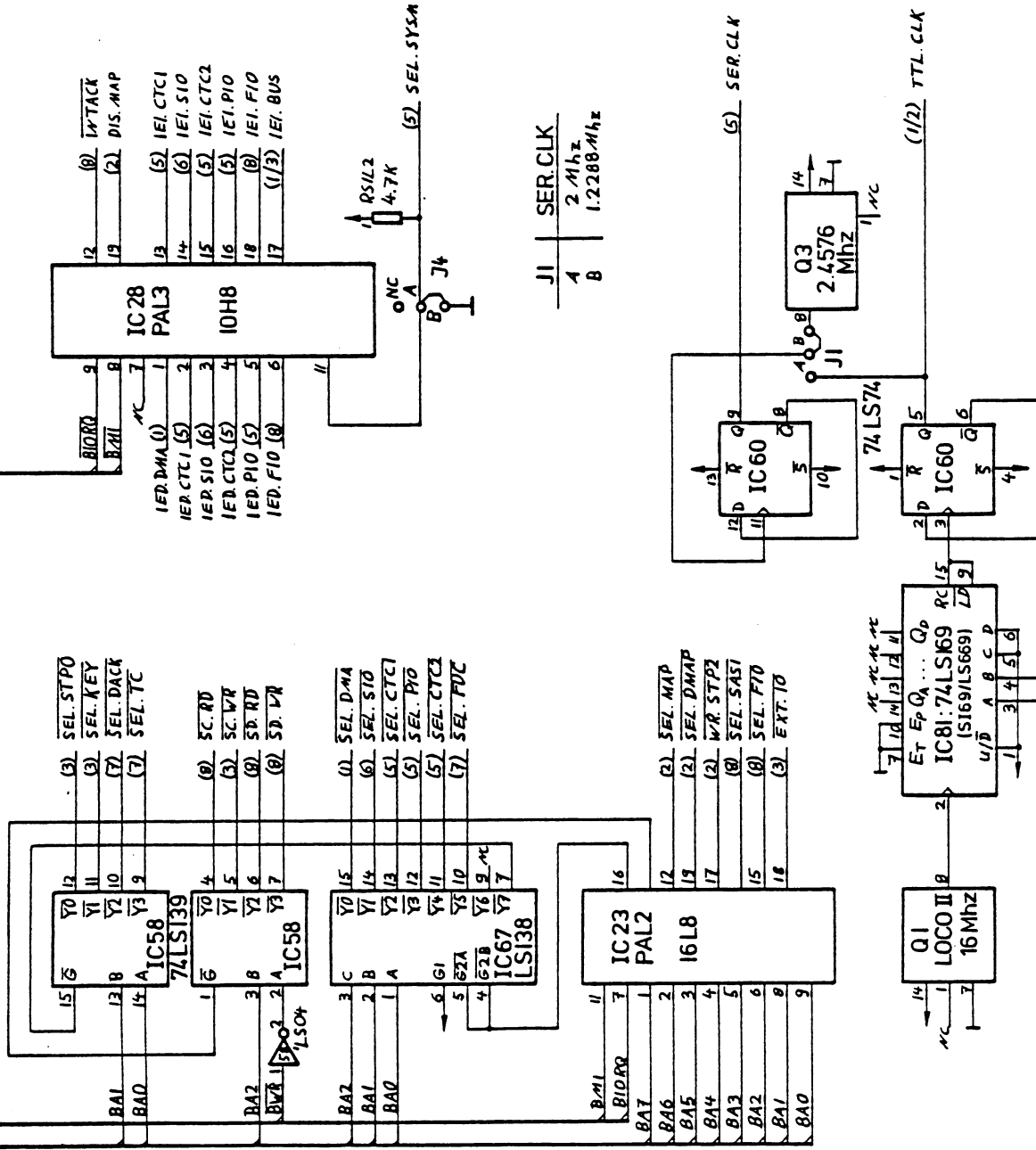
TCB / Z80
I/O-Addr.Dec./Clock

P.58 11 TCB / Z80



(5) BIORQ... BAI
(5) BAO/BAI

BIORQ... BAI (3)
BAO... BA7 (3)

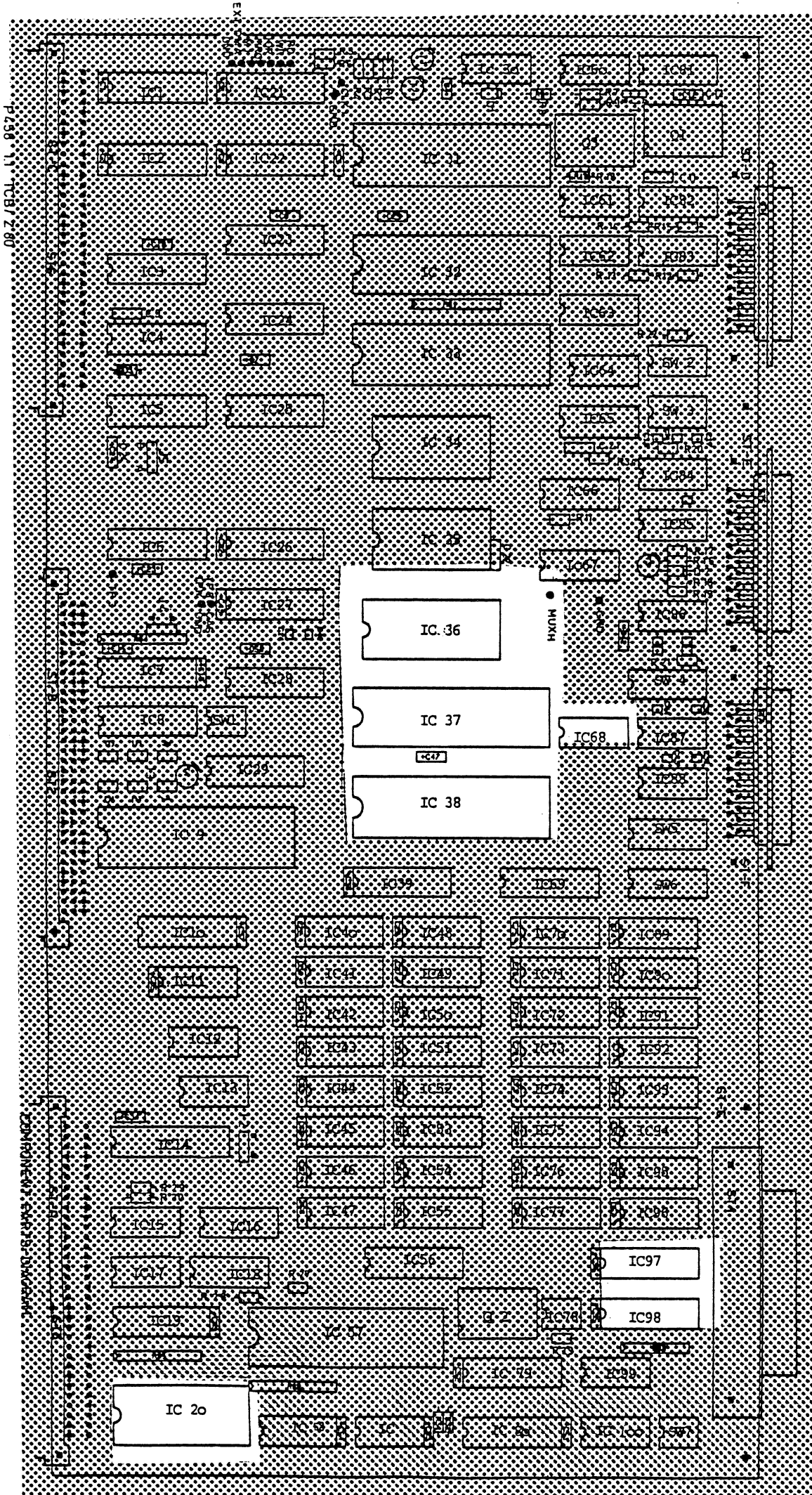


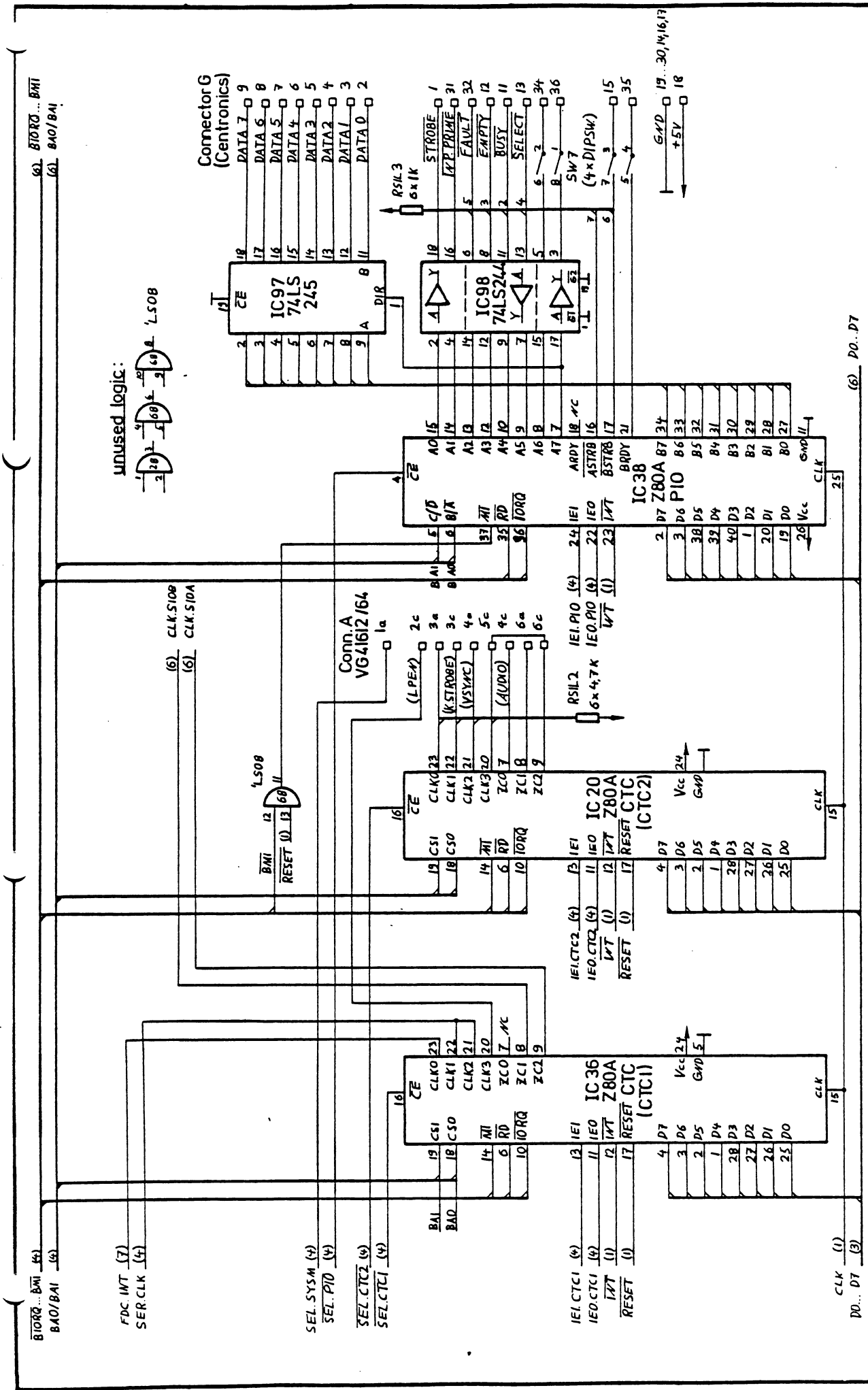
J1	SER.CLK
4	2 Mhz
8	1.2288 Mhz

SEL. CLK (3)

Rev.	1.1	Änderungs-Nr.	16.12.82	Tag	Name	Benennung
					SPIES	TCB/Z80
						I/O - Addr. Dec./Clock
						Zeichn.-Nr. 458
						Blatt-Nr. 4
						v. 8 Bl.
						zu Gerät
						zu Anlage







Tag	Name
2.0.9.82	SP/IES
16.12.82	

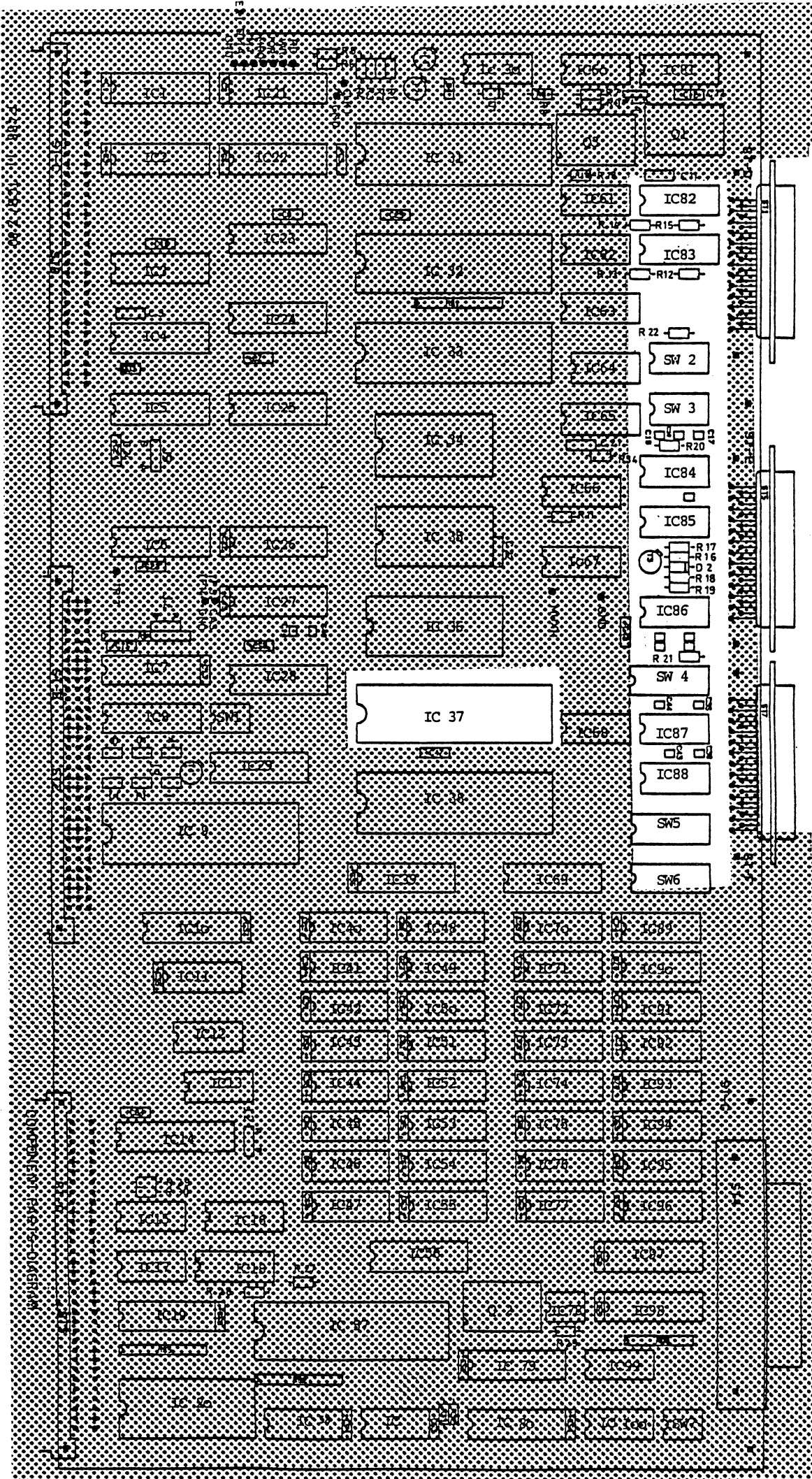
Benennung		ICB/Z80
Zeichn.-Nr.		458
Blatt-Nr.		5
V. B. Bl.		

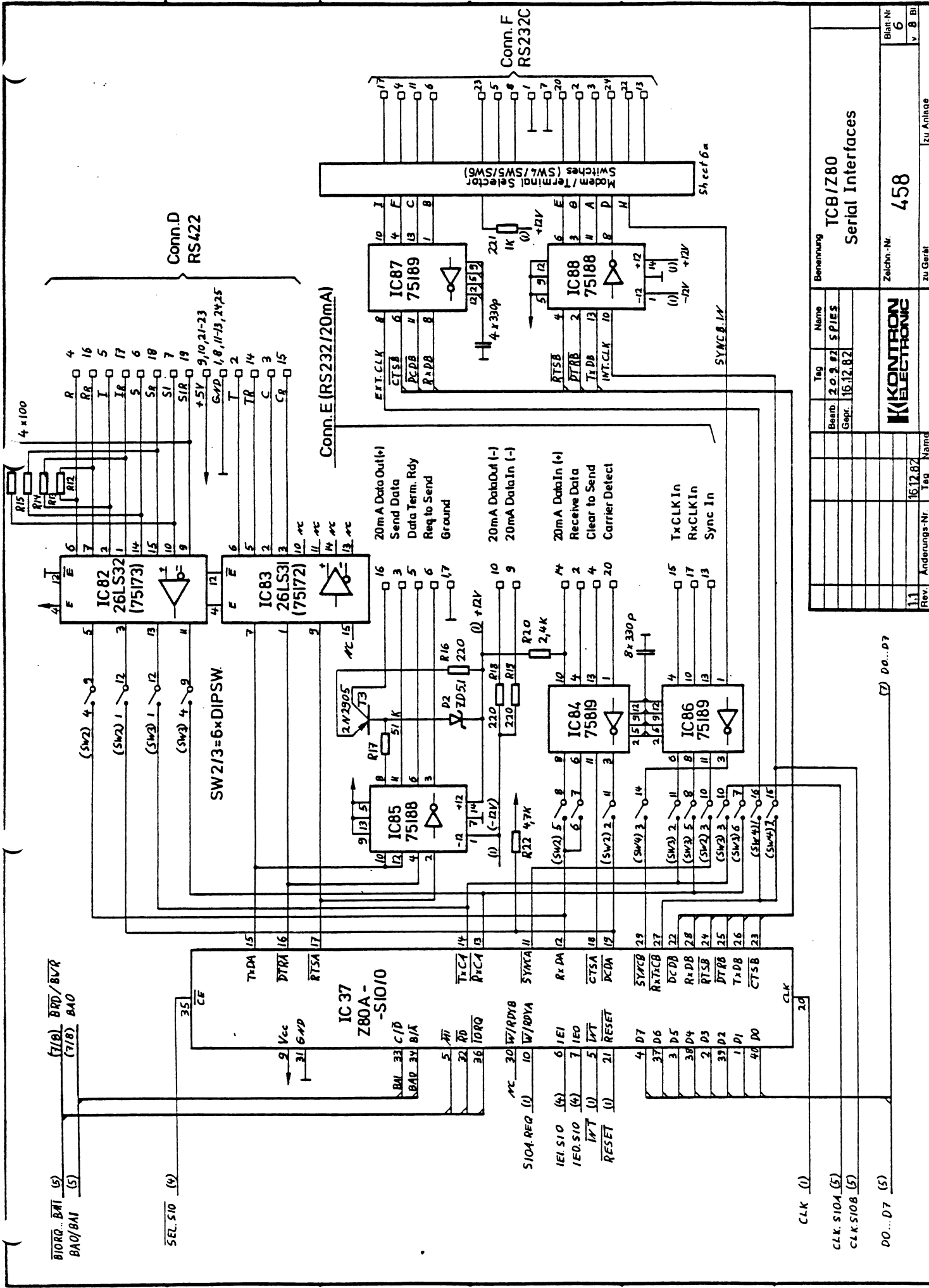
1.1	Technische Skizze	16.12.82	
-----	-------------------	----------	--

VIA GmbH

Benennung		ICB/Z80
Zeichn.-Nr.		458
Blatt-Nr.		5
V. B. Bl.		

TCB /Z 80
Serial Interface





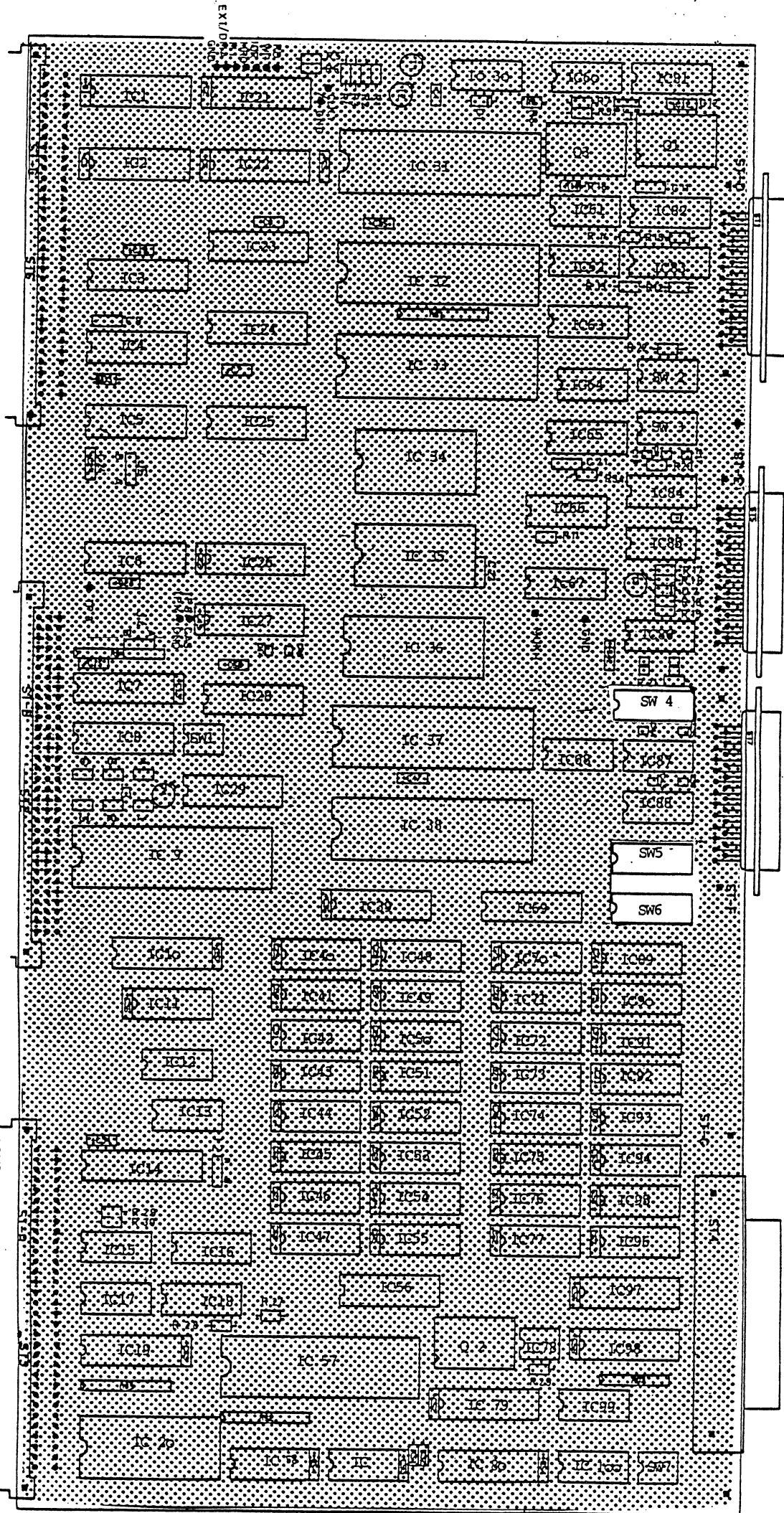
Rev.	Änderungs-Nr.	Name	Tag	Name	Benennung
1.1	16.12.87	19	20.9.87	SPLES	TCB/Z80
			16.12.82		Serial Interfaces
KONTRONIK ELECTRONIC					
Zeichn.-Nr. 458					Blatt-Nr. 6
Zu Gerät					v. 8 Bl.
Zu Anlage					

(7) 00...07

CLK (1)
CLK SIOA (5)
CLK SIOB (5)
00...07 (5)

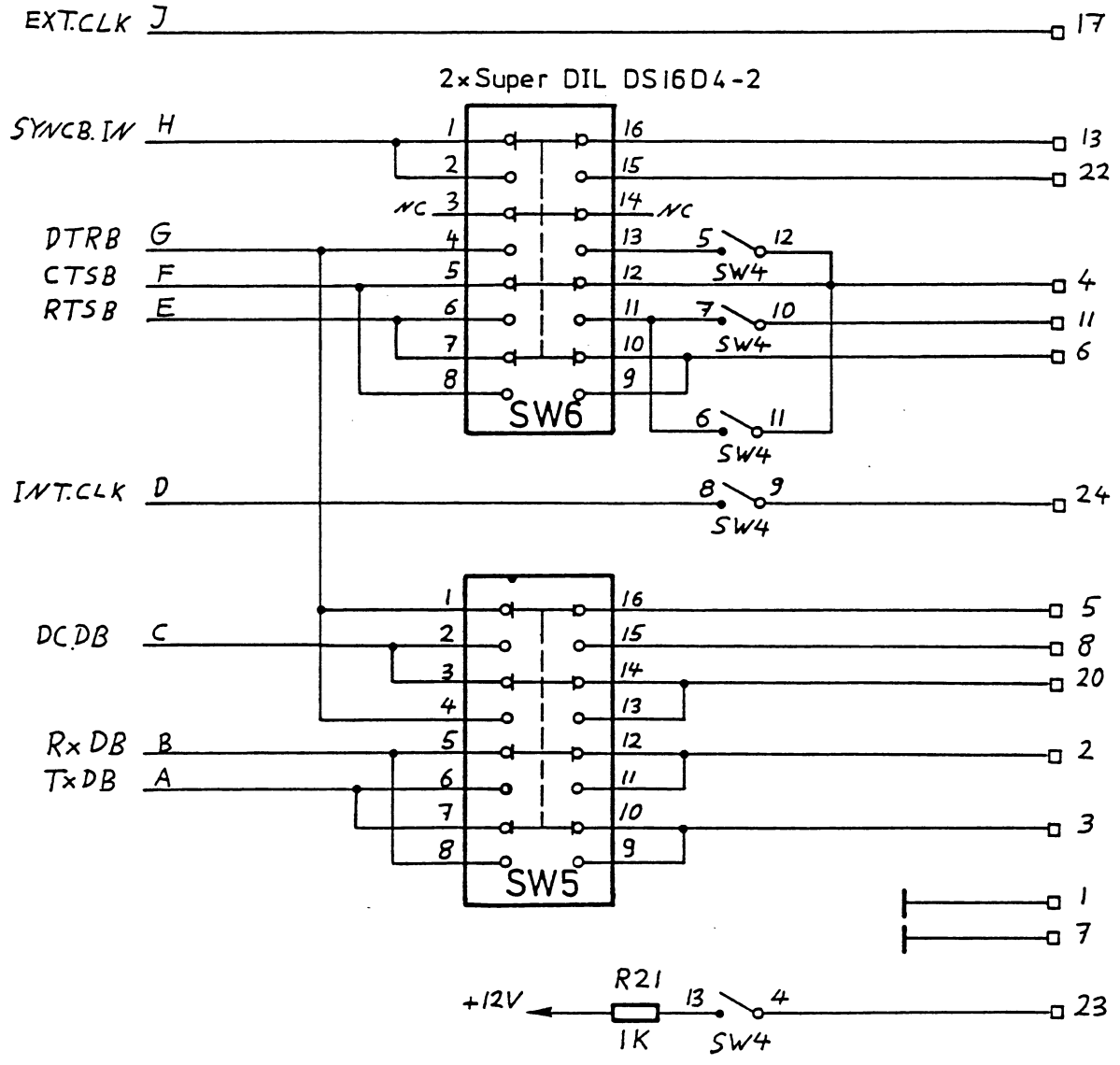
P458 11 TCB / Z 80

COMPONENT PARTS-DIAGRAM



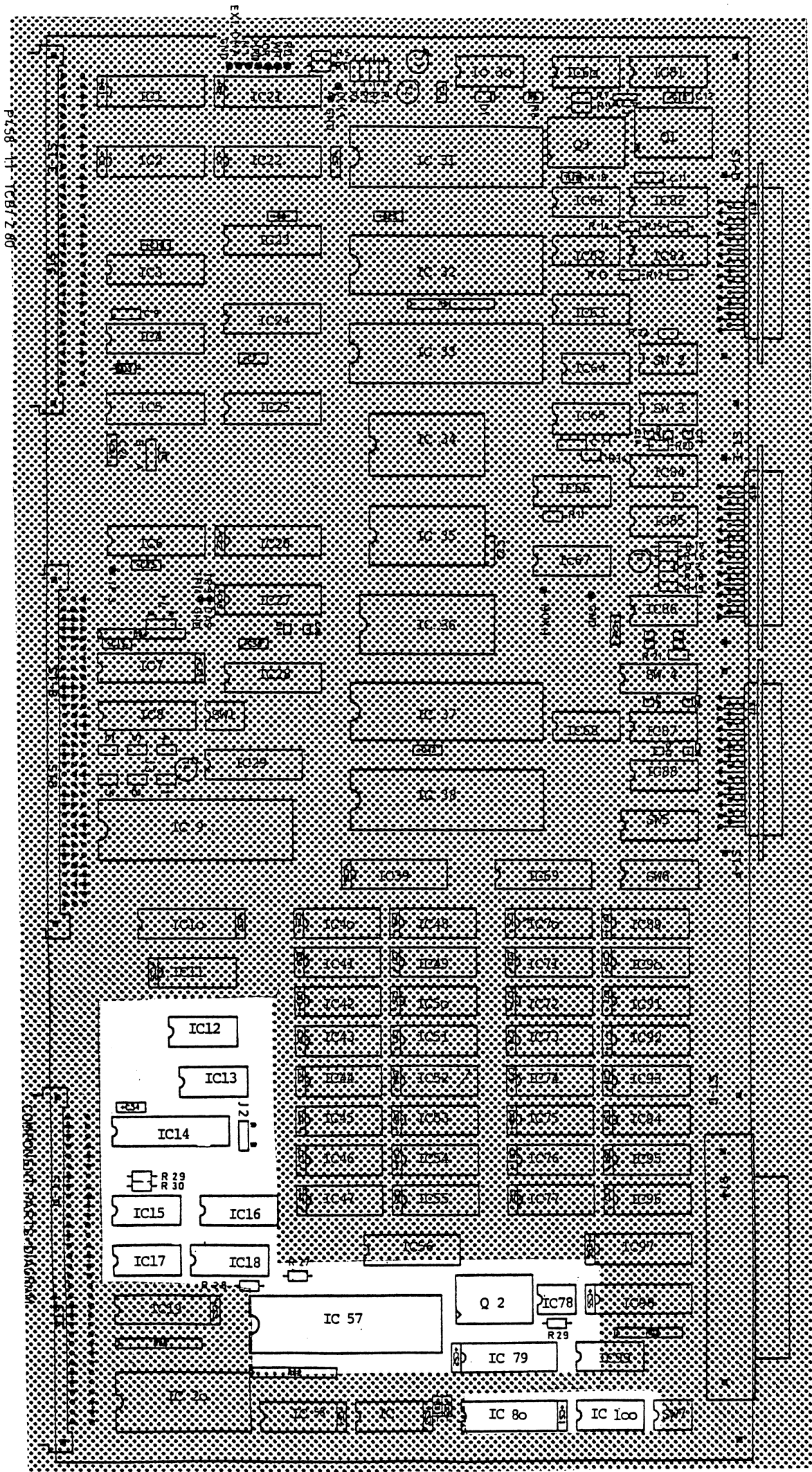
Terminal
 ↑
 Modem

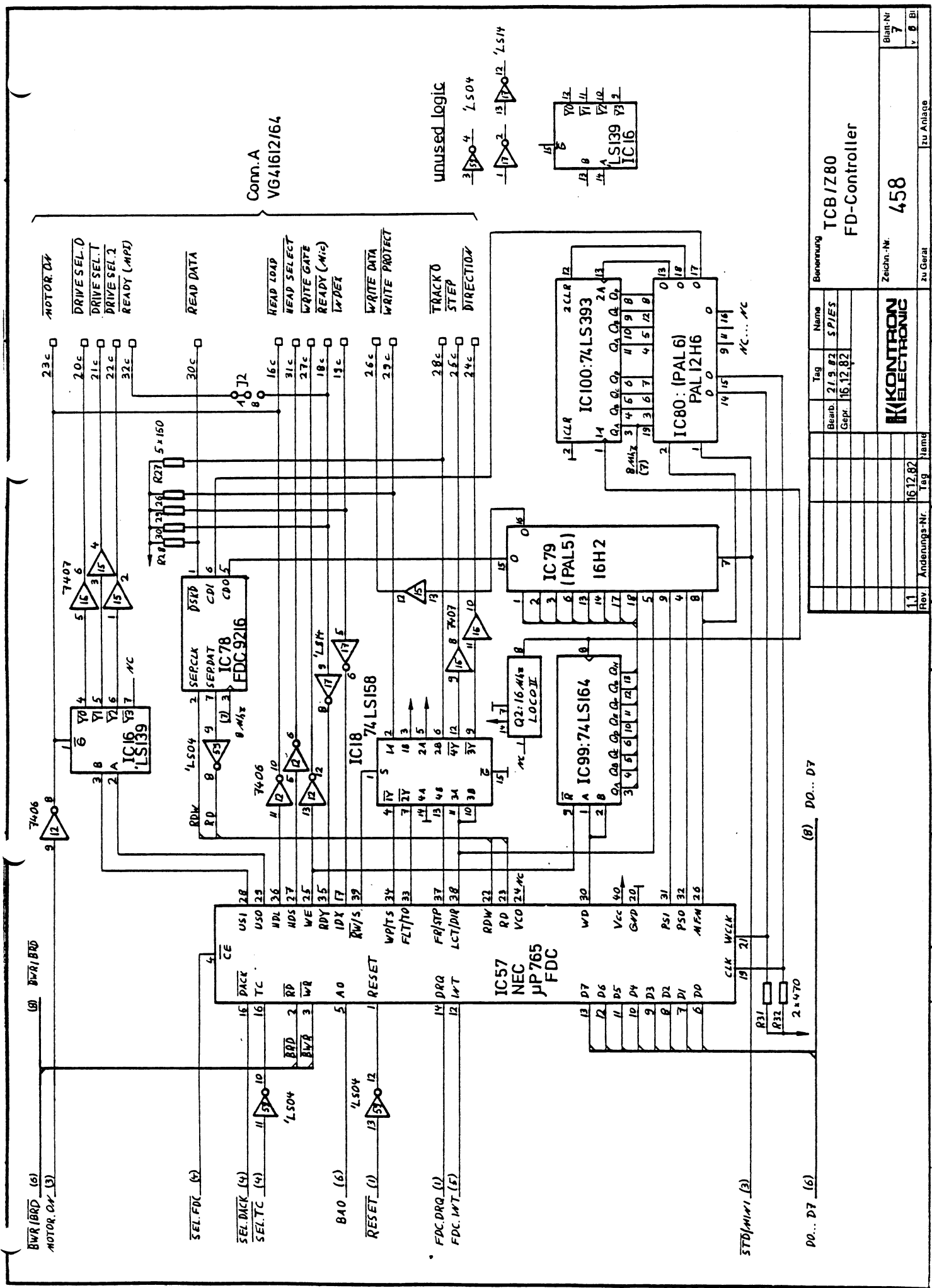
Conn. F
 RS232C
 Terminal/Modem



			Tag	Name	Benennung	TCB/Z80 Terminal/Modem Switches
		Bearb.	20.9.82	SPIES		
		Gepr.	16.12.82			
					Zeichn.-Nr.	458
						Blatt-Nr. 6a v. 8
1.1		16.12.82			zu Gerät	zu Anlage
Rev.	Anderungs-Nr.	Tag	Name			

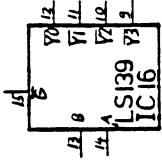






Conn. A
VG41612/64

unused logic
3-5-4 'LS04
1-7-2-13-12 'LS14



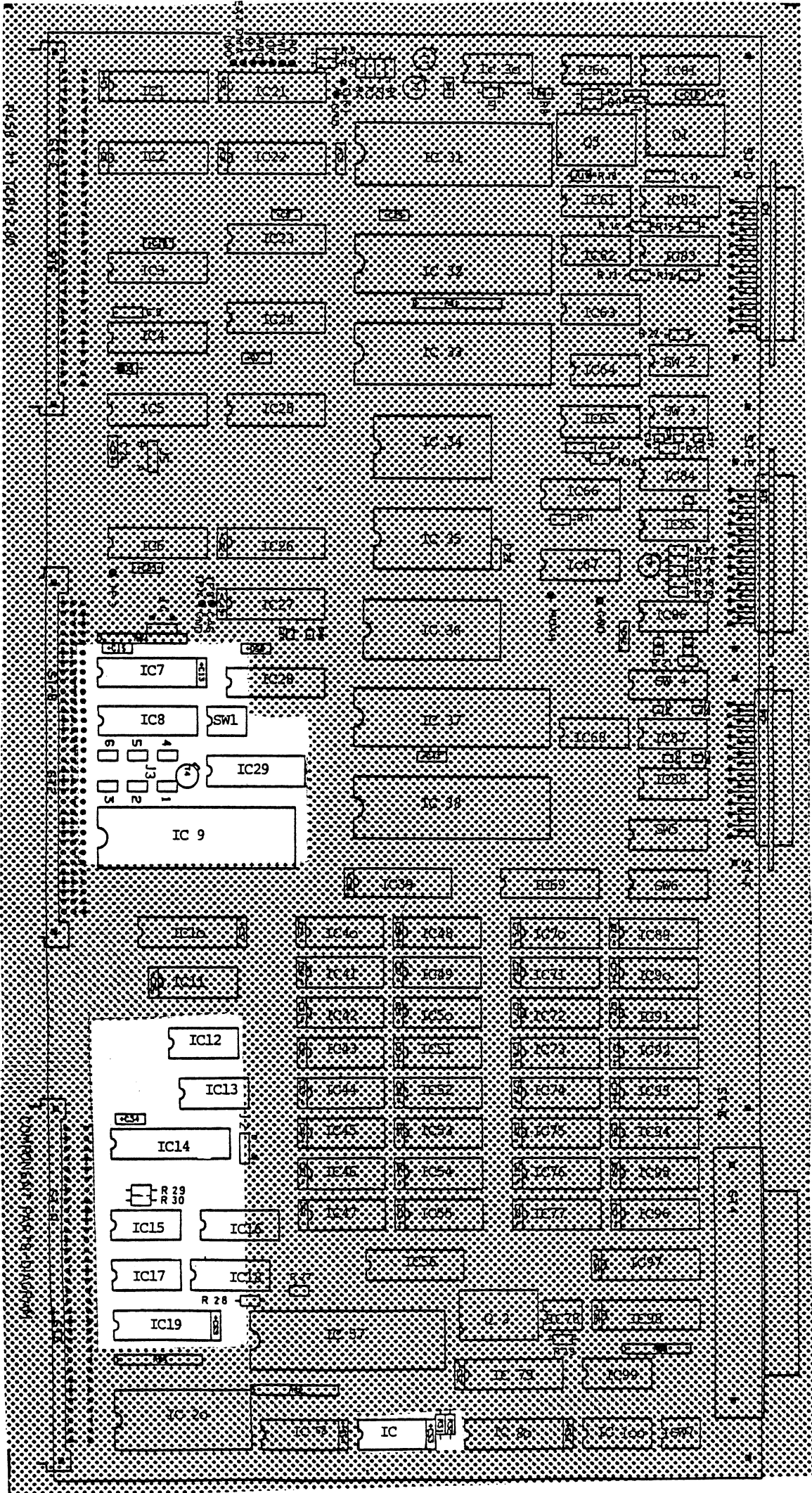
(B) DO... D7

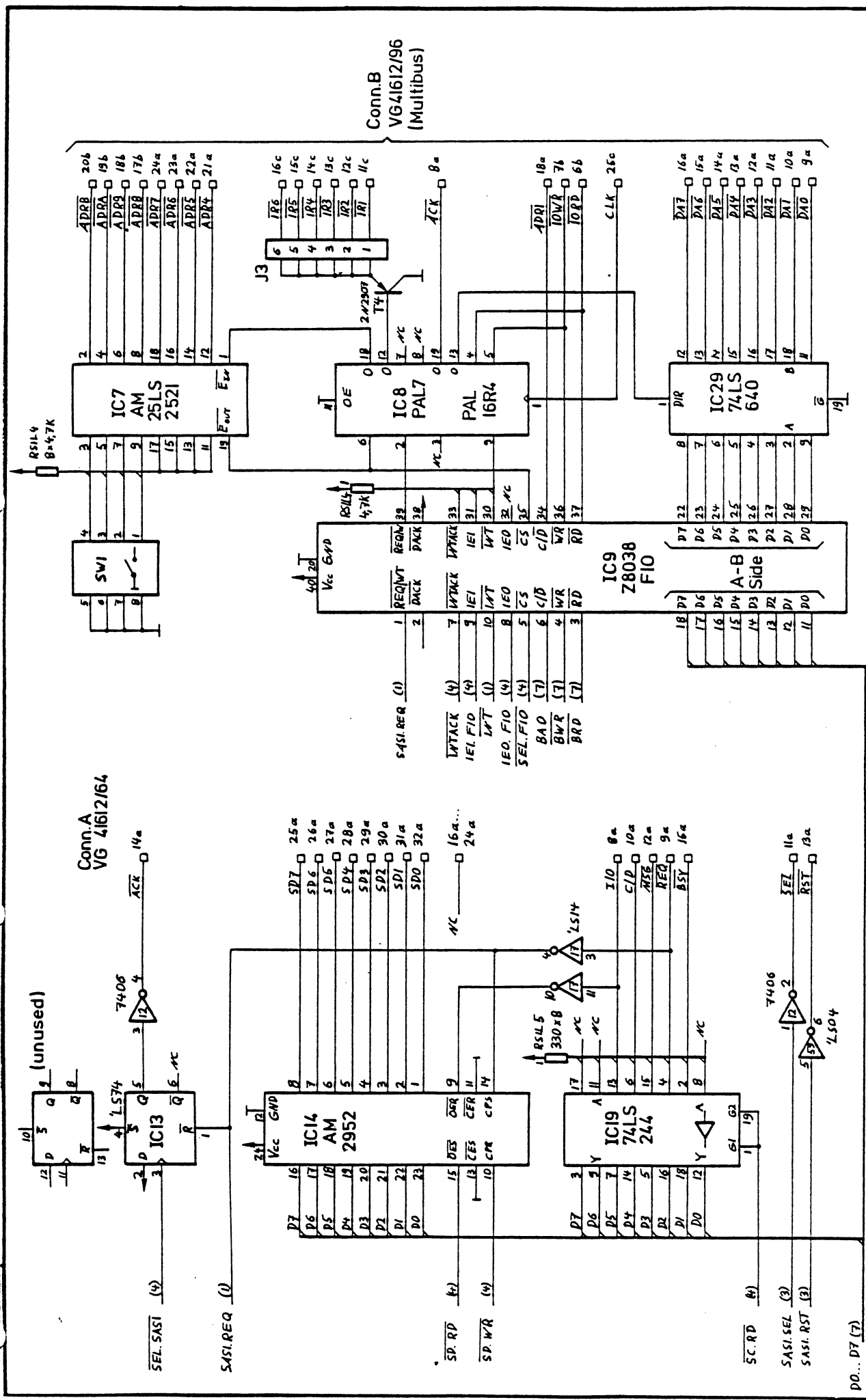
DO... D7 (6)

Rev.	1.1	Änderungs-Nr.	16.12.82	Tag	16.12.82	Name	SPIES	Bearb.	21.9.82	Bemennung	TCB/Z80 FD-Controller	Blatt-Nr.	7
Handl.		Handl.		Handl.		Handl.		Handl.		Handl.		v	6
											Zeichn.-Nr.	458	
											zu Gerät	zu Anlage	



TCB / Z80
SASI - Interface





Bezeichnung		TCB/Z 80	
SASI-Interface		SASI-Interface	
Multibus-Interface		Multibus-Interface	
Zeichn.-Nr.		458	
Blatt-Nr.		8	
Tag	Name	Bearb.	21.9.81
		Gepr.	16.12.82
KONTRON ELECTRONIC			
		16 TP R2	



Beschreibung der TCB/IOV Hardware

Dieser Abschnitt beschreibt den E/A-Teil der Systeme KONTRON PSI980/9800 und 9868. Die hierin enthaltenen Informationen sind wesentlich für den Systemprogrammierer, der zusätzliche Hardwarefunktionen integrieren will. Außerdem ist dieses Kapitel für den Servicetechniker wertvoll, der Fehler auf dieser Baugruppe beseitigen will.



I N H A L T

1. Einführung
 - 1.1 Übersicht
 - 1.2 Zweck der Dokumentation
 - 1.3 Kurzbeschreibung der Baugruppe
 - 1.4 LSI-Schaltkreise
 - 1.5 Definitionen

2. ECB-Bus-Interface
 - 2.1 Spannungsversorgung
 - 2.2 I/O-Adreßdecodierung
 - 2.3 Statusports
 - 2.3.1 Statusport 0
 - 2.3.2 Statusport 1

3. Videoteil
 - 3.1 Video Controller
 - 3.2 Bildwiederholtspeicher
 - 3.3 Video-Interface

4. Tastaturanschluß

5. RS232-Schnittstellen

6. IEEE-488-Interface

7. Watchdog-Zeitgeber

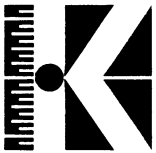
8. Echtzeituhr

9. Lautsprecher-Interface

10. Elektrische und mechanische Spezifikationen

11. Steckerbelegungen, PALs, Voreinstellungen
 - 11.1 Belegung Stecker A
 - 11.2 " " C (ECB)
 - 11.3 " " C (ECB) nach Signalgruppen geordnet
 - 11.4 " " I (IEEE 488)
 - 11.5 Liste aller IC's
 - 11.6 Bezeichnung und Programmierung aller PAL-Bausteine
 - 11.7 Voreinstellung der Jumper
 - 11.8 Liste aller I/O-Adressen
 - 11.9 Unterschied Rev. 1.1M2 und Rev. 1.1

12. Servicehinweise für TCB/IOV
 - 12.1 Reperaturflußplan für TCB/IOV
 - 12.2 Signal-/Baugruppenerläuterung



Liste der Tabellen:

Nummer	Titel
1	KDT6-kompatible I/O-Adressen
2	Zusätzliche I/O-Adressen
3	I/O-Adressen der Statusports
4	Bitzuordnung von Statusport 0
5	Bitzuordnung von Statusport 1
6	I/O-Adressen des Bildwiederholerspeichers
7	Pinbelegung des Videoanschlusses (Stecker G)
8	I/O-Adressen der Tastaturports
9	Pinbelegung des Tastaturanschlusses (Stecker D)
10	I/O-Adressen der seriellen Schnittstellen
11	Programmierung der Baudrate über CTC1
12	Pinbelegung von Stecker F
13	Pinbelegung von Stecker E
14	I/O-Adressen des Watchdog
15	Adressen der Realtime Clock
16	Pinbelegung von Stecker A
17	Pinbelegung von Stecker C (ECB)
18	Pinbelegung von Stecker C (ECB), geordnet nach Signalgruppen
19	Pinbelegung von Stecker I (IEEE488)



1. Einführung

Die Baugruppe TCB/IOV ist eine Erweiterungsplatine zum Single-Board-Computer TCB/Z80.

1.1 Übersicht

Sie ist als Ein-/Ausgabe- und Video-Board konzipiert und enthält neben einem kompletten Video-Teil mit Controller und 64k*10 bit Video-RAM zahlreiche E/A-Schnittstellen für Tastatur, Terminals, Peripheriegeräte und eine IEEE488-Schnittstelle. Außerdem enthält sie so nützliche Einrichtungen wie Echtzeituhr, Watchdog-Zeitgeber und Lautsprecher-Interface.

Die TCB/IOV wird über den ECB-Bus angesteuert.

Die Baugruppe TCB/IOV, im weiteren kurz IOV genannt, ist im Dreifacheuroformat (366,7 mm x 185 mm) ausgeführt. Sie bildet zusammen mit der TCB/Z80 einen Rechner, der kompatibel zur Baugruppe KDT6 (ab Rev. 1.2) ist.

Abbildung 1 zeigt das Blockschaltbild der TCB/IOV.

1.2 Zweck der Dokumentation

Diese Dokumentation soll dem hardwarenahen Programmierer die notwendige Information vermitteln und insbesondere den Anschluß von Peripherie erleichtern. Beschrieben ist eine maximal aufgerüstete Version der IOV. Maßgeblich für die Ausführung der Baugruppe in Systemen ist die jeweilige Spezifikation des Systems. Diese Dokumentation gibt keine Auskunft über die Verfügbarkeit von Ausführungsvarianten in Systemen auf Basis dieser Baugruppe.

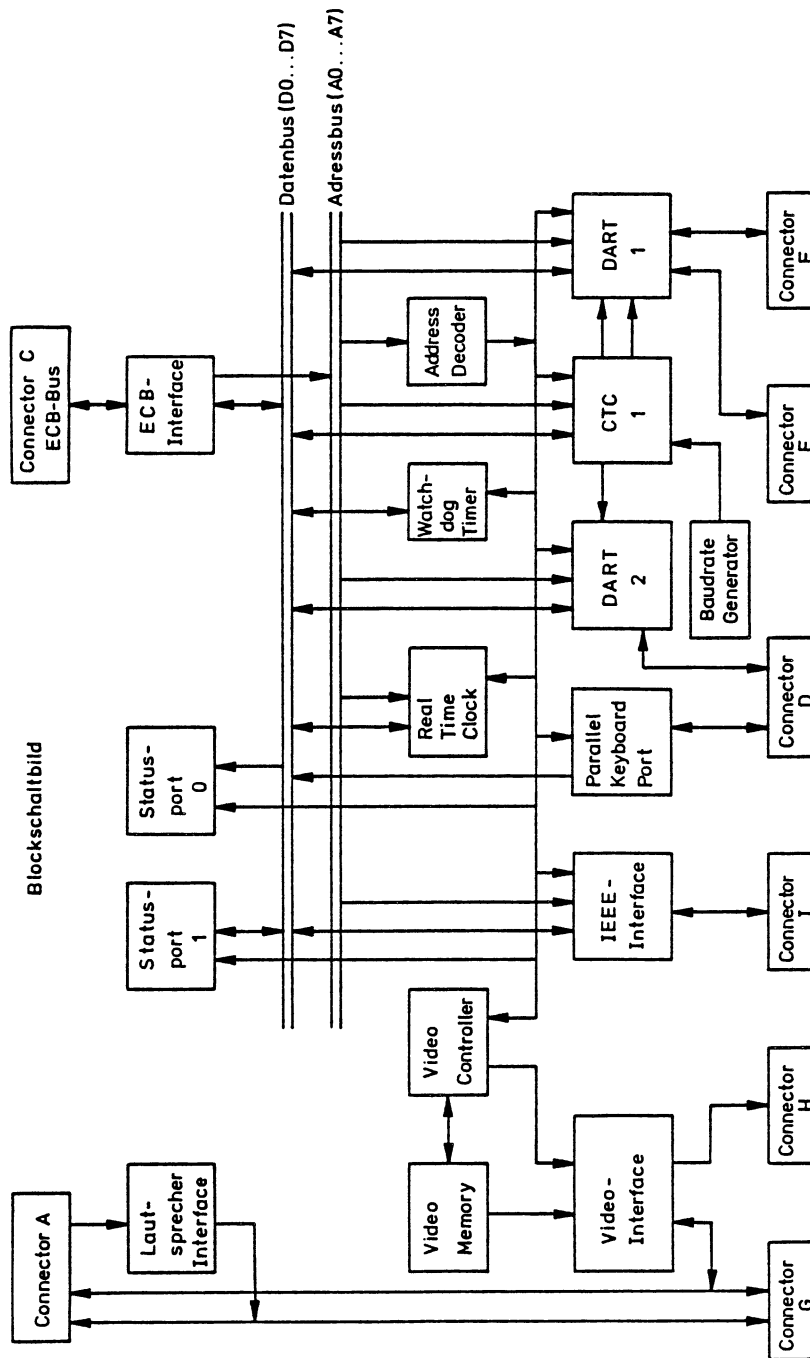


Abbildung 1: Blockschaltbild der TCB/IOV



1.3 Kurzbeschreibung der Baugruppe

Die IOV enthält folgende Funktionseinheiten:

- a) ECB-Interface mit I/O-Adressdekodierung (Stecker C)
 - 64k*10bit Video-RAM
 - CRT-Controller MC6845
 - alphanumerische oder graphische (256x512 Punkte) Betriebsweise
 - Zeichenblinken
 - Zeicheninvertierung
 - Bildschirminvertierung
 - 25 Zeilen a 80 Zeichen in alphanumerischer Betriebsweise
 - Zeichengenerator (max. 8 kByte)
 - Composite-Video-Ausgang
 - Lightpen-Anschluß

- c) Tastaturanschluß
 - parallel (TTL über 74LS374)
 - seriell (RS422-Treiber an Z80A-DART)

- d) RS232- bzw. V24-Anschlüsse (2x, Stecker E und F)
 - asynchron über Z80A-DART
 - Baudrategenerator Z80A-CTC
 - 1,2288 MHz Takt für exakte Baudrate-Erzeugung

- e) IEEE Standard 488-Interface (Stecker I)
 - i8291 Talker/Listener
 - Z80A-PIO
 - Z80A-CTC
 - Bus-Abschlußwiderstände

- f) Watchdog-Zeitgeber
 - Baustein 74LS592
 - programmierbar

- g) Echtzeituhr
 - MC 146818
 - Tageszeituhr
 - 50 Bytes CMOS-RAM

- h) Lautsprecher-Interface (Stecker A, G)



1.4 LSI-Schaltkreise

Folgende LSI-Schaltkreise sind auf der Baugruppe eingesetzt:

- | | | |
|----|----------|----------------------------|
| a) | ZILOG | Z80A-DART (2x)/PIO/CTC(2x) |
| b) | MOTOROLA | MC6845, MC146818 |
| c) | INTEL | i8291 |

Diese Dokumentation beinhaltet nicht die Beschreibung dieser Schaltkreise. Nähere Informationen sind den Datenbüchern der Hersteller zu entnehmen.

1.5 Definitionen

Diese Beschreibung unterscheidet 'Low Active'-Signale durch ein vorangestelltes Minuszeichen von 'High Active'-Signalen, z.B.

MRQ	(High Active)
-MRQ	(Low Active)



2. ECB-Bus-Interface

Die Baugruppe TCB/IOV wird über den ECB-Bus von der TCB/Z80 aus angesteuert. Sämtliche Funktionsgruppen werden als I/O-Ports adressiert. Es werden Adressen im Bereich von 18h bis 6Fh verwendet.

Folgende Bus-Signale werden auf der Karte gepuffert:

- Datenbus DO...D7
- Adressbus AO...A7
- Steuerbus -M1, -IORO, -RD, -WR, -PWRCL

2.1 Spannungsversorgung

Die Baugruppe TCB/IOV benötigt zum Betrieb folgende Spannungen:

- + 5V (ca. 2,5A)
- +12V (ca. 40mA)
- 12V (ca. 40mA)

Die Zuführung erfolgt über den ECB-Stecker ST-C

- + 5V 1a, c
- GND 32a, c
- +12V 13a

- 12V 15c (Rev. 1.1M2)
- 15a oder 15c (Rev. 1.1)

Ab Rev. 1.1 kann über einen Jumper (J4) bestimmt werden, ob die -12V von 15a oder 15c kommen:

- J4 A: 15a = -12V
- B: 15c = -12V



2.2 I/O-Adressdecodierung

Die Adressdecodierung wurde mit drei PAL-Bausteinen (Programmable Array Logic) so realisiert, daß eine völlige Übereinstimmung der Adressen mit der Baugruppe KDT6 erzielt wurde.

Tabelle 1: KDT6-kompatible I/O-Adressen

Adresse (hex)	I/O-Port	Adressymbol
18	CRTC (6845) Pointer Register	crtc.pointer
19	CRTC (6845) Register File	crtc.data
1C	Status Port 0 (Write Only, Bit 0/2 only)	stp.0
1D	Keyboard Input Register	keyboard
30	Video Ram Data Register	vmb0
31	Video Ram Data Register with Auto Increment	vmb0.auto.inc
36	Video Ram Data Register with Auto Decrement	vmb0.auto.dec
38	Status Port 1 (Write)	stp.1.write
39	Status Port 1 (Read)	stp.1.read
3D	Watch Dog Register	wdog.reg
3E	Watch Dog Trigger Input	wdog.trigger
40	Video Address Latch (high byte)	val.low
41	Video Address Latch (low byte)	val.high

Durch die Erweiterung der Funktionen gegenüber der KDT6 wurden weitere I/O-Adressen benötigt. Diese sind in Tabelle 2 zusammengestellt.

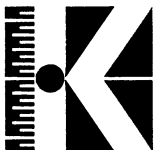


Tabelle 2: zusätzliche I/O-Adressen

Adresse(hex)	I/O-Port	Adressymbol
50	DART1 Channel A Data	iov.dart1.cha
51	DART1 Channel B Data	iov.dart1.chb
52	DART1 Channel A Control	
53	DART1 Channel B Control	
54	CTC1 Channel 0	iov.ctc1.ch0
55	CTC1 Channel 1	iov.ctc1.ch1
56	CTC1 Channel 2	iov.ctc1.ch2
57	CTC1 Channel 3	iov.ctc1.ch3
58	DART2 Channel A Data	iov.dart2.cha
59	DART2 Channel B Data	iov.dart2.chb
5A	DART2 Channel A Control	
5B	DART2 Channel B Control	
5C	CTC2 Channel 0	iov.ctc2.ch0
5D	CTC2 Channel 1	iov.ctc2.ch1
5E	CTC2 Channel 2	iov.ctc2.ch2
5F	CTC2 Channel 3	iov.ctc2.ch3
60	PIO Port A Data	iov.pio.porta
61	PIO Port B Data	iov.pio.portb
62	PIO Port A Control	
63	PIO Port B Control	
64	RTC (Realtime Clock) CS on/off	rtc.cs
65	reserviert	
66	RTC Data Read/Write	rtc.rdwr
67	RTC Adress Strobe	rtc.adstrb
68...6FH	i8291	

2.3 Statusports

Die Baugruppe enthält zwei Statusports (stp.0, stp.1), die zur Programmierung der Hardware dienen.

Statusport 0 ist eine Abbildung des Statusports 0 auf der TCB/Z80, d.h. gleiche Adresse, gleiche Belegung. Allerdings ist er nur sechs Bit breit (Bit 0...Bit 5), im Gegensatz zum 8 Bit breiten Port auf der TCB/Z80.

Diese doppelte Realisierung wurde gewählt um auf Verbindungsleitungen zwischen den Boards verzichten zu können.

Statusport 1 ist dem Videoteil zugeordnet.

Tabelle 3: I/O-Adressen der Statusports

Adresse (hex)	I/O-Port	Adressymbol
1C	Statusport 0 (write only)	stp.0
38	Statusport 1 (write)	stp.1.write
39	Statusport 1 (read)	stp.1.read

Hinweis: Statusport 0 darf nicht gelesen werden.



2.3.1 Statusport 0

Tabelle 4: Bitzuordnung von Statusport 0

Bit#	Pegel	Funktion	
0	0	Watchdog ist gesperrt	
	1	Watchdog ist freigegeben	
1	0	Systemfrequenz beträgt 0.5x Phi (2/3 MHz)	*
	1	Systemfrequenz beträgt 1.0x Phi (4/6 MHz)	*
2	0	Audiokanal ist gesperrt	
	1	Audiokanal ist freigegeben	
3	x	keine Funktion	
4	0	FDC.DRQ ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)	*
	1	SIOA.RDY ist DMA Triggersignal (falls SASI-Control/Bit 3=1)	*
5	0	Prom Bereich eingeschaltet	*
	1	Prom Bereich abgeschaltet	*
6	0	8" FD-Laufwerke (Standard FD)	**
	1	5 1/4" FD-Laufwerke (Mini FD)	**
7	0	FD-Laufwerk Motor abgeschaltet	**
	1	FD-Laufwerk Motor angeschaltet	**

* nur auf TCB/Z80 verwendet

** nur auf TCB/Z80 realisiert

Alle Bits von Statusport 0 werden beim Anlegen der Versorgungsspannung und bei jedem Reset automatisch auf Null gesetzt.

2.3.2 Statusport 1

Statusport 1 ist mit Ausnahme von Bit 7 dem Videoteil der Baugruppe zugeordnet.

Tabelle 5: Bitzuordnung von Statusport 1

Bit#	Bezeichnung	Funktion
0	VA14	Bit 14 der CRT-Controller Scrolladresse
1	VA15	Bit 15 der CRT-Controller Scrolladresse
2	VBIT8	Bit 8 des Bildwiederholerspeichers (10 bit)
3	VBIT9	Bit 9 des Bildwiederholerspeichers (10 bit)
4	CHG. A12	Umschaltung des Zeichensatzes 0: Zeichensatz 0 (A12 für 2764-EPROM) 1: Zeichensatz 1 (A12 für 2764-EPROM)
5	VID.INV	Invertierung des Videosignals 0: Hintergrund dunkel 1: Hintergrund hell
6	SEL.DM	Selektierung des "Display Mode" 0: Graphische Darstellung 1: Alphanumerische Darstellung
7	SEL.SYSM	Selektiert die Systemspeicherbank 0: Memory Mapper aktiv 1: Systemspeicherbank (Bank 0)



Hinweise zu den Bits 0 bis 3

- a) VA14 und VA15 bestimmen die höherwertigen beiden Bits der Scrolladresse des CRT-Controllers, der selbst nur 14 Adreßbits bereitstellt. Die Scrolladresse bestimmt die Anfangadresse des auf dem Monitor dargestellten Ausschnitts des Bildwiederhol-speichers.

- b) Die Videobank ist 10 bit breit (10 x 64 kBit). VBIT8 und VBIT9 bestimmen, was beim Beschreiben des Bildwiederhol-speichers in dessen höherwertige Bits 8 und 9 geschrieben wird. VBIT8 und VBIT9 haben folgende Wirkung:

VBIT8 - Zeicheninvertierung
VBIT9 - Zeichenblinken (Blinking)

Achtung: Für Statusport 1 gelten unterschiedliche Adressen für
----- Read/Write Operationen (39H bzw. 38H). Von Adresse 38H
darf nicht gelesen werden.



3. Videoteil

Die TCB/IOV enthält einen kompletten Videoteil mit Controller für alphanumerische und graphische Darstellungsweise, 64k*10bit Video-Refreshmemory und einem Interface für TTL- und Composite-Video-Monitore.

3.1 Video Controller

Die Video Controller Schaltung der Baugruppe ist um den LSI-Baustein MC6845 aufgebaut. Einzelheiten der Adressierung des BildwiederholSpeichers sind dem Abschnitt 'BildwiederholSpeicher' zu entnehmen.

a) der CRT-Controller 6845

Diesem Baustein sind zwei I/O-Adressen zugeordnet:

18H - Adreßregister
19H - Register File

Der 6845 erzeugt primär die zur Ansteuerung eines Monitors notwendigen Sync-Signale, sowie die Refresh-Adressen für den BildwiederholSpeicher. Da dies nur 14 bit sind, sorgt eine programmierbare Zusatzlogik (Zähler 74LS193) für die fehlenden beiden Bits zur Adressierung von 64 kByte.

Über einen Jumper (J3) kann die Größe des BildwiederholSpeichers eingestellt werden:

J3 A: 64 kByte BildwiederholSpeicher
B: 16 kByte (Voreinstellung)

J3/B bedeutet, daß von den vorhandenen 64 kByte nur 16 kByte ausgenutzt werden, die restlichen 48 kByte wären somit anderweitig verwendbar.

Die Adressierung des BildwiederholSpeichers ist auf Schaltplanblatt 6 dargestellt. Für jede Adresse sind 3 Quellen möglich:

- CRTC alpha/numerischer Betrieb
- CRTC graphischer Betrieb
- CPU I/O-Adressierung



b) Zeichengenerator

Der Zeichensatz ist durch einen 4 oder 8 kByte EProm (2732/2764) festgelegt. Damit können 256 bzw. 512 verschiedene Zeichen generiert werden. Die Videobank (Blatt 7) ist 10 Bit breit. Zwei Bits bestimmen Zeichenattribute wie beispielsweise 'Character Invert' und 'Character Blinking'.

Wird ein 2764-EProm eingesetzt, so kann über Bit 4 von Status Port 1 zwischen zwei verschiedenen Zeichensätzen von jeweils 256 Zeichen gewählt werden.

c) Video Zeitbasis

Alle zeitbestimmenden Signale sind von einem 13,5168 MHz Quarzoszillator abgeleitet. Die wesentlichen Frequenzen werden durch PAL 8 (Typ 16L8) generiert. Dieser steuert auch den transparenten Zugriff von CPU und CRTIC auf den Bildwiederhol-speicher.

3.2 Bildwiederholpeicher

a) Übersicht

Der Bildwiederholpeicher besteht aus einer 64k*10 bit RAM-Bank.

Die Adressierung des Bildwiederholspeichers durch die CPU erfolgt ausschließlich über I/O Read/Write Befehle.

b) Der Bildwiederholpeicher als I/O-Port

Der gesamte Bildwiederholpeicher kann formal als I/O-Port betrachtet werden, dem 5 I/O-Adressen zugeordnet sind. Dieses Verfahren bietet einige entscheidende Vorteile gegenüber der Speicheradressierung:

- keine Stackmanipulationen vor dem Zugriff auf den Bildwiederholpeicher notwendig
- keine Mapper Programmierung notwendig
- keine Restriktionen bezüglich der Lage von Interrupt Service Routinen in einem System
- 100 %-ige Trennung zwischen System- und Videospeicher

Der Zugriff auf den Bildwiederholpeicher über I/O-Befehle erfordert gewöhnlich 3 Schritte:



1. Übertragung des Low Bytes der Adresse in das Video Address Latch Low (val.low)
2. Übertragung des High Bytes der Adresse in das Video Adress Latch High (val.high)
3. Übertragung des eigentlichen Datenbytes

Das Video Adress Latch ist als programmierbarer 16 Bit Vor-/Rückwärtszähler realisiert (Blatt 6) Dieser Zähler kann optional nach der Übertragung des Datenbytes automatisch inkrementiert oder dekrementiert werden. Der Datenaustausch mit aufeinanderfolgenden Speicherstellen des Bildwiederhol-speichers erfordert deshalb nur die einmalige Übertragung einer Adresse und ansonsten einen I/O-Befehl pro Byte. Zur Manipulation des Bildwiederhol-speichers können somit auch die Blocktransferbefehle der Z80-CPU (OTIR, INIR) angewandt werden. Tabelle 7 enthält die für den Bildwiederhol-speicher relevanten I/O-Adressen.

Tabelle 6: I/O-Adressen des Bildwiederhol-speichers

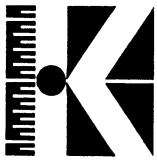
Adresse	I/O-Port	Adreßsymbol
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
36	Video Bank + Auto Decrement	vmb0.auto.dec
40	Video Adress Latch (High)	val.high
41	Video Adress Latch (Low)	val.low

c) Programmbeispiele

1. Beispiel:

Der Inhalt von Register <A> soll in den Bildwiederhol-speicher (Adresse: <DE>) geschrieben werden.

```
write.to.bank: ld c, val.low ; video address latch (low)
                out (c), e ; transfer low address
                dec c ; video address latch (high)
                out (c), d ; transfer high address
                out (vmb0), a ; transfer data byte
                ret ; return to caller
```



2. Beispiel:

Aus dem Systemspeicher ab Adresse <HL> sollen 80 Bytes in den Bildwiederholpeicher übertragen werden (Adresse <DE>)

```
move.to.bank : ld c, val.low      ; video address latch (low)
               out (c), e         ; transfer low address
               dec c              ; video address latch (high)
               out (c), d         ; transfer high address
               ld c, vmb0.auto.inc; video data address (auto inc)
               ld b, 80           ; byte counter
               otir               ; transfer 80 bytes
               ret                ; return to caller
```

3.3 Video-Interface

Diese Funktionsgruppe verarbeitet die von Video-Controller und Bildwiederholpeicher gelieferten Signale und erzeugt die zur Ansteuerung eines Monitors nötigen Video-Signale (TTL und Composite Video). Die Funktionen "Invertierung" und "Blinken" werden hier realisiert.

Die Invertierung eines Zeichens erfolgt unter einer der folgenden Bedingungen:

1. der Cursor steht auf dem Zeichen
2. Bit 8 der Videobank (VBIT8) ist gesetzt (Zeicheninvertierung)
3. der gesamte Bildschirm ist invertiert (Bit 5 von Statusport 1 ist gesetzt)

Das Blinken eines Zeichens wird durch das Setzen von Bit9 der Videobank (VBIT9) bewirkt. Die Blinkfrequenz ist synchron zu der des Cursors, da beide Signale vom selben Zähler gesteuert werden. Der CRT-Controller muß dabei so programmiert sein, daß der Cursor dauernd vorhanden ist ("non-blinking"). Die Blinkfrequenz beträgt $1/32$ der VSYNC-Frequenz. Bei einer VSYNC-Frequenz von 60 Hz liegt die Blinkfrequenz bei 1,875 Hz.

Eine Anschlußlogik für einen Lightpen ist ebenfalls vorhanden.

Die Ausgangssignale des Videoteils werden auf eine 9 pol. Steckbuchse (Stecker G) geführt über die ein TTL-Monitor angeschlossen werden kann. Außerdem sind die Videosignale über den Stecker A an die Backplane geführt und ermöglichen so den Anschluß eines gehäuseinternen Monitors. Das Composite-Video-Signal ist über die BNC-Buchse Stecker H nach außen geführt.

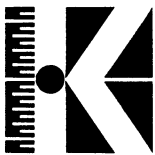
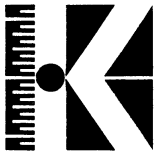


Tabelle 7: Pinbelegung des Video-Anschlusses (Stecker G)

Anschluß	Signalname	außerdem auf
1	VIDEO	STA/5b
2	VSYNC	STA/15b
3	HSYNC	STA/11b
4	LP.PULSE	
5	LP.ACT	
6	GND	
7	SOUND.POT	STA/17b
8	SOUND.OUT	STA/16b
9	+5V	



4. Tastaturanschluß

Es besteht die Möglichkeit, sowohl eine parallele Tastatur wie bei den bisherigen PSI-Modellen, als auch eine serielle Tastatur anzuschließen. Beide Schnittstellen sind auf den 25 poligen Stecker D geführt.

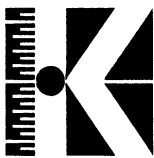
Die parallele Schnittstelle ist durch den Baustein 74LS374 realisiert und arbeitet mit TTL-Pegel. Die serielle Schnittstelle enthält symmetrische RS422-Treiber und wird durch den Kanal A von DART2 gesteuert.

Tabelle 8: I/O Adressen der Tastaturports

Adresse (hex)	I/O-Port	Adreßsymbol
1D	Paralleler Tastaturport	Keyboard
58	DART2 Channel A Data	} serieller Port iov.dart2.cha
5A	DART2 Channel A Control	

Tabelle 9: Pinbelegung des Tastaturanschlusses (SteckerD)

Anschluß	Signalname	
1	GND	
2	KEY.DATA 7	} parallele Tastatur
3	KEY.DATA 6	
4	KEY.DATA 5	
5	KEY.DATA 4	
6	KEY.DATA 3	
7	KEY.DATA 2	
8	KEY.DATA 1	
9	KEY.DATA 0	
10	nc	
11	KEY.STRB (CTC1.CLK1)	
12	nc	
13	+5V	
14	GND	
15	KEY.SERIAL.OUT (+)	} serielle Tastatur
16	KEY.SERIAL.OUT (-)	
17	KEY.SERIAL.IN (+)	
18	KEY.SERIAL.IN (-)	
19	nc	
20	+12V	
21..25	nc	



5. RS232 - Schnittstellen

Die TCB/IOV enthält zwei RS232-Schnittstellen für asynchrone Datenübertragung mit bis zu 76.800 bit/s. Das zugehörige Interface besteht im wesentlichen aus einem Z80A-DART (DART1) mit zugehörigen RS232-Treibern und einem Z80A-CTC (CTC1) als Baudratengenerator. Der CTC wird von einem quarzstabilisierten 1,2288 MHz-Takt angesteuert.

Tabelle 10: I/O-Adressen oder serielle Schnittstellen

Adresse (hex)	I/O-Port	Adresssymbol
50	DART1 Channel A Data	iov.dart1.cha
51	DART1 Channel B Data	iov.dart1.chb
52	DART1 Channel A Control	
53	DART1 Channel B Control	
54	CTC1 Channel 0	iov.ctc1.ch0
55	CTC1 Channel 1	iov.ctc1.ch1
56	CTC1 Channel 2	iov.ctc1.ch2
57	CTC1 Channel 3	iov.ctc1.ch3

Kanalzuordnung CTC1 - DART1 und DART2:

CTC1 Kanal 0 (ZC0) liefert Takt für DART1 Kanal A
CTC1 Kanal 1 (ZC1) liefert Takt für DART1 Kanal B
CTC1 Kanal 2 (ZC2) liefert Takt für DART2 Kanal A+B

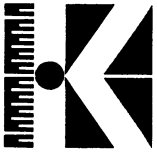


Tabelle 11: Programmierung der Baudrate über CTC1
bei Eingangsfrequenz 1,2288 MHz

SIO-Takt	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zeitgeber

BAUDRATE	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	0	142
75	-	-	-	208 (0,16%)

Teilerfaktor 0 entspricht 256
Keine Abweichung des Taktes vom Sollwert (außer bei 75 Baud).

Kanal A von DART1 ist auf Stecker F geführt. Die Schnittstelle ist für Terminalanschluß ausgelegt.

Tabelle 12: Pinbelegung von Stecker F

Anschluß	DART Signal	Bezeichnung	!	Anschluß	DART Signal	Bezeichnung
1		GND	!	13	-RIA	Ring Indicator
2	RxDA	Receive Data	!	14		nc
3	TxDA	Send Data	!	15		nc
4	-CTSA	Clear to Send	!	16		nc
5	-RTSA	Request to Send	!	17		nc
6	-DTRA	Data Terminal Ready!	!	18		nc
7		GND	!	19		nc
8	nc		!	20	-DCDA	Data Carrier Detect
9	nc		!			
10	nc		!	21		nc
11	nc		!	22		nc
12	nc		!	23		nc
			!	24	TxCA,RxCA	Int.Clock Out
			!	25		nc

Kanal B von DART1 ist auf Stecker E geführt. Die Schnittstelle ist ebenfalls für Terminalanschluß ausgelegt.



Tabelle 13: Pinbelegung von Stecker E

Anschluß	DART	Bezeichnung	!	Anschluß	DART	Bezeichnung
	Signal		!		Signal	
1		GND	!	13	-RIB	Ring Indicator
2	RxDB	Receive Data	!	14		nc
3	TxDB	Send Data	!	15		nc
4	-CTSB	Clear to Send	!	16		nc
5	-RTSB	Request to Send	!	17		nc
6	-DTRB	Data Terminal Ready	!	18		nc
7		GND	!	19		nc
8		nc	!	20	DCDB	Data Carrier Detect
9		nc	!	21		nc
10		nc	!	22		nc
11		nc	!	23		nc
12		nc	!	24	RxTxCB	Int.Clock Out
			!	25		nc

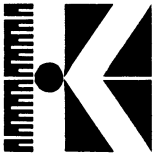
Hinweis zur Steckerbelegung:

Beide Schnittstellen sind so belegt, daß mit einem 1:1 Kabel ein Datenendgerät (DTE = Data Terminal Equipment), also z.B. ein Terminal oder Drucker, angeschlossen werden kann.

Die Bezeichnungen in Tabelle 12 und 13 sind von den SIO-Bezeichnungen abgeleitet und entsprechen daher nicht den Bezeichnungen, die in der V24- bzw. RS232C-Norm für die Steckerbelegung verwendet werden, da in diesen Normen die Belegung auf das Datenendgerät bezogen ist:

Pin	!	Bezeichnung
2	!	Send Data
3	!	Receive Data
4	!	Request To Send
5	!	Clear To Send
6	!	Data Set Ready
13	!	Backw. Channel Ready
20	!	Data Terminal Ready
24	!	Transm. Signal Element Timing

Vergleicht man diese Tabelle mit den beiden vorhergehenden, so stellt man fest, daß z.B. der Ausgang "Send Data" eines Terminals mit dem SIO-Eingang "RxD" oder der Terminal-Eingang "Data Set Ready" mit dem SIO-Ausgang "DTR" verbunden ist.



6. IEEE 488-Interface

Das IEEE-Interface auf der TCB-IOV beinhaltet Talker-/Listener- und Controllerfunktionen.

Damit kann ein mit der TCB-IOV ausgestatteter Rechner - z.B. PSI980 - als Meßwerterfassungs- und Meßwertauswertungs-System eingesetzt werden.

Die Hardware besteht im wesentlichen aus:

- i8291 - Talker/Listener (INTEL)
- ZSOA PIO (ZILOG)
- ZSOA CTC (ZILOG)
- IEEE Busschnittstelle (Stecker ST-I)

(Die Busschnittstelle entspricht dem IEEE-Standard 488-1978).

Für die komplette Programmierung des IEEE-Interface ist natürlich die Kenntnis des IEEE-Bus-Protokolls und des Intel 8291 erforderlich; es muß darauf geachtet werden, daß der 8291 entsprechend programmiert wird, wenn über den PIO Controllerbefehle auf den Bus gegeben werden.

Der CTC ist so geschaltet, daß Kanal 0 und 1 Bytes zählen und Kanal 2 Blöcke, die durch EOI abgeschlossen wurden, zählt.

Kanal 3 wird getriggert, wenn ein Byte abholbereit ist oder geschrieben werden soll (BO/B1-Bits im IECREG).

Die im 8291 nicht enthaltenen "Controller"-Funktionen können durch entsprechende PIO-Programmierung simuliert werden:

Liste der möglichen Controller-Kommandos:

ATN	System controller	C1
IFC	Interface clear	C2
REN	Remote enable	C3
SPE	Serial poll enable	C4
PPE	Parallel poll enable	C26

Realisierung:

a) System controller (C1)

Ein Systemcontroller zeichnet sich dadurch aus, daß er die Leitung ATN aktivieren kann (ATN = aktiv low). Dies geschieht über die PIO-Leitungen B2, B7, B6.



Beispiel:

```
set.atn.active:
  ld a, (port.value) ; get prior value of PIO Port B
  set 7,a             ; reset IFC-Latch
  res 6,a             ; turn off input buffer
  out (PIOB),a        ;
  ld (port.value),a  ; save port value
  PIOB equ 61H
  port value:
  defb 0
  ret
```

b) Send Interface clear (C2)

= Aktivieren der IFC-Leitung

Beispiel:

```
send.ifc:
  ld a, (port.value)
  set 5,a             ; set buffer to output
  res 0,a             ; set IFC = active, set IFC-latch
  ld (port.value),a
  out (PIOB),a
  ret
```

c) Remote enable (C3)

= Aktivieren der REN-Leitung

Beispiel:

```
  ld a, (port.value)
  set 7,a             ; reset IFC-Latch
  out (PIOB),a
  res 1,a             ; set REN active
  out (PIOB),a
  ld (port.value),a
  ret
```

d) Serial poll enable

```
  call set.atn.active ;set ATN-line active
  ld a,81h             ; set table only mode
  out (IECREG+3),a
loop:
  in a,(IECREG)
  bit 1,A              ; byte output allowed?
  jr z,loop
  ld a,18H             ; SPE message
  out (IECD),a
  ld a,3
  out (IECREG+4),a    ; finish handshake
  ret
```



e) Parallel Poll und Send Interface message

Die Parallel-Poll-Kommandos werden ebenso wie SPE (= Serial poll enable) auf dem IEC-Bus gesendet.

Bei der Parallel Poll-Abfrage wird die EOI- und ATN-Leitung gleichzeitig aktiviert und das Statusbyte eingelesen:

; aktivieren der EOI-Leitung

```
ld a,OFFH
out (PIOA),a      ; DAV = inaktiv, EOI-Puffer--->
out (PIOA+2),a
ld a,90H
out (PIOA+2),a   ; set port direction for EOI/DAV
ld a,OFFH
out (PIOA),a     ; EOI Buffer --->, DAV = inaktiv
out (PIOB+2),a   ; PIOB Bitmode
ld a,OFH
out (PIOB+2),a   ; set B7...B4 outputs
lt a,(port.value)
and OEFH
out (PIOB),a     ; set EOI = active
ld a,71
out (IECREG+3),a ; set listen only mode for 8291
ld a,OBFH
out (PIOA),a     ; DAV = aktiv
in a, (IECD)     ; set data (status byte)
ld a,OFFH
out (PIOA),a     ; reset DAV
out (PIOA+2),a   ; bit mode
ld a,ODFH
out (PIOA+2),a   ; PA5 = output
ld a,0
out (PIOA),a     ; EOI is input
ld a,(port.value)
out (PIOB),a
ld a,1
out (IECREG+3),A ; set mode 1
ld a,0
out (IECREG+4),a ; reset 8291
ret
```

```
IECREG    EQU    69H
IECD      EQU    68H
```



Zusammenfassung für die Bedienung der Steuersignale:

Steuer- leitung	Zugehöriger Richtungs- puffer	Leitung aktivieren durch	Richtung nach außen	innen
ATN	OE3/OE4	PIOB2 = 0	PIOB7 = 1 PIOB6 = 0	PIOB6 = 1 PIOB7 = 1
IFC	DIFC	PIOB0 = 0	PIOB5 = 1 PIOB6,7=1	PIOB6 = 0 -
SRQ	SRBUF	PIOB3 = 0	-	PIOA4 = 0
EOI	C9	PIOB4 = 0	PIOA5 = 1	PIOA5 = 0;
DAV	TR1/OE2	PIOA = 0	nur wenn 8291 einen active source hand- shake durch- führt	acceptor handshake und PIOB6 = 1 oder ATN empfangen



7. Watchdog-Zeitgeber

Ein Watchdog hat die Aufgabe, einen Rechner nach einem Ausfall in einen definierten Anfangszustand zu bringen. Die Funktionsweise des Watchdog's beruht auf folgendem Prinzip:

Ein programmierbarer 8 bit Zähler muß regelmäßig neu getriggert werden, bevor ein bestimmter Zählerstand erreicht ist. Ein Ausbleiben dieser Neutriggerung signalisiert mit großer Wahrscheinlichkeit einen Rechnerausfall. Der Watchdog generiert daraufhin ein Reset-Signal, um den Rechner neu zu starten.

Der Watchdog besteht aus einem 8 Bit Zähler mit 8 Bit Eingangsregister (Blatt 8, 74LS592). Über die I/O-Adresse "SEL.WDR" kann das Eingangsregister mit einem beliebigen 8 Bit Ausgangswert geladen werden. Dieser Wert bestimmt die Zeit, nach der ein Reset generiert wird (Zählerstand: FFH), falls das Trigger Signal (I/O-Adresse: "SET.WDT") ausbleibt. Mit Bit 0 von Status Port 0 (STPO) kann der Watchdog gesperrt bzw. freigegeben werden. Das Signal VSYNC (16,6 ms bei 60 Hz) des Video Controllers bestimmt die Zählfrequenz.

Tabelle 14: I/O-Adressen des Watchdog

Adresse (hex)	I/O-Port	Adreßsymbol
3D	Watchdog Eingangsregister	wdog.register
3E	Watchdog Triggereingang	wdog.trigger

Anwendungsbeispiel:

Die gewünschte Zeit betrage 33,2 ms (60 Hz VSYNC), dann sind folgende Programmteile zur Initialisierung bzw. Triggerung des Watchdogs notwendig:

init.wdog:

```
ld a, ofdh          ; time constant
out (wdog.register),a; program watchdog register
di
ld a,(status.port.0) ; status port 0 should be
set 0,a             ; stored in memory because
ld (status.port.0),a ; it must not be read
out (stp.0),a       ; enable watchdog
ei
ret
```

trigger.wdog:

```
out (wdog.trigger),a ; any out statement to I/O-address
ret                  ; is sufficient
```



8. Echtzeituhr

Mit dem Uhrenbaustein MC 146818 von Motorola steht auf der TCB/IOV eine Echtzeituhr zur Verfügung, die jederzeit per Software ausgelesen werden kann. Durch eine externe Batterie (Anschluß "VC MOS") kann der Uhrenbaustein gepuffert werden.

Der MC 146818 verfügt über 64 Byte CMOS-RAM, dessen Inhalt bei Batteriepufferung erhalten bleibt.

Aufteilung des RAMs:

Byte Nr.	Inhalt	Bemerkung
0	Sekunden	Lesen/Schreiben Register
1	Weckzeit Sekunden	"
2	Minuten	"
3	Weckzeit Minuten	"
4	Stunden	"
5	Weckzeit Stunden	"
6	Wochentag	"
7	Datum: Tag	"
8	Datum: Monat	"
9	Datum: Jahr	"
OA	Programmierbares Teilerregister	Lesen/Schreiben, Bit 7 nur Lesen
OB	Betriebsart- und Interrupt-Freigaberegister	Lesen/Schreiben
OC	Interrupt-Flagregister	nur Lesen
OD	Kontrollregister für Betriebsspannung	nur Lesen

Der Rest, also Byte OE-3F sind frei für den Anwender verfügbar.

Der RAM muß über eine Folge von 3 I/O-Befehlen angesprochen werden (siehe unten).

Beispiel: ;In die Speicherzelle 21H soll das Byte 55H
;geschrieben werden.

```
LD C,55H
LD B,21H
CALL RTCWR (siehe unten)
RET
```

Es sei noch erwähnt, daß bei einem RESET weder der Lauf der Uhr noch der Inhalt des RAMs beeinflußt werden.

Dem Baustein sind 4 I/O-Adressen zugeordnet.



Tabelle 15: Adressen der Realtime Clock

Adresse (hex)	I/O-Port
64	Realtime Clock MC 146818 CS on/off Write: CS on Read: CS off
65	reserviert
66	Realtime Clock Data Read/Write
67	Realtime Clock Address Strobe

Nachfolgend ein kurzes Programmbeispiel für Lesen, Schreiben des Realtime Clock Bausteins (RTC):

```
; SUBROUTINE TO WRITE DATA TO RTC REGISTERS AND RAM
```

```
;-----  
RTCWR:
```

```
.COMMENT #
```

```
-----  
INPUT: B = ADDRESS , 0 < B < 40H  
C = DATA TO WRITE INTO B
```

```
-----  
#  
DI  
CALL CE.ON  
LD A,B ; GET ADDRESS  
OUT (RTC.AS),A ; SET ADDRESS IN RTC  
  
LD A,C ; GET WRITE DATA  
OUT (RTC.RW),A ; WRITE IT  
CALL CE.OFF  
EI  
RET
```



;SUBROUTINE TO READ REGISTERS AND RAM OF RTC

RTCRD:

.COMMENT #

INPUT: B = ADDRESS IN RTC , 0 < B < 40H
OUTPUT: C = DATA IN B

DI
CALL CE.ON ; SWITCH ON CHIP ENABLE OF RTC
LD A,B
OUT (RTC.AS),A ; SET ADDRESS

IN A,(RTC.RW) ; READ DATA
LD C,A
CALL CE.OFF
EI
RET

CE.OFF:

IN A, (RTC.CE)
RET

CE.ON:

OUT (RTC.CE),A
RET

RTC.CE	EQU	64 H
RTC.RW	EQU	66 H
RTC.AS	EQU	67 H



9. Lautsprecher-Interface

Die Baugruppe enthält ein Lautsprecher-Interface, dessen Tonfrequenz durch den CTC2 auf dem TCB/Z80-Board erzeugt wird. Die Verbindung zwischen den beiden Baugruppen wird durch eine Leitung auf dem User-Bus hergestellt (Stecker A/Pin10b). Der Schall wird durch einen eingelöteten Miniaturtongebler erzeugt. Ein Lautsprecher mit externer Lautstärkeregelung kann wahlweise über die Busplatine (s.Tabelle 15) oder über den Videostecker (s.Tabelle 7) angeschlossen werden.

Über die Jumper J1 und J2 erfolgt die Einstellung zwischen internem und externem Tongebler:

J1/B und J2/A : intern (Voreinstellung)
J1/A und J2/B : extern

Die Lautstärke des internen Tongeblers kann über das Potentiometer P1 geregelt werden:

im Uhrzeigersinn drehen : leiser
gegen Uhrzeigersinn drehen: lauter



10. Elektrische und mechanische Spezifikationen

Stromverbrauch:	+5V	2,5A
	+12V	40mA
	-12V	40mA

Anschlußstecker

Stecker A	(Verbdg. zu TCB/Z80)	VG-Stiftleiste 96 pol. (DIN 61412)
Stecker B	(not used)	
Stecker C	(ECB-Bus)	VG-Stiftleiste 64 pol. (DIN 61412)
Stecker D,E,F	(RS232 und Tastatur)	Mini-D-Buchse 25 pol. (AMP 164802-1)
Stecker G	(Video + Lautspr.)	Mini-D-Buchse 9 pol. (AMP 164800-1)
Stecker H	(Composite Video)	BNC-Buchse (AMP)
Stecker I	(IEEE 488)	Delta-Buchse 24 pol. (Amphenol 57L-40240-27C0)

Abmessungen: 19 mm x 366,8 mm x 185 mm
(HxBxT ohne Stecker)

Gewicht: ca. 700 g

Umgebungstemperatur: max. 50 Grad C



11. Steckerbelegungen, PALs, Voreinstellungen

Tabelle 16: Pinbelegung von Stecker A

Ausführung: VG 41612, 96 polig
Die Reihen a und c werden nicht benutzt. Reihe b stellt zusätzliche (neben ECB-Bus) Verbindungen zwischen TCB/IOV und TCB/Z80 zur Verfügung. Diese werden aus Kompatibilitätsgründen zur KDT 6 benötigt.

Pin	Signalname

Reihe b	
1	nc
2	nc
3	SEL.SYSM
4	nc
5	VIDEO
6	LPEN
7	nc
8	nc
9	-VSYNC (TTL)
10	CTC2.ZCO
11	HSYNC
12	LPEN
13	nc
14	nc
15	VSYNC (Monitor)
16	SOUND.OUT
17	SOUND.POT
18..32	nc



Tabelle 17: Pinbelegung von Stecker C

Pin	Reihe	
	a	c
1	+5 Volt	+5 Volt
2	D5	D0
3	D6	D7
4	D3	D2
5	D4	A0
6	A2	A3
7	A4	A1
8	A5	A8 (*)
9	A6	A7
10	-WAIT	A16 (*)
11	-BUSRQ (*)	IEI
12	-BAI (**)	A17 (*)
13	+ 12 Volt	A18 (*)
14	A19	D1
15	-12 Volt (Rev. 1.1)	-12 Volt (Rev.1.1/1.1M2)
16	2 x CLK (*)	IE0
17	BA0 (**)	A11 (*)
18	A14 (*)	A10 (*)
19	+15 Volt (*)	A21 (*)
20	-M1	-NMI (*)
21	A22 (*)	-INT
22	A23 (*)	-WR
23	-	A20 (*)
24	VCMOS	-RD
25	-	-HALT
26	-	-RESET
27	-IORQ	A12 (*)
28	-RFSH (*)	A15 (*)
29	A13 (*)	CLK
30	A9 (*)	-MRQ
31	-BUSAK (*)	-RESET.IN (*)
32	GND	GND

Hinweis: (*) Diese Signale sind nur der Vollständigkeit halber angegeben.
Sie werden auf der Baugruppe nicht erzeugt bzw. verwendet

(**) Diese Signale werden auf dem Board durchverbunden.



Tabelle 18: Belegung von Stecker C (ECB), geordnet nach Signalgruppen (ohne Spannungen)

Pin	Signal	Charakteristik
5c	A0	
7c	A1	
6a	A2	
6c	A3	
7a	A4	
8a	A5	
9a	A6	
9c	A7	
8c	A8	
30a	A9	
18c	A10	
17c	A11	Adreßbus, bidirektional
27c	A12	
29c	A13	Fan Out: 24 mA
18a	A14	Fan In: 0,4 mA
28c	A15	
10c	A16	
12c	A17	
13c	A18	
14a	A19	
23c	A20	
19c	A21	
21a	A22	
22a	A23	
2c	D0	
14c	D1	
4c	D2	
4a	D3	Datenbus, bidirektional
5a	D4	
2a	D5	Fan Out: 24 mA
3a	D6	Fan In: 0,4 mA
3c	D7	
25c	-HALT	
28a	-RFSH	
27a	-IORQ	Steuerbus
20a	-M1	
22c	-WR	
24c	-RD	Fan In: 0,4 mA
30c	-MRQ	
11a	-BUSRQ	nicht verwendet
21a	-WAIT	Ausgang (open collector)
20c	-NMI	nicht verwendet
26c	-RESET	Eingang
10c	-INT	Ausgang (open collector)
16c	-IEI	Eingang (daisy chain)
17a	-BAI	Eingang (verbunden mit -BA0)
29c	CLK	Eingang
31c	-RES.IN	nicht verwendet

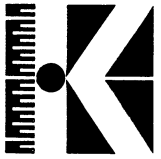


Tabelle 19: Pinbelegung von Stecker I (IEEE 488)

Pin	Signalname
1	DIO1
2	DIO2
3	DIO3
4	DIO4
5	EOI
6	DAV
7	NRFD
8	NDAC
9	IFC
10	SRQ
11	ATN
12	GND
13	DIO5
14	DIO6
15	DIO7
16	DIO8
17	REN
18	GND
19	GND
20	GND
21	GND
22	GND
23	GND
24	GND



Liste aller ICs

Typ	IC-Nummer	Beschreibung
AM 26LS31	2	Quad RS422 Line Driver
AM 2952	64	8-bit Parallel Port
MC 3448A	13,14,15,16	Bidirectional Instrumentation Bus Transceiver
7406	11,12	Hex Inverters, open Collector
7407	22,46	Hex Buffers, open Collector
74LS00	34	Quad 2-Input, NAND Gates
74LS02	37	Quad NOR Gate
74LS04	48	Hex Inverters
74S04	17	Hex Inverters
74LS08	27	Quad AND Gate
74LS14	39,42	Hex Schnitt-Trigger Inverters
74LS86	19	Quad 2-Input XOR
74LS107	31,44,47	Dual J-K Flip Flops
74LS123	18	Dual Monostable Multivibrators
74LS126	38	Quad Bus Buffers
74LS151	69...76	1-Of-8 Multiplexers
74LS161	43,54	Synchronous 4-bit Binary Counters
74LS166	40,41	8-bit Shift Registers
74LS174	59	Hex D-Flip Flops
74LS191	30	Synchronous Binary Up/Down Counters
74LS193	53,65,66,67,68	Synchronous Binary Up/Down Counters
74LS221	32	Dual Monostable Multivibrators
74LS244	61,62	Octal bus Buffers
74LS245	63	Octal Bus Transceivers
74LS258	26	Quad Multiplexers
74LS273	51	Octal D-Flip Flops
74LS374	1,52	Octal D-Flip Flops
74LS393	10,33	Dual 4-bit Binary Counters
74LS396	55	Quad 2-Input Multiplexers
74LS592	28	8-bit Binary Counters
75188	4,6	Quad RS232 C Line Drivers
75189	5,7	Quad RS232 C Line Receivers
9637	3	Dual RS422 Line Receivers
PAL 10L8	36,50,58	Programmable Array Logic
PAL 12H6	29	Programmable Array Logic
PAL 12L6	24,57	Programmable Array Logic
PAL 16L8	49,56	Programmable Array Logic

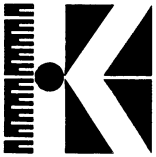


Servicebeschreibung TCB/IOV

Typ	IC-Nummer	Beschreibung
MC 146818	23	CMOS Timer
MC 6845	60	CRT-Controller
Z80A-CTC	20,25	Counter/Timer Circuit
Z80A-DART	8,9	Dual Asynchronours Receiver/Tranceiver
Z80A-PIO	35	Parallel I/O Circuit
i8291	21	IEEE-Controller
2164	77..86	Dyn. RAM 64k*1,200ns
2732	45	EPROM 32kbit (4kx8)
13,5168 MHz	OSZI1	Oszillator
4,194304MHz	Q1	Quartz
9,8304 MHz	Q2	Quartz



Referenzliste	IC-Nummer	-	IC-Typ		
1	74LS374	31	74LS107	61	74LS244
2	74LS31	32	74LS221	62	74LS244
3	9637	33	74LS393	63	74LS245
4	75188	34	74LS00	64	AM2952
5	75189	35	Z80A-PIO	65	74LS193
6	75188	36	PAL10L8	66	74LS193
7	75189	37	74LS02	67	74LS193
8	Z80A-DART	38	74LS126	68	74LS193
9	Z80A-DART	39	74LS14	69	74LS151
10	74LS393	40	74LS166	70	74LS151
11	7406	41	74LS166	71	74LS151
12	7406	42	74LS14	72	74LS151
13	MC3448A	43	74LS161	73	74LS151
14	MC3448A	44	74LS107	74	74LS151
15	MC3448A	45	2732	75	74LS151
16	MC3448A	46	7406	76	74LS151
17	74S04	47	74LS107	77	2164
18	74LS123	48	74LS04	78	2164
19	74LS86	49	PAL16L8	79	2164
20	Z80A-CTC	50	PAL10L8	80	2164
21	i8291	51	74LS273	81	2164
22	7407	52	74LS374	82	2164
23	MC 146818	53	74LS193	83	2164
24	PAL 12L6	54	74LS161	84	2164
25	Z80A-CTC	55	74LS396		
26	74LS258	56	PAL16L8		
27	74LS08	57	PAL12L6		
28	74LS592	58	PAL10L8		
29	PAL12H6	59	74LS174		
30	74LS191	60	MC6845		



Programmierung der PAL-Bausteine

Auf der Platine sind folgende PAL-Bausteine eingesetzt:

PAL#	IC-Nr.	Typ	Beschriftung	Funktion
1	IC 56	16L8	1-601C	I/O Address Decoder
2	IC 57	12L6	2-50A0	I/O Address Decoder
3	IC 58	10L8	3-1A07	I/O Address Decoder
4	IC 29	12H6	4-8C7C	Interrupt Priority Controller
5	IC 24	12L6	5-BE5B	Realtime Clock Controller
6	IC 36	10L8	6-AA32	IEEE Control Logic
7	IC 50	10L8	7-7BCC	Video Memory Access Controller
8	IC 49	16L8	8-0872	Video Memory Timing Generator

Die vierstellige Ziffer bei der Beschriftung ist die Checksumme des PALs (ermittelt auf MPP-80S Programmierkoffer).



Servicebeschreibung TCB/IOV

PAL16L8
PAT0001
TCB/IOV PAL1 ADDRESS-DECODER 1 (IC 56)

PAL DESIGN SPECIFICATION
02/09/1982
SHEET 1

AO A1 A2 A3 A4 A5 A6 A7 /M1 GND
/IOV.INTA /IOV.RD /RD /STAT1.RD /SEL.VDAT /SEL.VALL /SEL.VALH /IORQ
/STAT1.WR VCC

IF (VCC) SEL.VDAT = /M1 * IORQ * /A7*/A6*A5*A4*/A3*/A2*/A1*/AO
+ /M1 * IORQ * /A7*/A6*A5*A4*/A3*/A2*/A1* AO
+ /M1 * IORQ * /A7*/A6*A5*A4*/A3* A2* A1*/AO

IF (VCC) SEL.VALL = /M1 * IORQ * /A7*A6*/A5*/A4*/A3*/A2*/A1*AO

IF (VCC) SEL.VALH = /M1 * IORQ * /A7*A6*/A5*/A4*/A3*/A2*/A1*/AO

IF (VCC) STAT1.WR = /M1*IORQ*/RD*/A7*/A6*A5*A4*A3*/A2*/A1*/AO

IF (VCC) STAT1.RD = /M1*IORQ* RD*/A7*/A6*A5*A4* A3*/A2*/A1* AO

IF (VCC) IOV.RD = SEL.VDAT * RD +
STAT1.RD +
IOV.INTA +
/M1 * IORQ * RD * /A7 * A6 * /A5 * A4 +
/M1 * IORQ * RD * /A7 * A6 * A5 * /A4 +
/M1 * IORQ * RD * /A7*/A6*/A5*A4*A3*/A2*/A1*AO +
/M1 * IORQ * RD * /A7*/A6*/A5*A4*A3*A2*/A1*AO

DESCRIPTION:

SEL.VDAT = SELECT VIDEO DATA (30H NORMAL,
31H AUTOINCREMENT,
36H AUTODECREMENT)
SEL.VALL = SELECT VIDEO ADDRESS LATCH LOW (41H)
SEL.VALH = SELECT VIDEO ADDRESS LATCH HIGH (40H)
STAT1.WR = STATUS PORT 1 WRITE (38H)
STAT1.RD = STATUS PORT 1 READ (39H)
IOV.RD = READ VIDEO DATA OR
READ STATUS PORT 1 OR
INTERRUPT ACKNOWLEDGE OR
I/O READ ON ADDRESS 50H..6FH OR
CRT-CONTROLLER DATA READ (19H) OR
KEYBOARD REGISTER DATA READ (1DH)



Servicebeschreibung TCB/IOV

PAL12L6
PAT0001

PAL DESIGN SPECIFICATION
02/09/82

TCB/IOV PAL2 ADDRESS DECODER 2 (IC 57, SHEET 1)

AO A1 A2 A3 A4 A5 A6 A7 /M1 GND
/RD NC /SELA7A6 /STATO /SEL.WDR /SEL.WDT /SEL.KEY /SEL.CRTC /IORQ VCC

STATO = /M1 * IORQ * /RD */A7*/A6*/A5*A4*A3*A2*/A1*/AO

SEL.WDR = /M1 * IORQ * /RD */A7*/A6*A5*A4*A3*A2*/A1*AO

SEL.WDT = /M1 * IORQ * /RD */A7*/A6*A5*A4*A3*A2*A1*/AO

SEL.KEY = /M1 * IORQ * RD */A7*/A6*/A5*A4*A3*A2*/A1*AO

SEL.CRTC = /M1 * IORQ * /A7*/A6*/A5*A4*A3*/A2*/A1

SELA7A6 = /A7 * A6

DESCRIPTION:

STATO : STATUS PORT 0 (WRITE ONLY, 1CH)
SEL.WDR : SELECT WATCHDOG REGISTER (WRITE ONLY, 3DH)
SEL.WDT : SELECT WATCHDOG TRIGGER (WRITE ONLY, 3EH)
SEL.KEY : SELECT KEYBOARD INPUT REGISTER (1DH)
SEL.CRTC: SELECT CRT-CONTROLLER (18H, 19H)



PAL10L8
PAT0001
TCB/IOV PAL3 ADDRESS DECODER 3 (IC 58, SHEET 1)

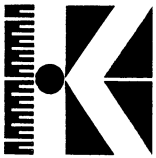
PAL DESIGN SPECIFICATION
03/09/82

A2 A3 A4 A5 /A7A6 /M1 /IORQ /RD IEI GND
IEO /IEEE /PIO /CTC2 /CTC1 /DART1 /DART2 /STAT2 /IOV.INTA VCC

IEEE = /M1 * IORQ * A7A6 * A5 * /A4 * A3
PIO = /M1 * IORQ * A7A6 * A5 * /A4 * /A3 * /A2
CTC2 = /M1 * IORQ * A7A6 * /A5 * A4 * A3 * A2
CTC1 = /M1 * IORQ * A7A6 * /A5 * A4 * /A3 * A2
DART1 = /M1 * IORQ * A7A6 * /A5 * A4 * /A3 * /A2
DART2 = /M1 * IORQ * A7A6 * /A5 * A4 * A3 * /A2
STAT2 = /M1 * IORQ * A7A6 * A5 * /A4 * /A3 * A2
IOV.INTA = M1 * IORQ * IEI * /IEO

DESCRIPTION:

IEEE : i8291 IEE 488 CONTROLLER (68..6FH)
PIO : 60..63H
CTC2 : 5C..5FH
CTC1 : 54..57H
DART1 : 50..53H
DART2 : 58..5BH



PAL12H6
PAT0001
TCB/IOV PAL4 DAISY CHAIN (IC 29, SHEET 2)

PAL DESIGN SPECIFICATION
02/09/82

NC NC NC NC NC IEI DART2.IEO CTC2.IEO PIO.IEO GND
CTC1.IEO DART1.IEO CTC1.IEI IEO DART2.IEI PIO.IEI CTC2.IEI DART1.IEI
NC VCC

CTC1.IEI = IEI

CTC2.IEI = IEI * CTC1.IEO

DART1.IEI = IEI * CTC1.IEO * CTC2.IEO

DART2.IEI = IEI * CTC1.IEO * CTC2.IEO * DART1.IEO

PIO.IEI = IEI * CTC1.IEO * CTC2.IEO * DART1.IEO * DART2.IEO

IEO = IEI * CTC1.IEO * CTC2.IEO * DART1.IEO * DART2.IEO * PIO.IEO

DESCRIPTION:

PRIORITY : CTC1 (HIGHEST)
 CTC2
 DART1
 DART2
 PIO (LOWEST)



PAL12L6
PAT001
TCB/IOV PAL5 (IC 23 ,SHEET 2)

PAL DESIGN SPECIFICATION
27/09/1982
RTC CONTROL

AO A1 /RD /WR /RESET /S2 NC NC NC GND
NC NC /AS /RTCWR /RTC RD NC NC /CE /CE.IN VCC

CE:= S2 * /A1 * WR
+ CE.IN * /RESET * /S2
+ CE.IN * /RESET * A1
+ CE.IN * /RESET * /RD

AS: = /S2 + /A1 + /AO

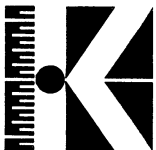
RTC RD:=S2 * A1 * /AO * RD

RTCWR:=S2 * A1 * /AO * WR

DESCRIPTION:

ADDRESS CYCLE = AS => IO-WRITE ON 67H
DATA CYCLE = DS => IO-R/W AT 66H
CHIP ENABLE-OFF => IO-READ FROM 64H
-ON => IO-WRITE ON 64H

S2 = STAT2.SEL = IO-REQUEST ON 64H...67H



PAL10L8 PAL
PAT0001
TCB/IOV IEEE-INTERFACE , PAL6 , IC 36

DESIGN SPECIFICATION
30/09/82

TR1 TR2 NDAC B6 EOI B2 A5 AA BB GND
D3 /OE3 /OE4 /OE2 /C9 /ATN /NTR1 /TRG2 /TRG1 VCC

TRG2 = /EOI * /B2 * B6
+ /EOI * /B2 * AA

TRG1 = /NDAC * /B2 * B6
+ /NDAC * /B2 * AA

NTR1 = TR1

OE2 = TR1
+ /D3 * /B6

OE3 = B6 + AA

OE4 = AA + /B6 * /AA

ATN = B6 * /B2
+ AA * /B2

C9 = /TR2 * /A5
+ /BB * /A5

DESCRIPTION:



PAL10L8
PAT001
TCB/IOV PAL7 (IC 50, SHEET 10)

PAL DESIGN SPECIFICATION
02/09/1982
VIDEO MEMORY ACCESS CONTROLLER

/SEL.VDAT /SEL.DM 3 4 /BRD BA2 BA1 BAO SEL.CPU GND
VMRQ 12 13 /VO.RD /AUTO.INC /AUTO.DEC /VMUXSC /VMUXSB /VM.REQ VCC

VO.RD = SEL.VDAT*BRD*/BA1*/BA2 +
SEL.VDAT*BRD*BA1*BA2

AUTO.INC = SEL.VDAT*BAO

AUTO.DEC = SEL.VDAT*/BAO*BA1*BA2

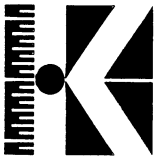
VMUXSC = /SEL.CPU

VMUXSB = /SEL.CPU*/SEL.DM +
SEL.CPU*SEL.VDAT

VM.REQ = SEL.VDAT

DESCRIPTION:

VO.RD : READ FROM VIDEO MEMORY
AUTO.INC : INCREMENT CPU VIDEO ADDRESS COUNTER
AUTO.DEC : DECREMENT CPU VIDEO ADDRESS COUNTER
VMUXSC : SELECT INPUT 'C' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VMUXSB : SELECT INPUT 'B' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VM.REQ : CPU READ/WRITE REQUEST TO VIDEO MEMORY



PAL16L8
PATO01
TCB/IOV PAL8 (IC 49 ,SHEET 10)

PAL DESIGN SPECIFICATION
02/09/1982
VIDEO MEMORY TIMING GENERATOR

VMRQ /SEL.VDAT /BRD BA2 BA1 6 7 QC QB GND
QA /ACKN /BYTE.CLK /V.BLANK /LOAD /VRASO /VMUXSA /VRD.STRB /VWR VCC

IF (VCC) VRASO = QA*/QB*/QC +
VRASO*QC*/VRD.STRB +
VMRQ*QA*/QB*QC +
VRASO */QC*/BYTE.CLK

IF (VCC) VMUXSA = VRASO + VMUXSA*QB*QA +
VMUXSA*/QA*QB

IF (VCC) VWR = QC*VMRQ*/BRD +
QC*VRASO*/BRD

IF (VCC) BYTE.CLK = QA*QB*/QC

IF (VCC) ACKN = VMUXSA*QA*QB*QC

IF (VCC) VRD.STRB = QA*QB*QC

IF (VCC) LOAD = 6 * /6

DESCRIPTION:

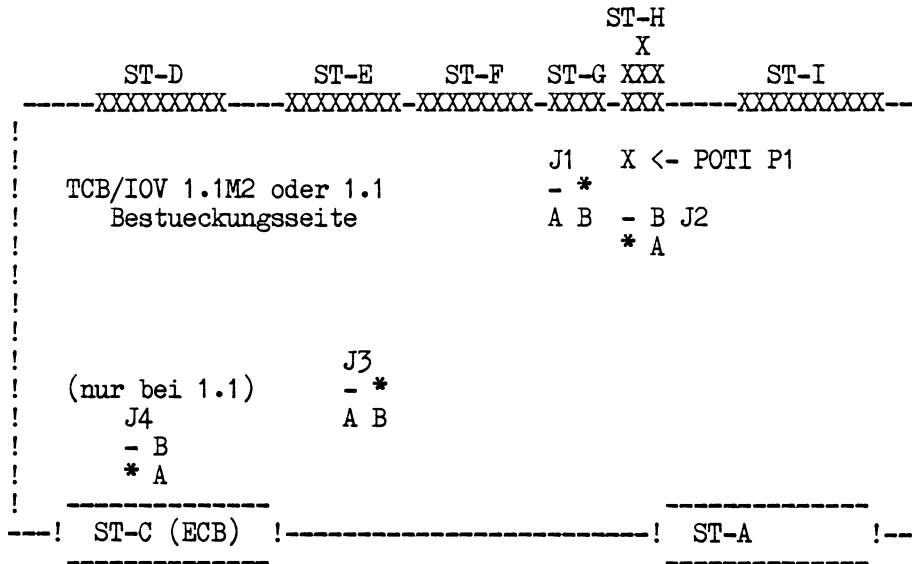
VRASO : ROW ADDRESS STROBE (VIDEO BANK)
VMUXSA : SELECT INPUT 'A' FOR VIDEO MEMORY ADDRESS MULTIPLEXERS
VWR : VIDEO MEMORY WRITE STROBE
BYTE.CLK : BYTE CLOCK
ACKN : ACKNOWLEDGE TO CPU AFTER VIDEO MEMORY REQUEST
VRD.STRB : VIDEO MEMORY READ STROBE



11.7 JUMPER - VOREINSTELLUNGEN BEI TCB/IOV (1.1M2 u. 1.1)

Stand : 7.12.1982

- * = Jumper gesteckt
- = Jumper nicht gesteckt



Beschreibung (">" bedeutet Voreinstellung) :

Jumper J1 und J2

- > J1/B und J2/A : interner Tongeber (Voreinst.)
- J1/A und J2/B : externer Tongeber/Lautsprecher
- J1/A bedeutet : externer Tongeber kurzgeschlossen
- J2/A bedeutet : interner Tongeber kurzgeschlossen

Voreinstellung von Potentiometer P1 (470 Ohm,
Lautstaerkeregelung des Tongebers) :

im Gegenuhrzeigersinn bis zum Anschlag drehen
(maximale Lautstaerke)

Hinweis: Wird ein externer Tongeber/Lautsprecher ange-
schlossen so muß P1 im Uhrzeigersinn bis zum An-
schlag gedreht werden, um externe Lautstaerkerege-
lung zu erlauben.



Jumper J3

J3 A : 64 KByte Video-Memory
-> J3 B : 16 KByte (Voreinstellung)

Jumper J4 (nur bei Rev. 1.1) :

-> J4 A : - 12V von ST-C/15a (Voreinst.)
J4 B : - 12V von ST-C/15c



11.8 Liste aller I/O-Adressen:

Adresse (Hex)	Bedeutung
18	CRTC Pointer Register
19	CRTC Data Register
1C	Status Port 0, Write Only (nur Bit 0: Watchdog Enable und Bit 2: Sound Enable)
1D	Keyboard-Input Register
30	Select Video Data
31	Select Video Data with Autoincrement
36	Select Video Data with Autodecrement
38	Status Port 1 (Video) Write
39	Status Port 1 (Video) Read
3D	Watch-Dog Register
3E	Watch-Dog Trigger Input
40	Video Address Latch High
41	Video Address Latch Low
50...53	DART 1
54...57	CTC 1
58...5B	DART 2
5C...5F	CTC 2
60...63	PIO
64	MC 146818 -CS -EIN/AUS (Read = CS-Ein Write = CS-AUS)
66	MC 146818 Data Read/Write
67	MC 146818 Address Strobe
68...6F	IEEE-Controller

(*) Reihenfolge bei DART, PIO, CTC: Port A Data, Channel 0
Port B Data, Channel 1
Port A Control, Channel 2
Port B Control, Channel 3



11.9 Unterschied Rev. 1.1M2 und Rev. 1.1

Ab Rev. 1.1 ist auf der Platine ein zusätzlicher Jumper (J4) realisiert, mit dem die -12V-Versorgung selektiert werden kann:

- J4 A : - 12V über 15a von ST-C (ECB-BUS)
- B : - 12V über 15c von ST-C (ECB-BUS)



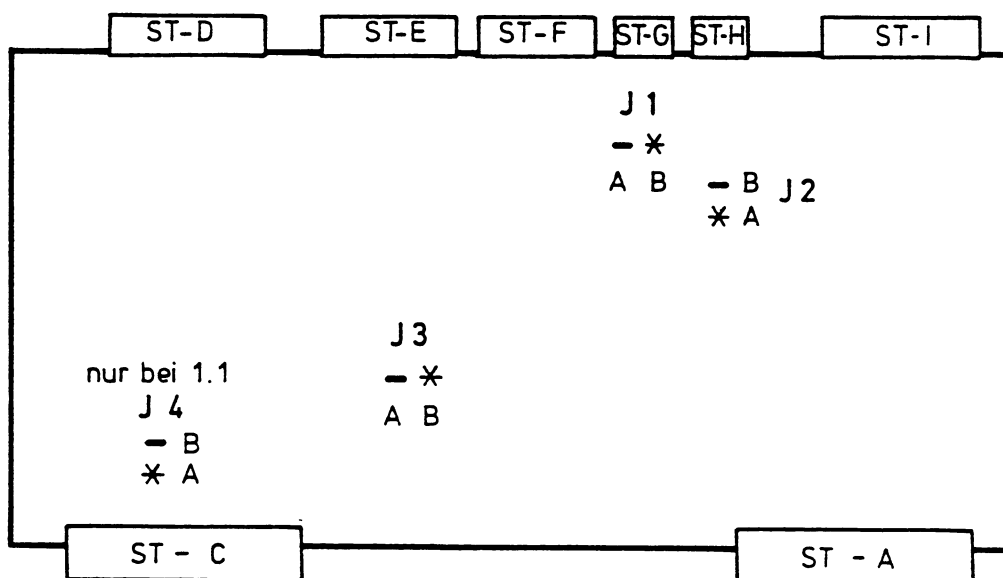
12. Servicehinweise für TCB/IOV
Nur Kontron PSI 980, 98xx!

Nachdem Sie die TCB/Z80 gemäß der Serviceanleitung Kapitel TCB/Z80 5.2 überprüft bzw. repariert haben, kann nun das vorher ausgesteckte TCB/IOV-Board wieder eingesteckt werden.

Außerdem muß der umgesteckte Jumper J4 auf der TCB/Z80 wieder in seine ursprüngliche Position (A) gebracht werden.

Um die Messungen an der TCB/IOV Platine zu ermöglichen, muß ein Extenderboard verwendet werden. Damit die Platine stabil fixiert ist, muß sie durch eine geeignete nichtleitende Unterlage (Bücher) abgestützt werden.

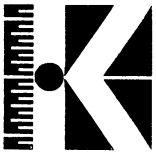
Nun werden Tastatur und Monitor an den entsprechenden Schnittstellen angeschlossen, sowie alle Jumper in die Auslieferungspositionen gemäß folgender Abbildung gebracht:



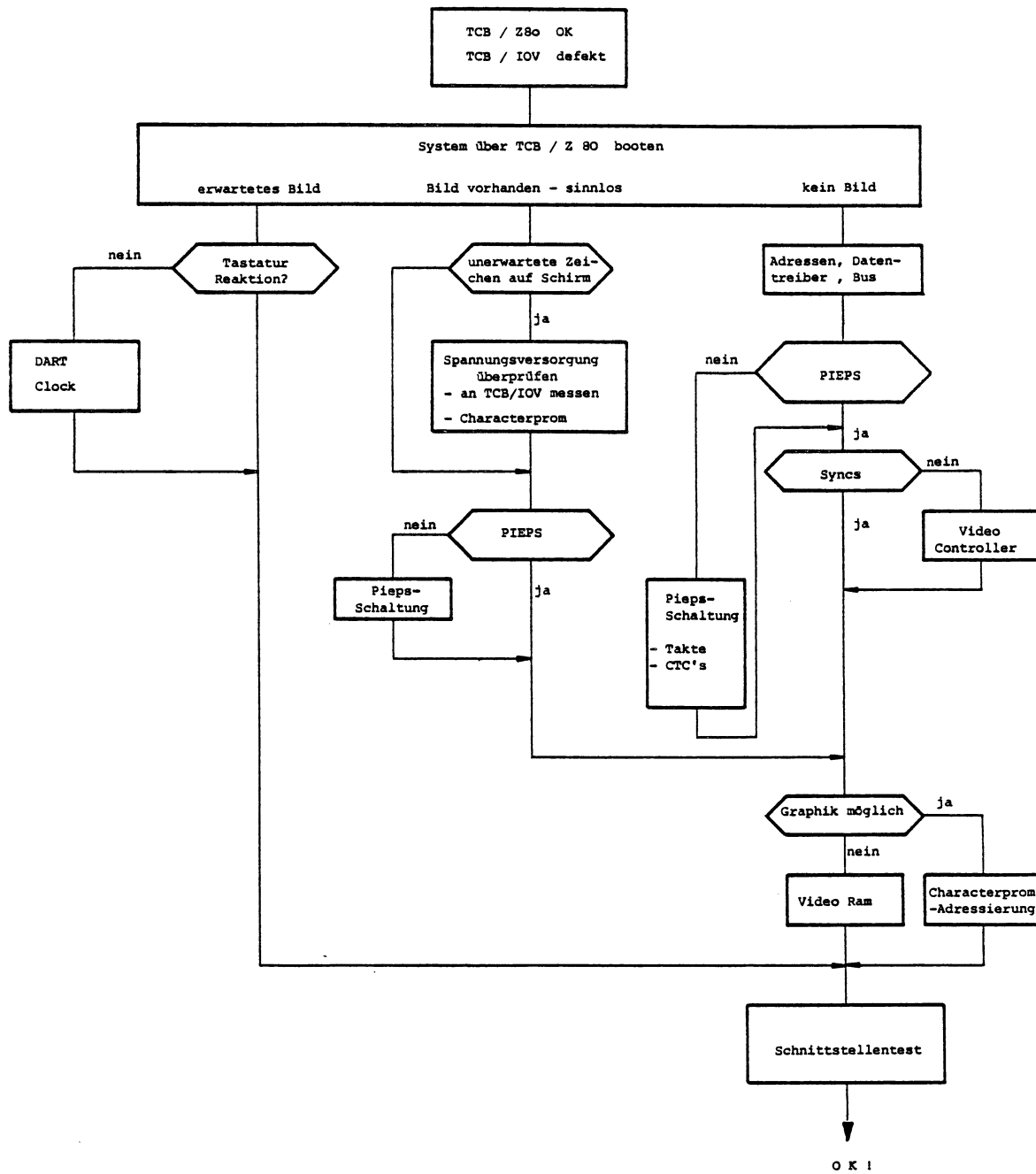
- * Jumper gesteckt
- Jumper nicht gesteckt

TCB/IOV 1.1M2
Component side

Genauso wie für das TCB/Z80 Board wurde auch für das TCB/IOV-Board ein Flußlan zur Fehlersuche ausgearbeitet, der auf folgender Seite dargestellt ist. Als Meßmittel finden auch hier nur Multimeter und Oszilloskop Verwendung.



12.1 Reparaturflußplan für TCB/IOV





Adressen-/
Datenbustreiber

Arbeitet die TCB/Z80 alleine, aber nicht in Zusammenarbeit mit der TCB/IOV, so hat dies möglicherweise als Ursache fehlerhafte Adressen- bzw. Datentreiberbausteine.

Hierbei handelt es sich um die Bausteine

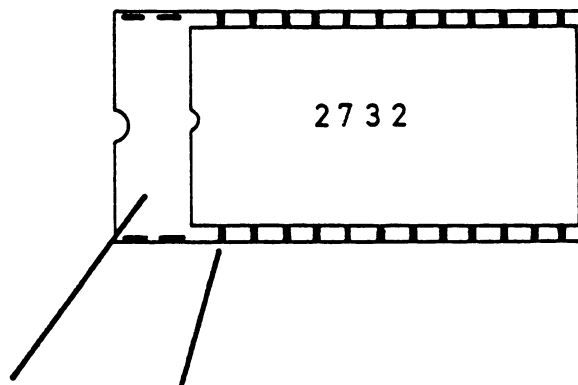
---> IC 63 74LS245
---> IC 62 74LS244
---> IC 61
(alle Blatt 1)

PAL1 IC56 legt die Übertragungsrichtung des Datentreibers IC63 fest. Dieses Signal muß ständig wechseln. Falls nicht:

---> IC 56 PAL1 defekt

Characterprom

Es wird ein EPROM 2732 verwendet, das wie folgt eingesteckt werden muß:



Fassung Pin 1 des IC in Pin 3 der Fassung

Das Characterprom muß in seiner neuesten Ausführung bei Zusammenarbeit mit dem Ergo-Key-board unter KOS V 6.04 folgende Bezeichnung tragen:

CH6D/E (Deutsch/Englisch)
39B1 Checksumme

in der englischen Version:

CH6EE (Englisch)
35DD Checksumme

Können nicht alle Zeichen erzeugt werden, so kann dies seine Ursache in einem fehlerhaften Characterprom (---> tauschen) oder fehlerhafter Adressierung des Eproms bzw. des Speicherrams haben.

---> IC41 (74LS166 Schieberegister)
---> IC40 (74LS166 Schieberegister)



CTC's

Zähler/Zeitgeber-Baustein
Fehlerhaftes Verhalten einer Schnittstelle
wird oft durch einen defekten CTC-Baustein
hervorgerufen.

Deshalb sollte untersucht werden, ob an allen
CTC's beim Einschalten des Systems ein RESET-
Puls vorhanden ist, um die Bausteine zu
initialisieren.

Ebenso müssen die geforderten Takte anliegen.

Im Zweifelsfall können die CTC's auch unter-
einander getauscht werden (z.B. von TCB/Z80
auf TCB/IOV stecken).

Schnittstellen

Auf der TCB/IOV sind folgende Schnittstellen
realisiert:

- IEEE (Stecker I)
- Keyboard par/ser (Stecker D)
- TTL-Video (Stecker G)
- Composite Video (Stecker H)
- 2 Serielle Schnittstellen
SIOC, SIOD (Stecker E,F)

Alle diese Schnittstellen lassen sich mit mehr
oder weniger großem Aufwand testen:

- IEEE-Schnittstelle (Stecker I)

ein zuverlässiger Test ist nur mit einem
speziellen Testsystem möglich, das an die
Schnittstelle angeschlossen wird.

Falls die Schnittstelle nicht funktioniert,
müssen die Bauteile auf Blatt 4

- > IC13 - 16 Transceiver
- > IC38
- > IC21 IEEE-Controller
- > IC35 PIO
- > IC36 Pal
- > IC37

überprüft werden.

- Serielle Schnittstellen SIOC, D (Stecker E/F)

Zum Test wird ein serielles Terminal mit 9600
Baud an die entsprechende Schnittstelle ange-
steckt.

Zum Test wird nun folgende Kommandofolge ein-
gegeben (z.B. für Test SIOC!)

- > IODC \$SIOC = ACTIVE
- > COPY \$KEY \$SIOC

Nun werden am Keyboard Daten eingegeben, die
am Terminal erscheinen müssen. Entsprechendes
gilt für SIOD.



Mit der Eingabe

> COPY \$SIOC \$MON

können vom externen Terminal Daten auf den Monitor geschrieben werden.

Funktioniert das alles nicht, so ist der Fehler auf Blatt 3 der Schaltpläne zu suchen.

---> Dabei ist besonders auf die Versorgung der Treiberbausteine IC4 - IC7 (75189) mit +/- 12V zu achten.

---> Erhält der CTC (IC25) korrekten Reset und Takt?

---> DART (IC9) auswechseln

- Keyboard (Stecker D)
Diese Schnittstelle (Blatt 2) arbeitet korrekt, wenn sich das System sowohl mit parallelem als auch seriellem Keyboard betreiben läßt.

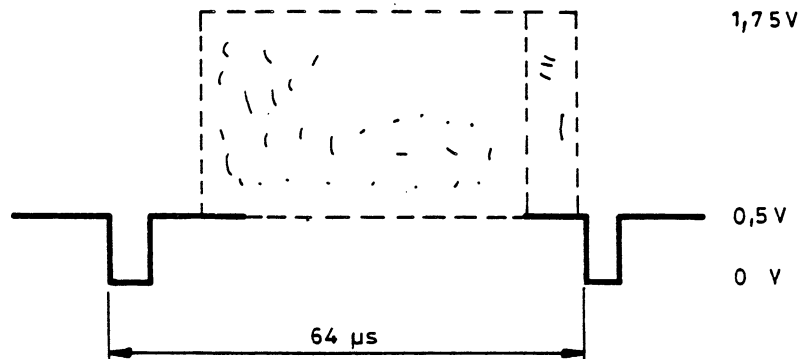
Falls nicht, dann ist wahrscheinlich der Z80 DART oder PAL4 defekt.

- TTL-Video/composite Video (Stecker G/H)
Zeigt sich kein oder nur ein falsches Bild am angeschlossenen Monitor, so kann dies die Ursache allerdings auch im Anschlußkabel haben. Ist dieses jedoch einwandfrei, so muß der Fehler auf Blatt 7 gesucht werden.

An Stecker G müssen die Impulse HSync, VSync und Video zu messen sein.



An der BNC-Buchse muß ein folgender Abbildung entsprechendes Oszillogramm zu sehen sein.



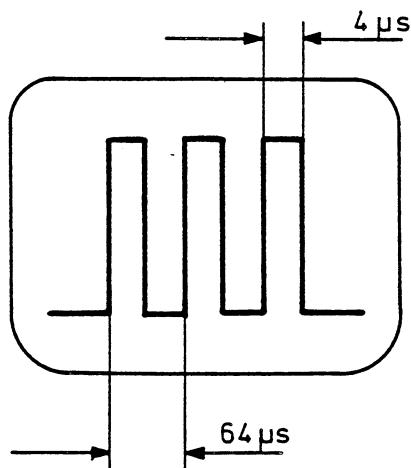
COMPOSITE VIDEO

Sync's

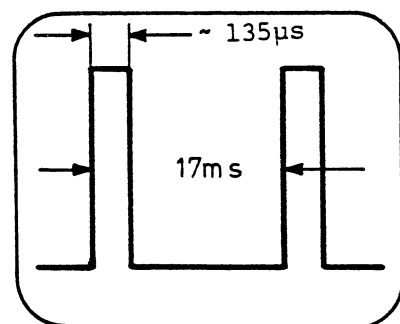
Diese Signale werden vom Video-Controller-Baustein IC60 MC6845 erzeugt (Blatt 5).

An Pin 39 (Horizontal Sync) und Pin 40 (Vertical Sync) des Bausteins können sie gemessen werden. Die Signale müssen folgendes Aussehen besitzen:

H-SYNC



V-SYNC.





Falls die Signale nicht vorhanden sind, ist entweder der Video-Controller selbst defekt, oder er erhält keinen einwandfreien Takt (siehe ---> Takt).

Die Signale HSYNC und VSYNC gelangen über IC48, IC32 und IC11 (Blatt 5 bzw. 7) an Stecker G/A der Platine.

Takt

Auf der IOV-Platine befinden sich 3 Taktoszillatoren:

1. 13.5 MHz (Blatt 5) zur Versorgung des Videoteils mit den notwendigen Signalen.

An PIN 21 des Videocontrollers (MC6845, IC60) muß ein Takt von 1.67 MHz (= 1/6 μ s) anliegen.

Falls nicht:

---> Quarzoszillator, IC43 (LS161)
IC48 oder IC39 (beide LS04) defekt.

2. 9.8304 MHz (Blatt 3) zur Versorgung des Zähler-Zeitgeber-Bausteins Z80A-CTC (IC25). An Pin 5 von IC10 (LS393) müssen 1.2288 MHz zu messen sein.

Falls nicht:

---> siehe Schaltpläne Blatt 3

3. 4.19 MHz zur Ansteuerung des Uhrenbausteins MC146818 (IC23, Blatt 2). Mit C15 kann die Ganggenauigkeit der Uhr eingestellt werden.

---> Blatt 7 der Schaltpläne

Mit dem Testdebuggerkommando

0 31 xy mit xy = 00...FF Hex

kann der Bildschirm mit beliebigen Zeichen vollgeschrieben werden:

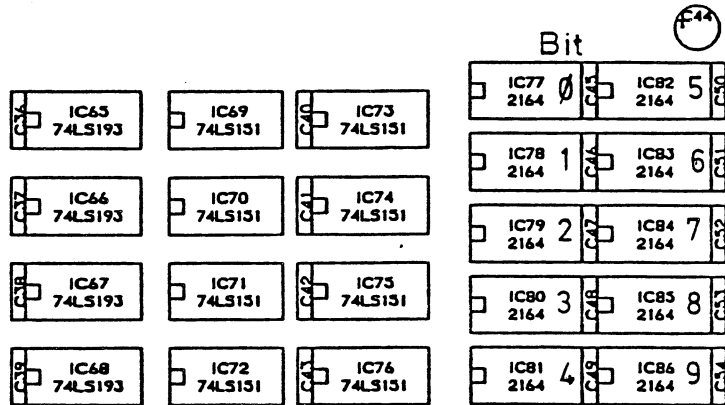
z.B. xy = 9E (Hex) ---> Bildschirmfläche hellgetastet.

Funktioniert z.B. das Beschreiben des Bildschirms über einen Graphiktreiber (z.B. Graphikdemoprogramm) nicht, aber das Beschreiben über die Tastatur, kann das Characterprom die Ursache für das Fehlverhalten sein.



Videoram

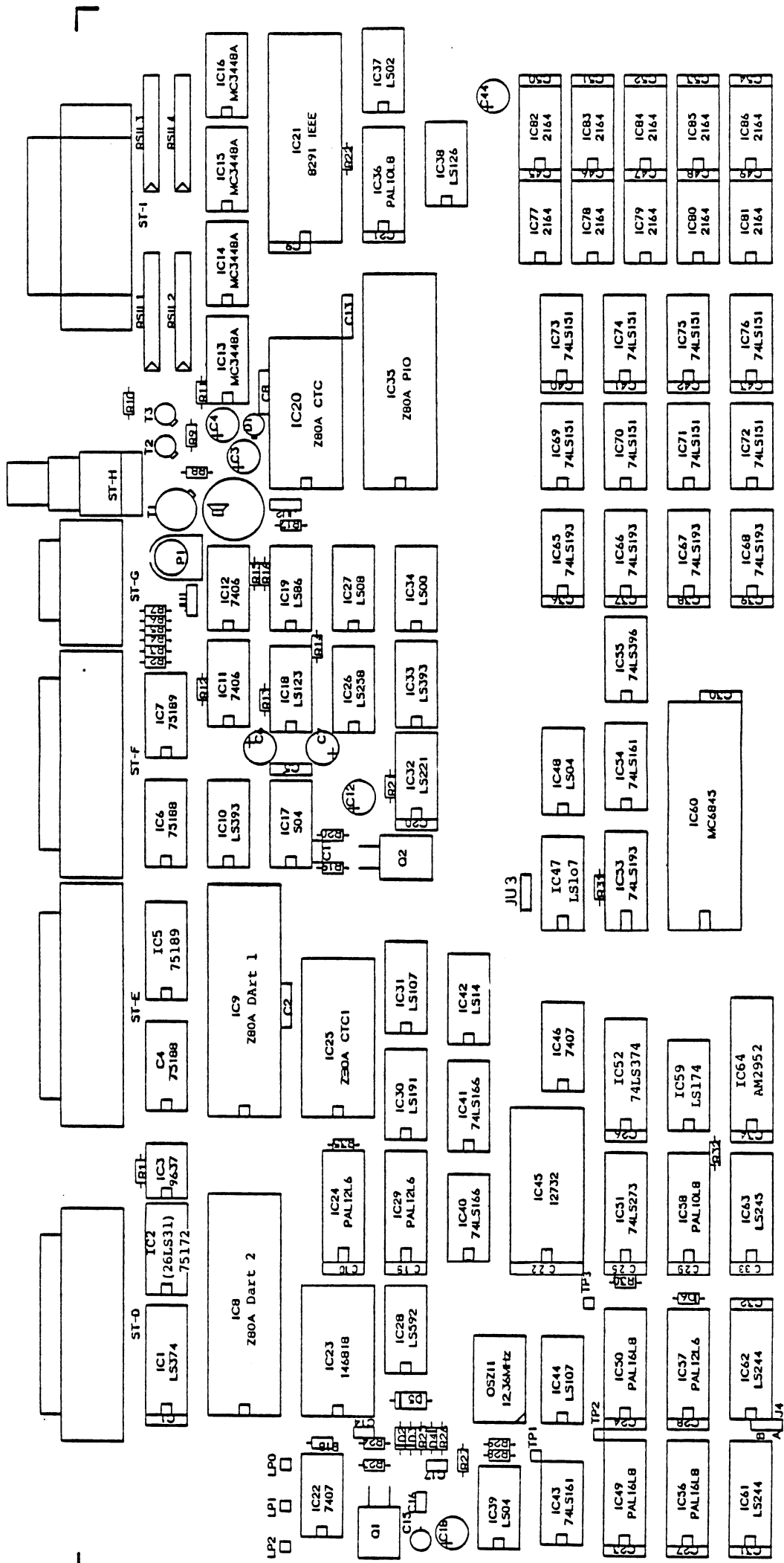
Die Lage des Videospeichers mit der entsprechenden Bit-Zuordnung geht aus folgender Zeichnung hervor:



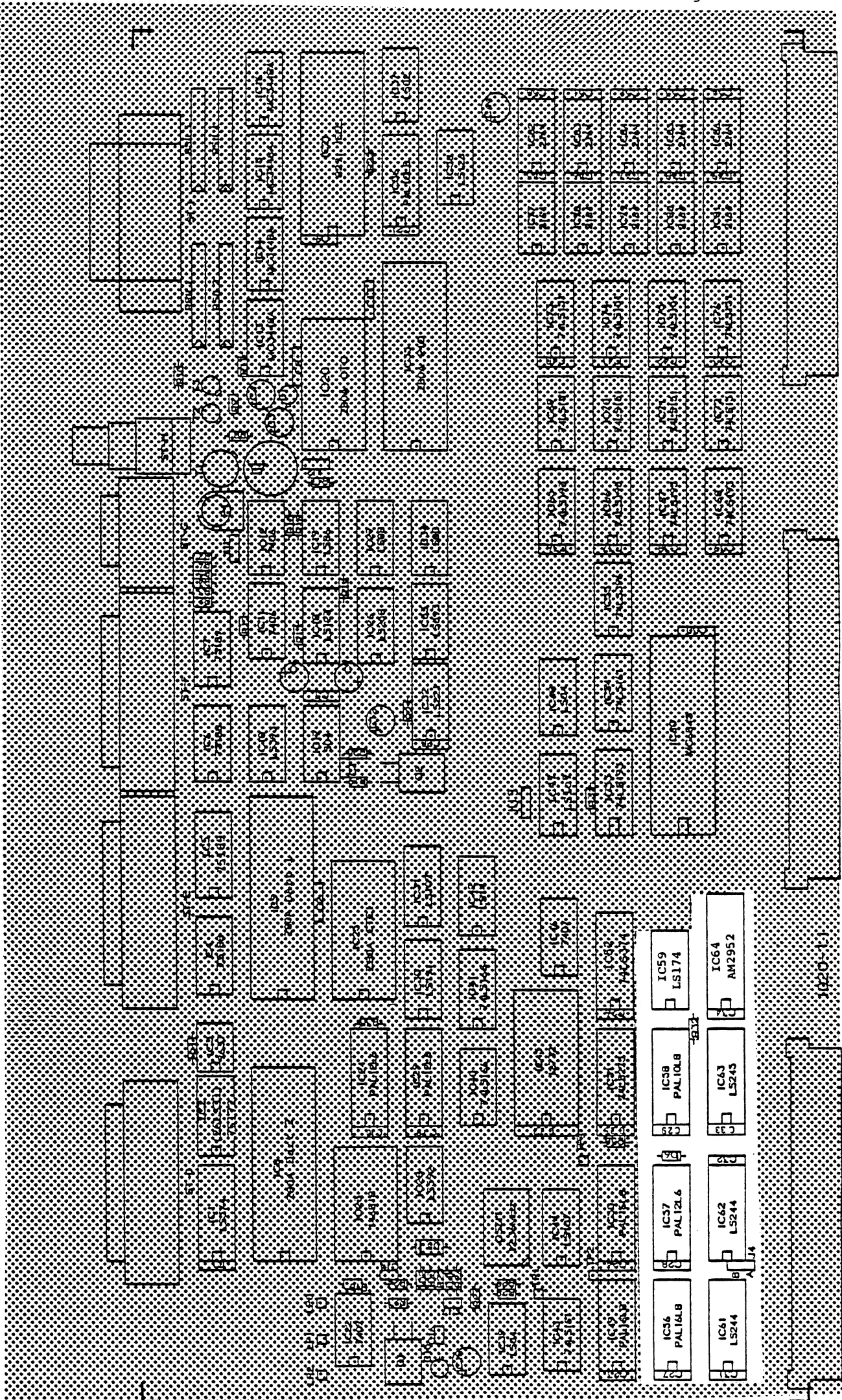
Zum Test des Videospeichers eignet sich das unter KOS ablauffähige Testprogramm

VMT6,

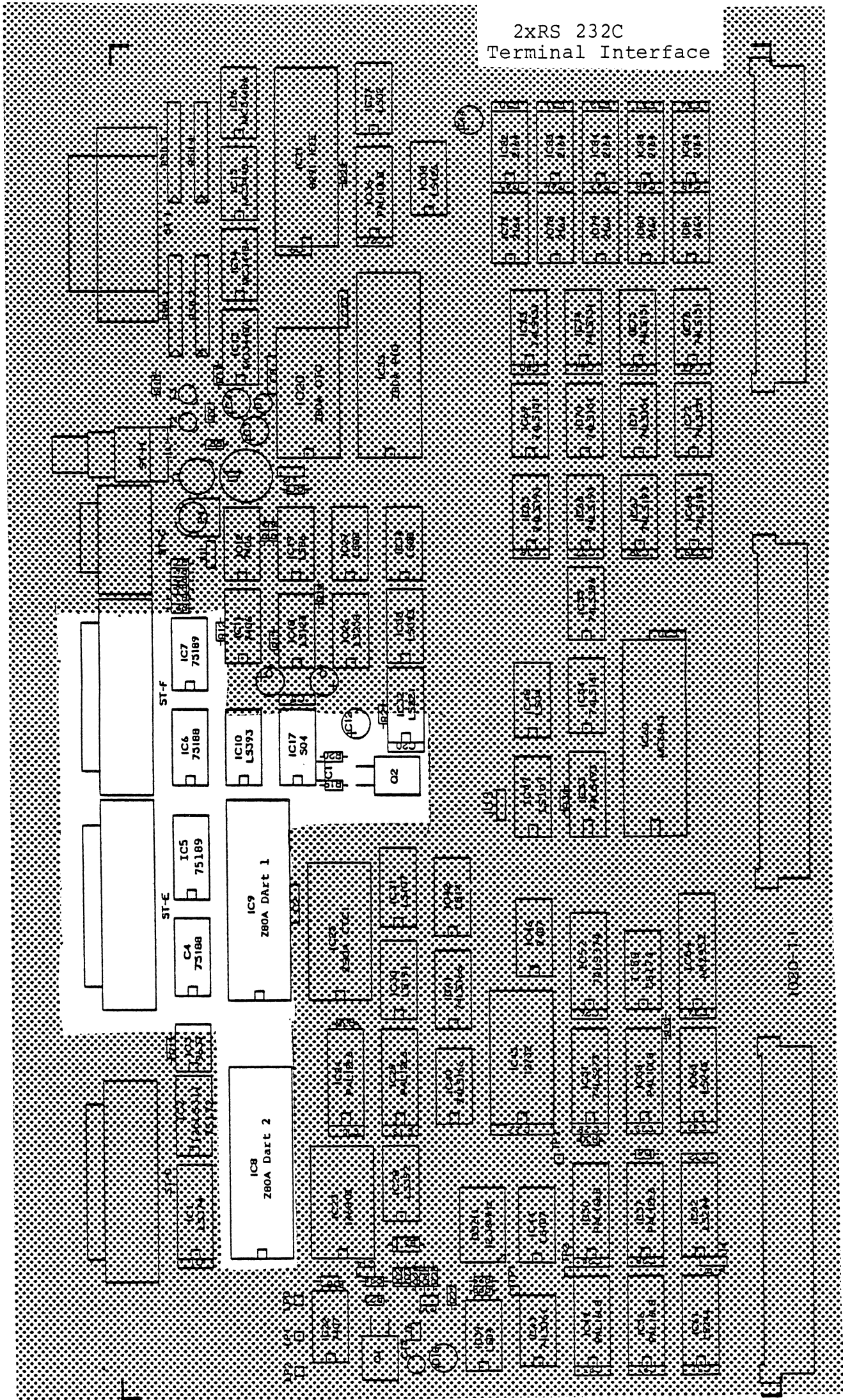
dessen Listing im Teil Testsoftware aufgeführt ist. Dort sind auch die Rückmeldungen des Tests erläutert.



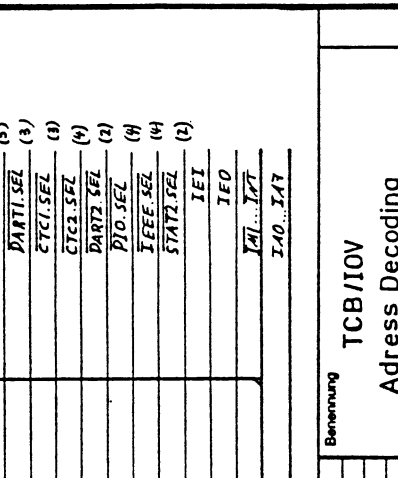
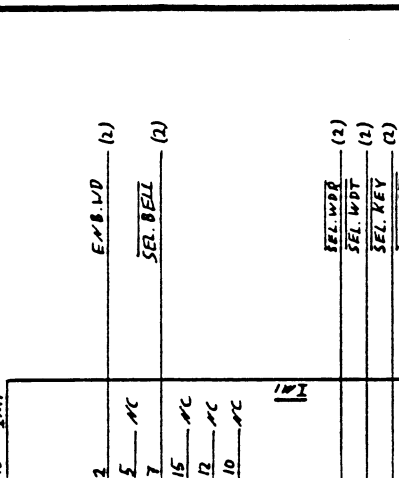
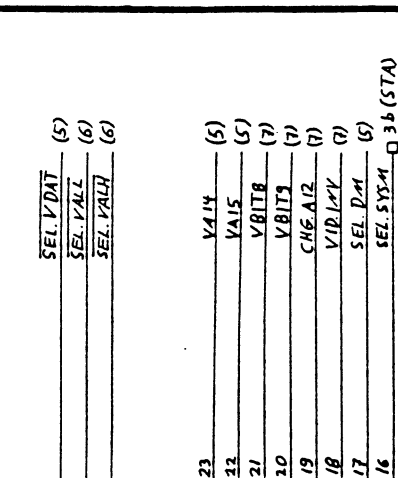
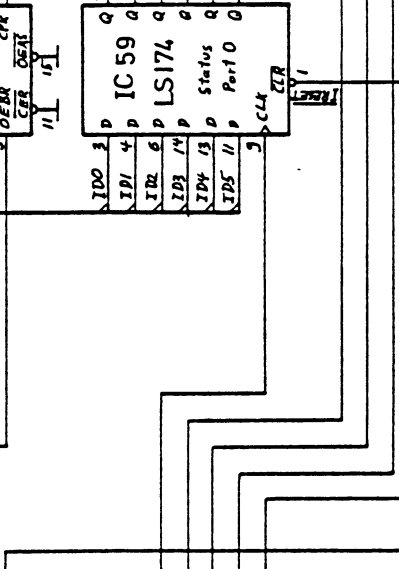
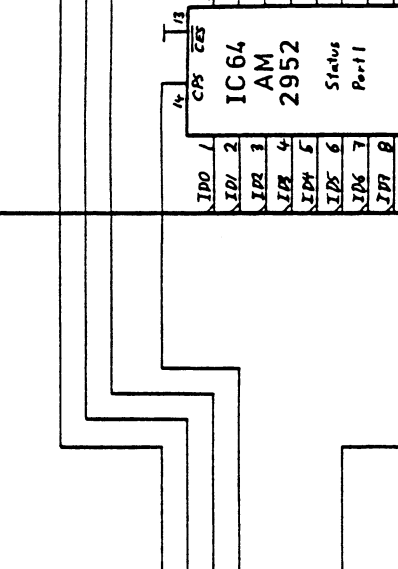
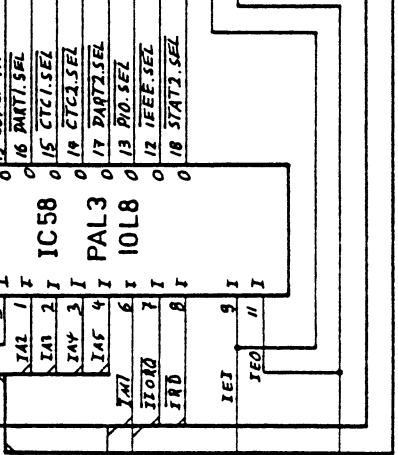
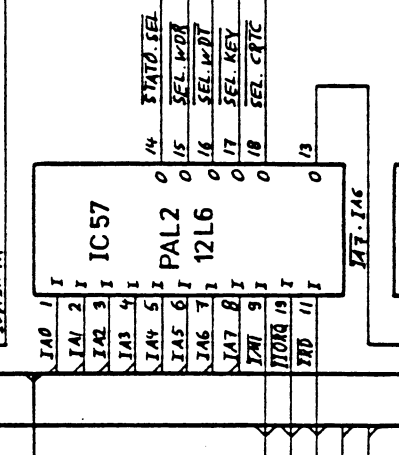
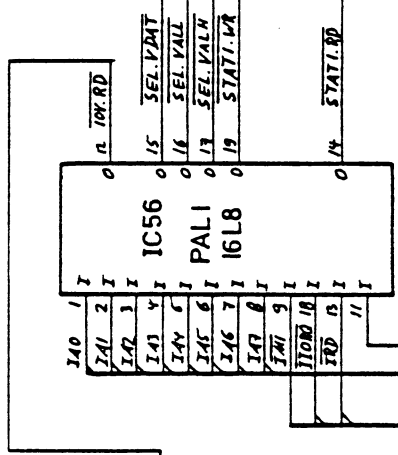
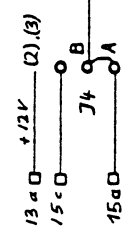
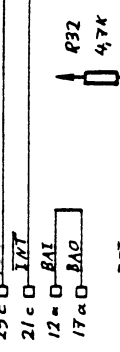
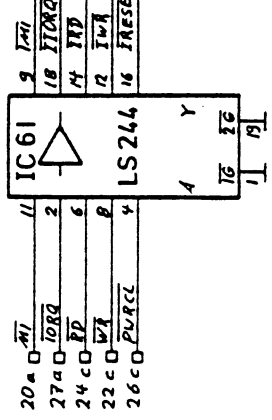
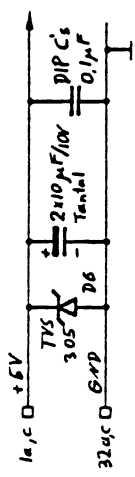
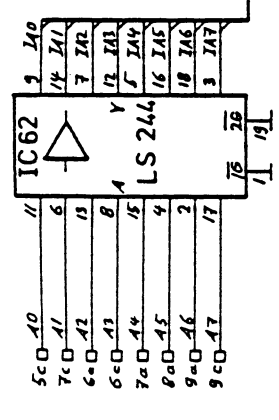
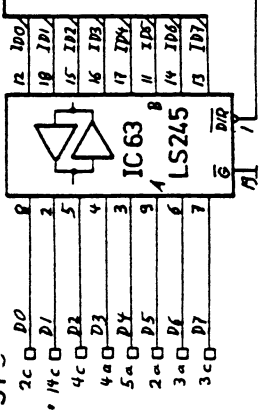
TCB / IOV
Address Decoding



2xRS 232C
Terminal Interface



100...107

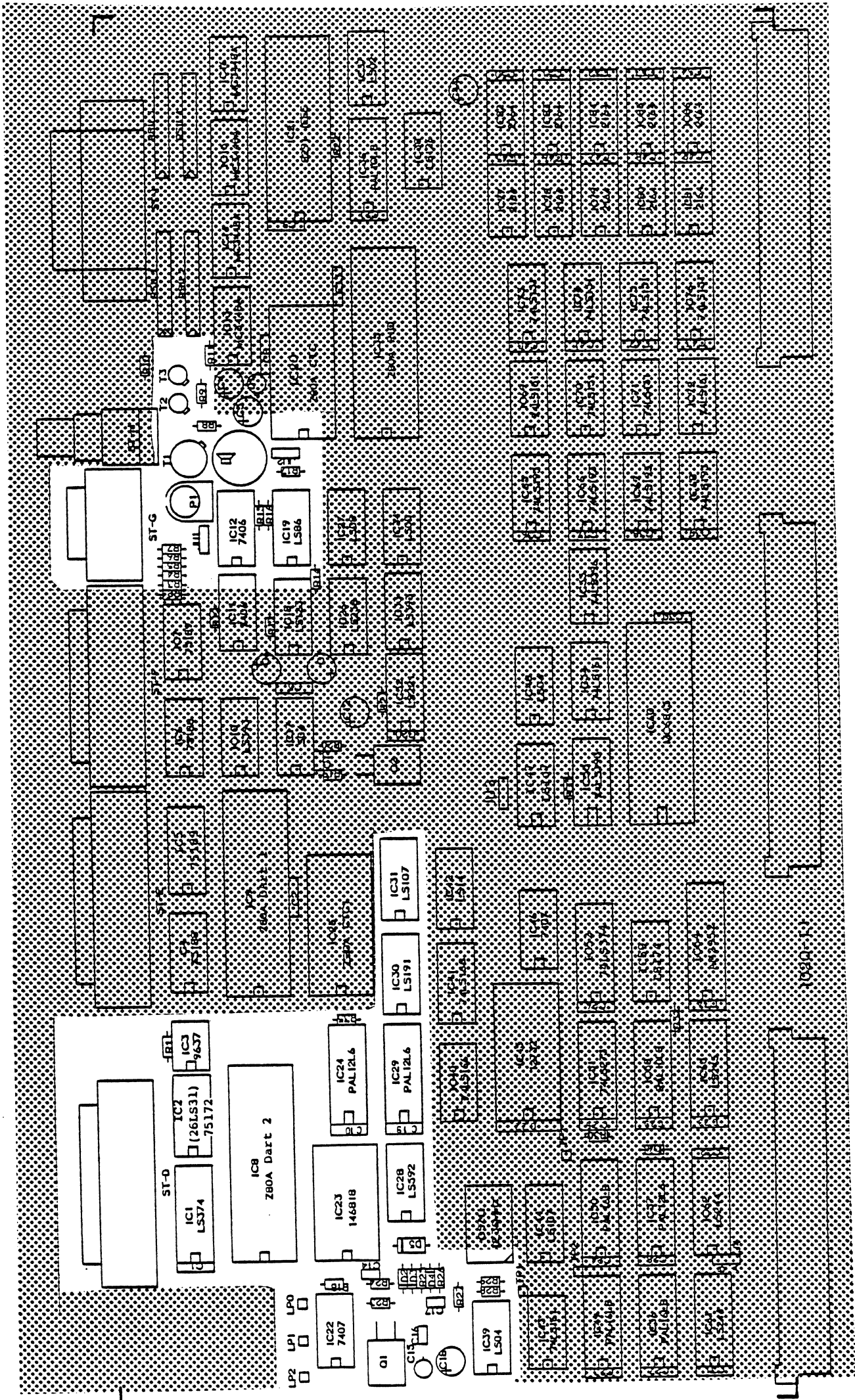


Rev.	Änderungs-Nr.	Tag	Name
1.1	Nr. 162	16.12.82	
		13.12.82	

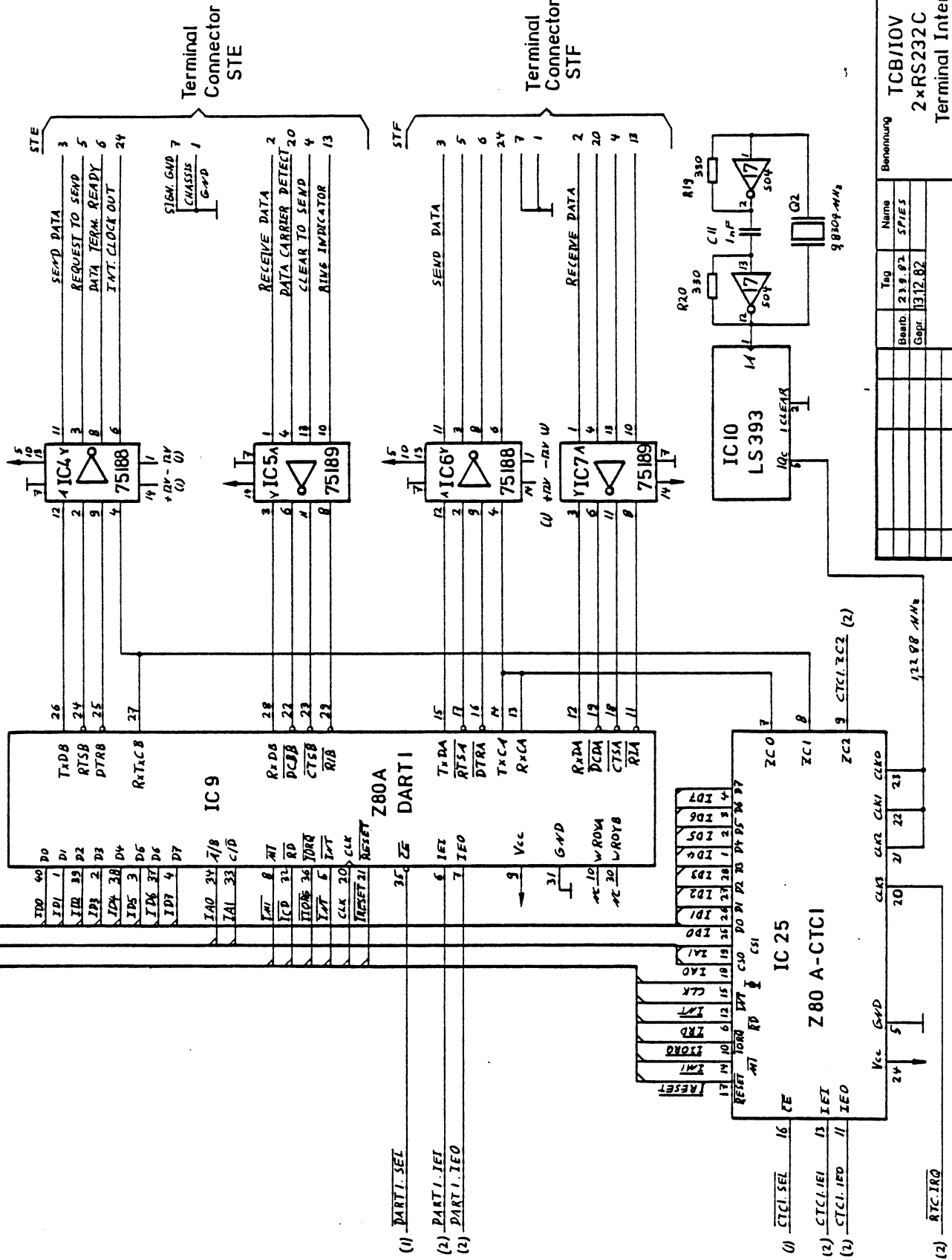
KIKONTROL		ELECTRONIC	
Zeichn.-Nr.		1020	
zu Gerät		zu Anlage	

Benennung		TCB/I/OV	
Name		S/P/ES	
Tag		23.9.82	
Beauf.		13.12.82	
Gepr.			

Blatt-Nr.		1	
v. 7 Bl.			



ID0...ID7
 IAO...IA7
 IAI...IA7
 IAI...IA7
 IAI...IA7

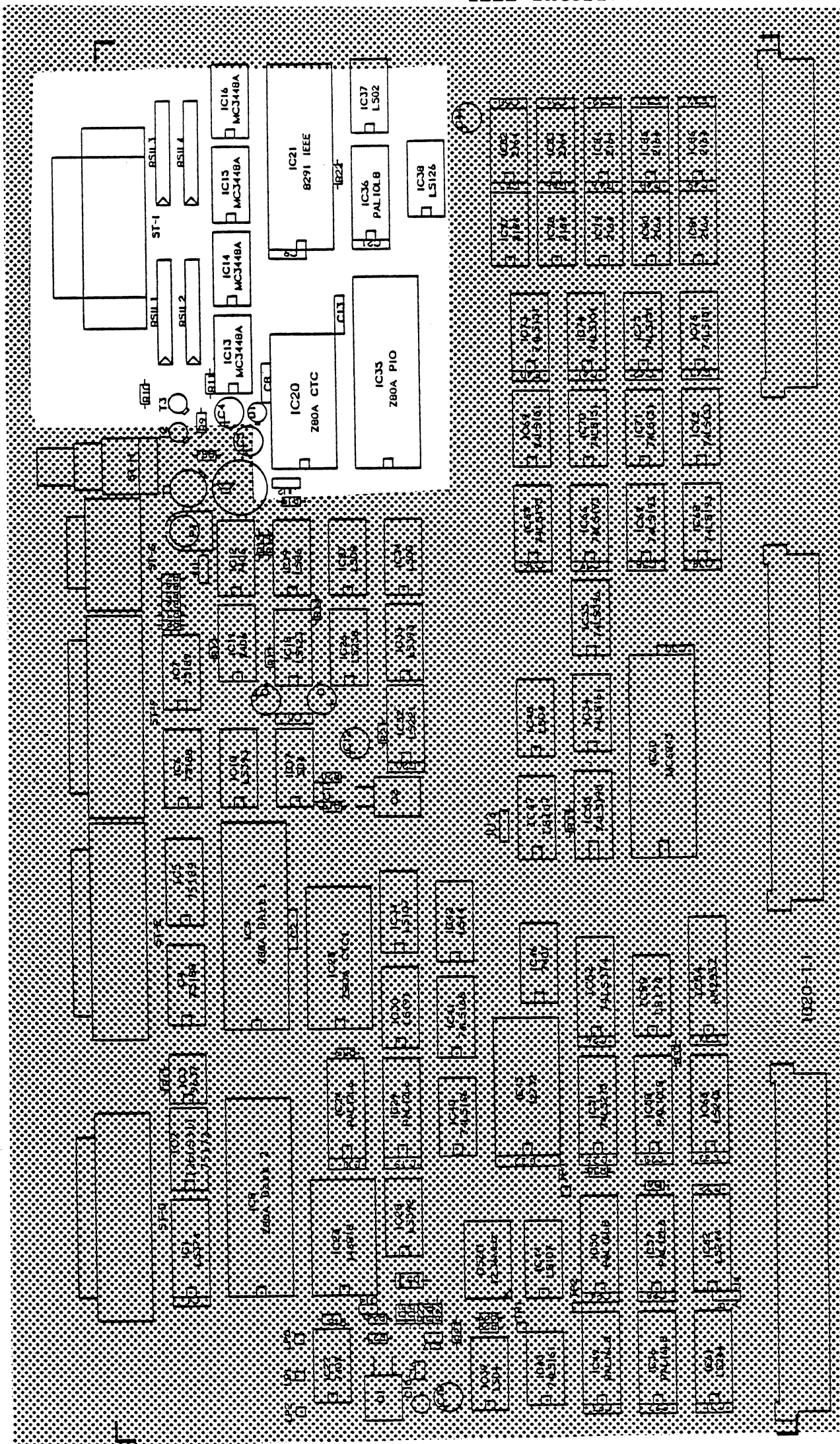


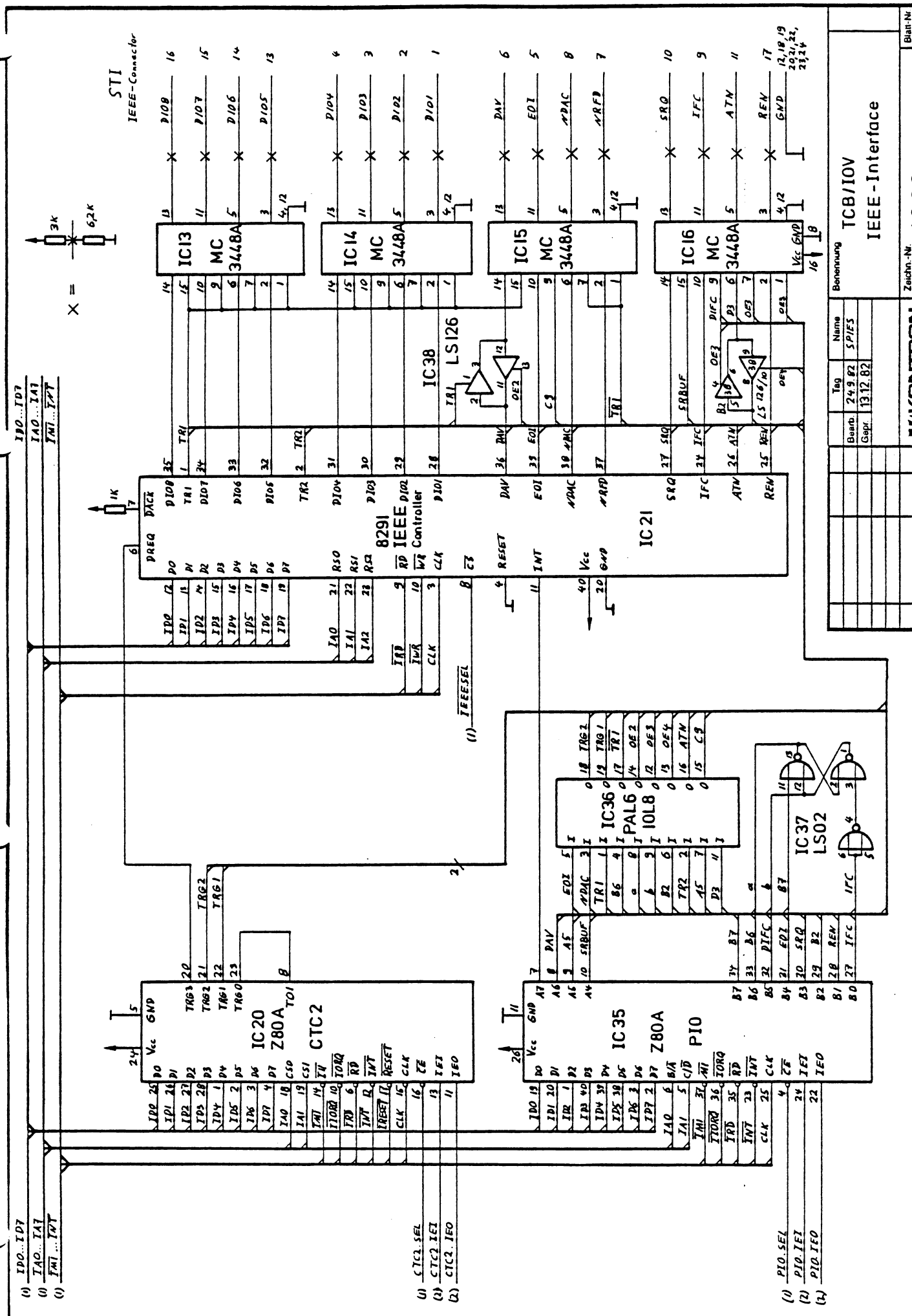
Terminal Connector STE

Terminal Connector STF

Rev	1.1	Andennens-Nr		Nr.	162	Tan	13.12.82	16.12.82	
Benennung	TCB/IOV 2xRS232C Terminal Interface								
Tag	Name								
Bearb.	23.9.81								
Gepr.	13.12.82								
KONTRON ELECTRONIC									
Zeichn.-Nr.	1020								
Blatt-Nr.	3								
V. 7 Bl.									

TCB /IOV
IEEE-Interface





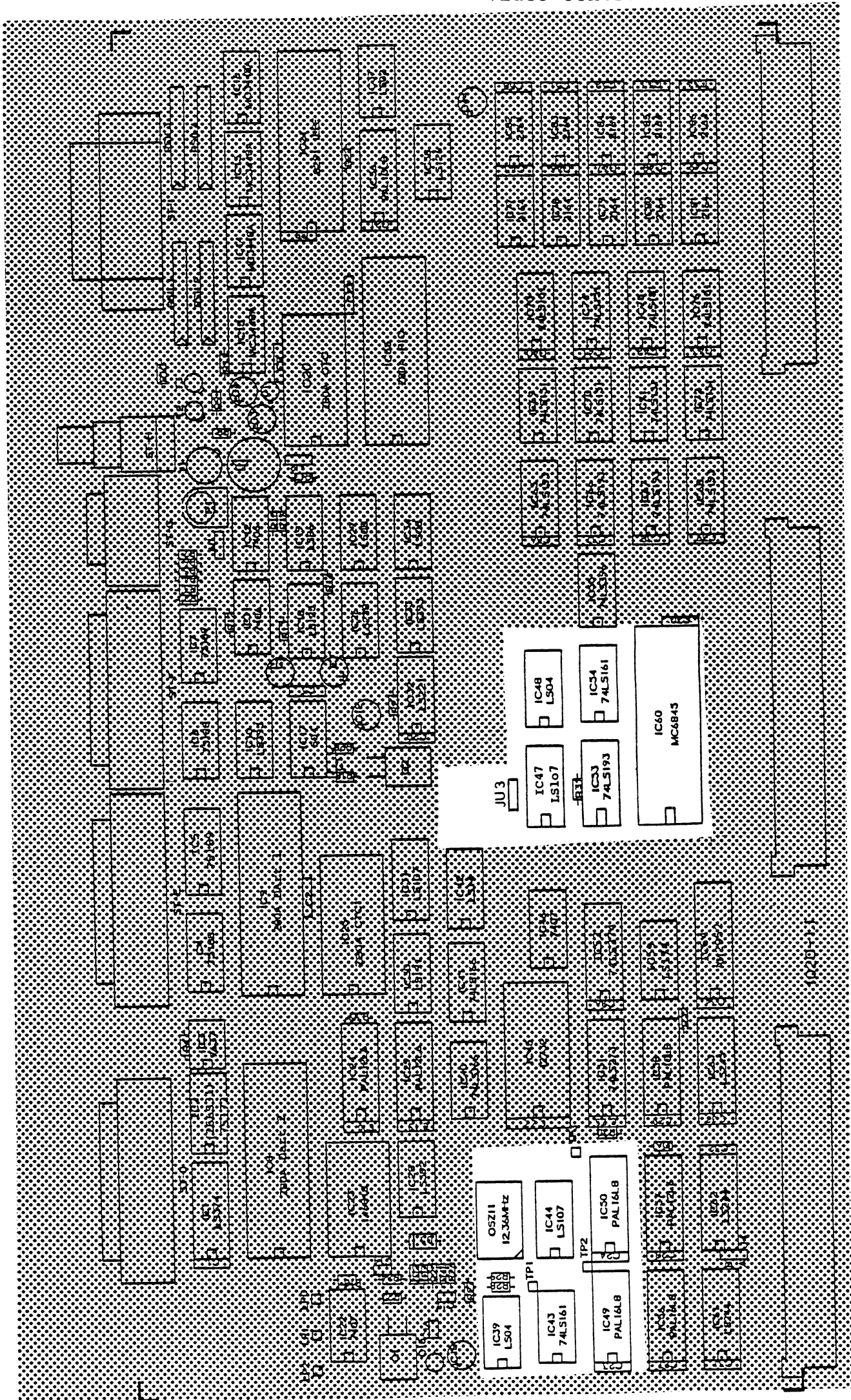
- (1) ID0...ID7
- (2) IAO...IA7
- (3) IAI...IA7
- (4) IBI...IB7
- (5) IBI...IB7
- (6) IBI...IB7
- (7) IBI...IB7
- (8) IBI...IB7
- (9) IBI...IB7
- (10) IBI...IB7
- (11) IBI...IB7
- (12) IBI...IB7
- (13) IBI...IB7
- (14) IBI...IB7
- (15) IBI...IB7
- (16) IBI...IB7
- (17) IBI...IB7
- (18) IBI...IB7
- (19) IBI...IB7
- (20) IBI...IB7
- (21) IBI...IB7
- (22) IBI...IB7
- (23) IBI...IB7
- (24) IBI...IB7
- (25) IBI...IB7
- (26) IBI...IB7
- (27) IBI...IB7
- (28) IBI...IB7
- (29) IBI...IB7
- (30) IBI...IB7
- (31) IBI...IB7
- (32) IBI...IB7
- (33) IBI...IB7
- (34) IBI...IB7
- (35) IBI...IB7
- (36) IBI...IB7
- (37) IBI...IB7
- (38) IBI...IB7
- (39) IBI...IB7
- (40) IBI...IB7
- (41) IBI...IB7
- (42) IBI...IB7
- (43) IBI...IB7
- (44) IBI...IB7
- (45) IBI...IB7
- (46) IBI...IB7
- (47) IBI...IB7
- (48) IBI...IB7
- (49) IBI...IB7
- (50) IBI...IB7
- (51) IBI...IB7
- (52) IBI...IB7
- (53) IBI...IB7
- (54) IBI...IB7
- (55) IBI...IB7
- (56) IBI...IB7
- (57) IBI...IB7
- (58) IBI...IB7
- (59) IBI...IB7
- (60) IBI...IB7
- (61) IBI...IB7
- (62) IBI...IB7
- (63) IBI...IB7
- (64) IBI...IB7
- (65) IBI...IB7
- (66) IBI...IB7
- (67) IBI...IB7
- (68) IBI...IB7
- (69) IBI...IB7
- (70) IBI...IB7
- (71) IBI...IB7
- (72) IBI...IB7
- (73) IBI...IB7
- (74) IBI...IB7
- (75) IBI...IB7
- (76) IBI...IB7
- (77) IBI...IB7
- (78) IBI...IB7
- (79) IBI...IB7
- (80) IBI...IB7
- (81) IBI...IB7
- (82) IBI...IB7
- (83) IBI...IB7
- (84) IBI...IB7
- (85) IBI...IB7
- (86) IBI...IB7
- (87) IBI...IB7
- (88) IBI...IB7
- (89) IBI...IB7
- (90) IBI...IB7
- (91) IBI...IB7
- (92) IBI...IB7
- (93) IBI...IB7
- (94) IBI...IB7
- (95) IBI...IB7
- (96) IBI...IB7
- (97) IBI...IB7
- (98) IBI...IB7
- (99) IBI...IB7
- (100) IBI...IB7

Benennung		TCB/IOV	
Name		IEEE-Interface	
Blatt	24.9.82	Gepr.	13.12.82
Tag		Name	
SPIES			
Nr. 162		16.12.82	
1.1		13.12.82	
Zeichn.-Nr.		1020	
Blatt-Nr.		4	
v. 7 Bl.			



KONTRON ELECTRONIC

TCB / IOV
Video Controller



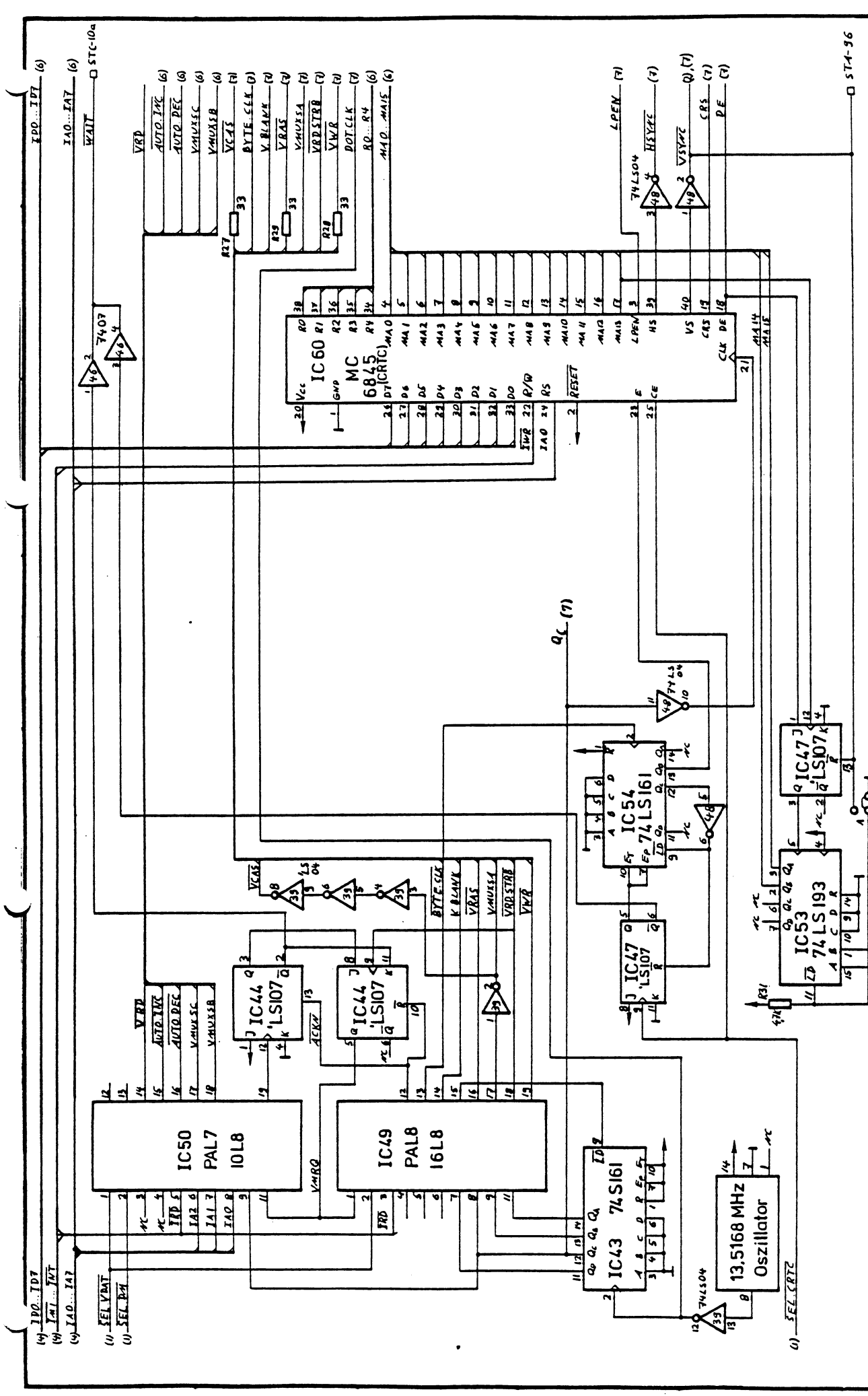
JU3

IC47 LS107	IC48 LS04	IC54 74LS161
IC53 74LS193	IC60 MC6845	

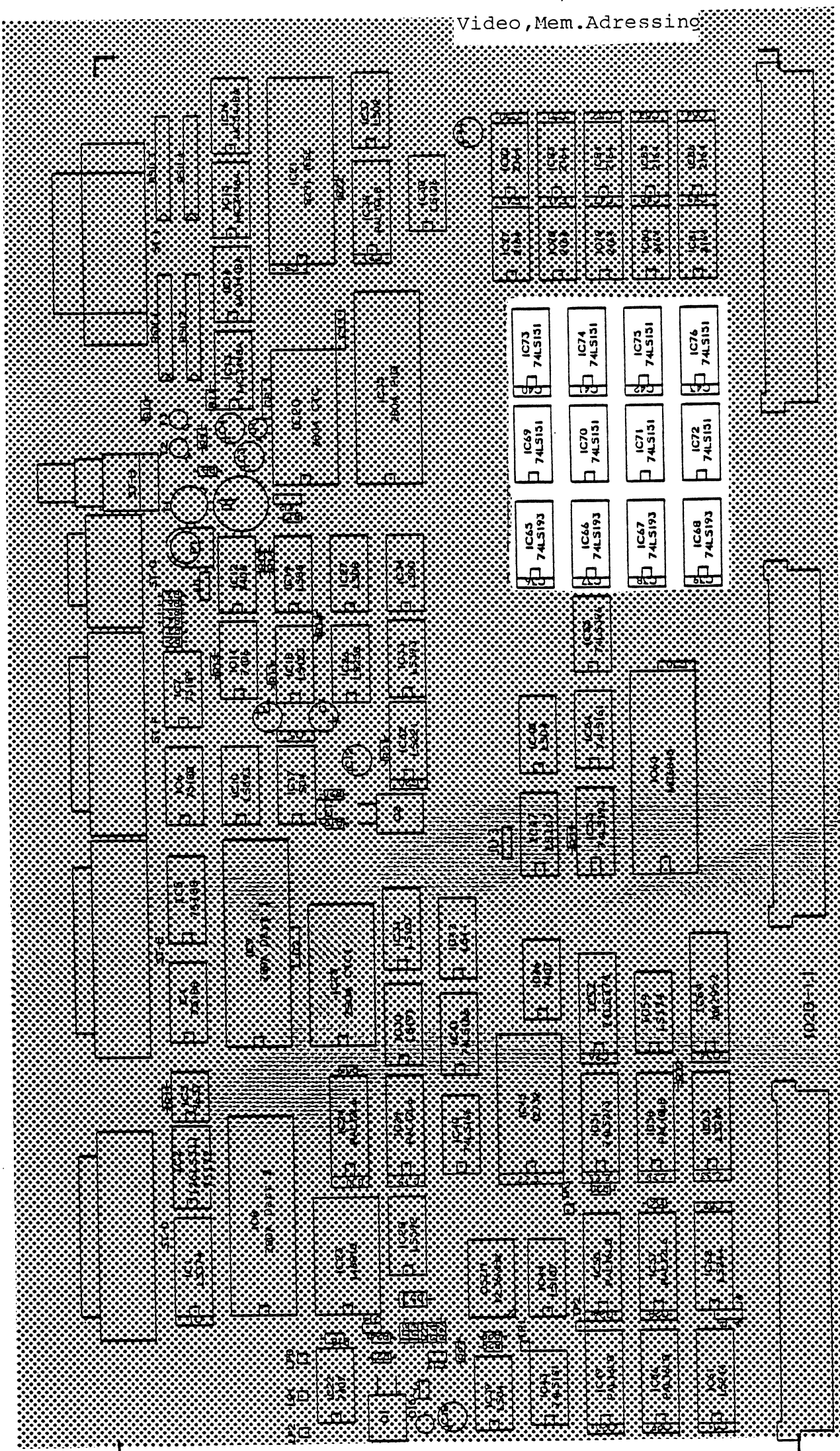
TP1

IC39 LS04	IC43 74LS161	IC50 PAL16L8
--------------	-----------------	-----------------

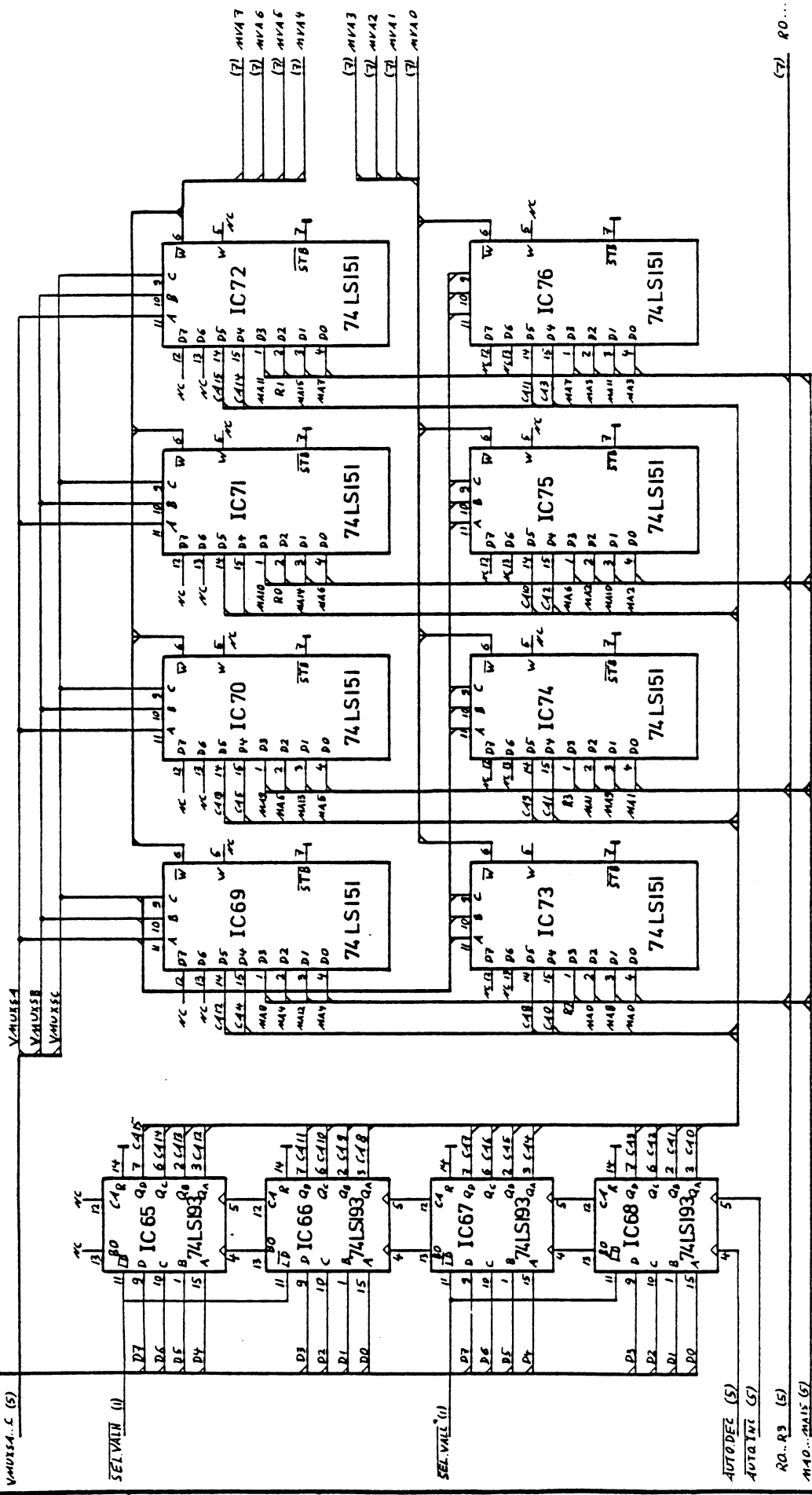
TP2



Name		TCB/10V	
Tag		Video Controller	
Bauh.	27.9.82	Zeichn.-Nr.	1020
Gepr.	13.12.82	Blaß-Nr.	5
KONTRONIK		v. 7 B1	
Nr.	162	16.12.82	
Rev.	1.1	13.12.82	



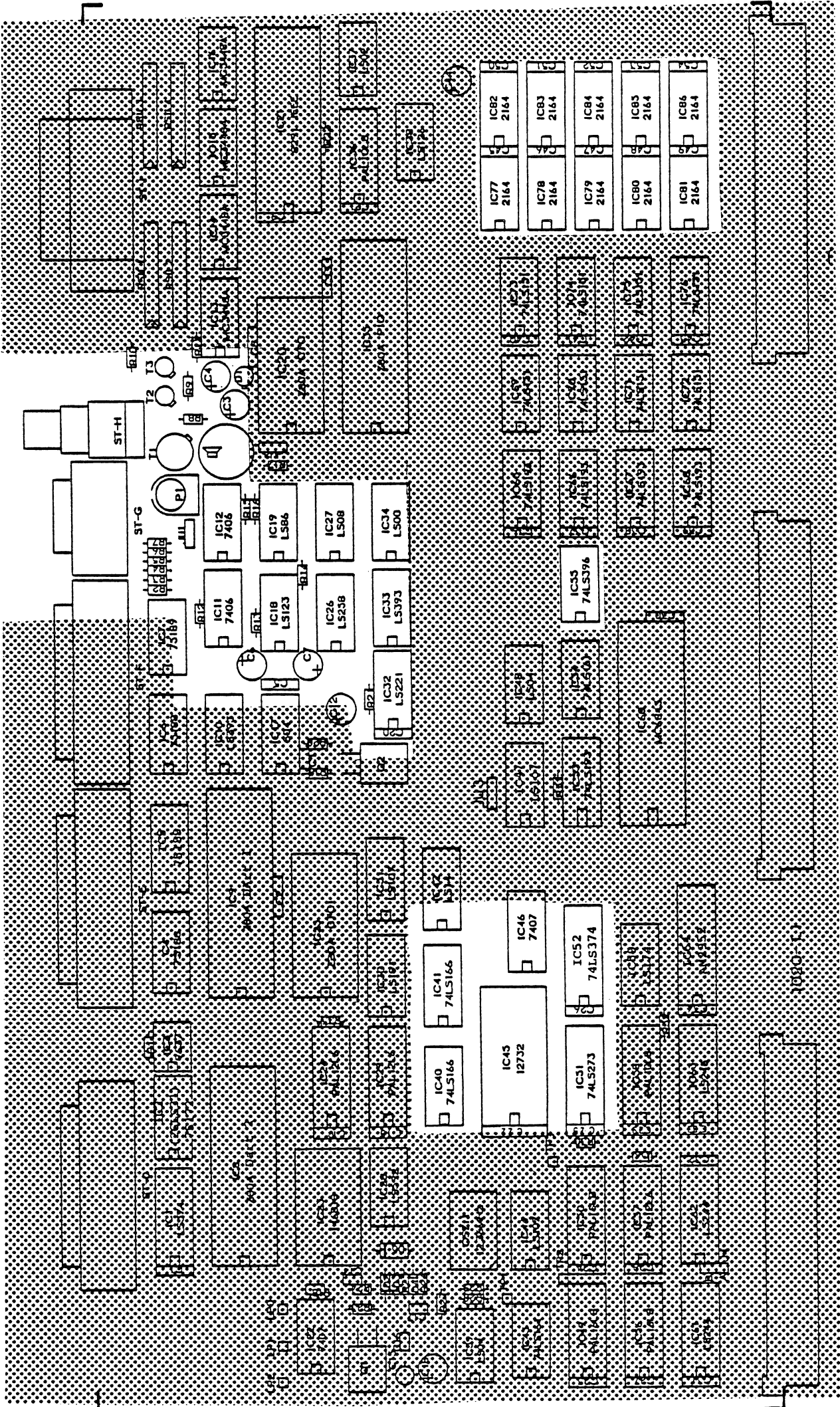
IPDO...ID7 (5)

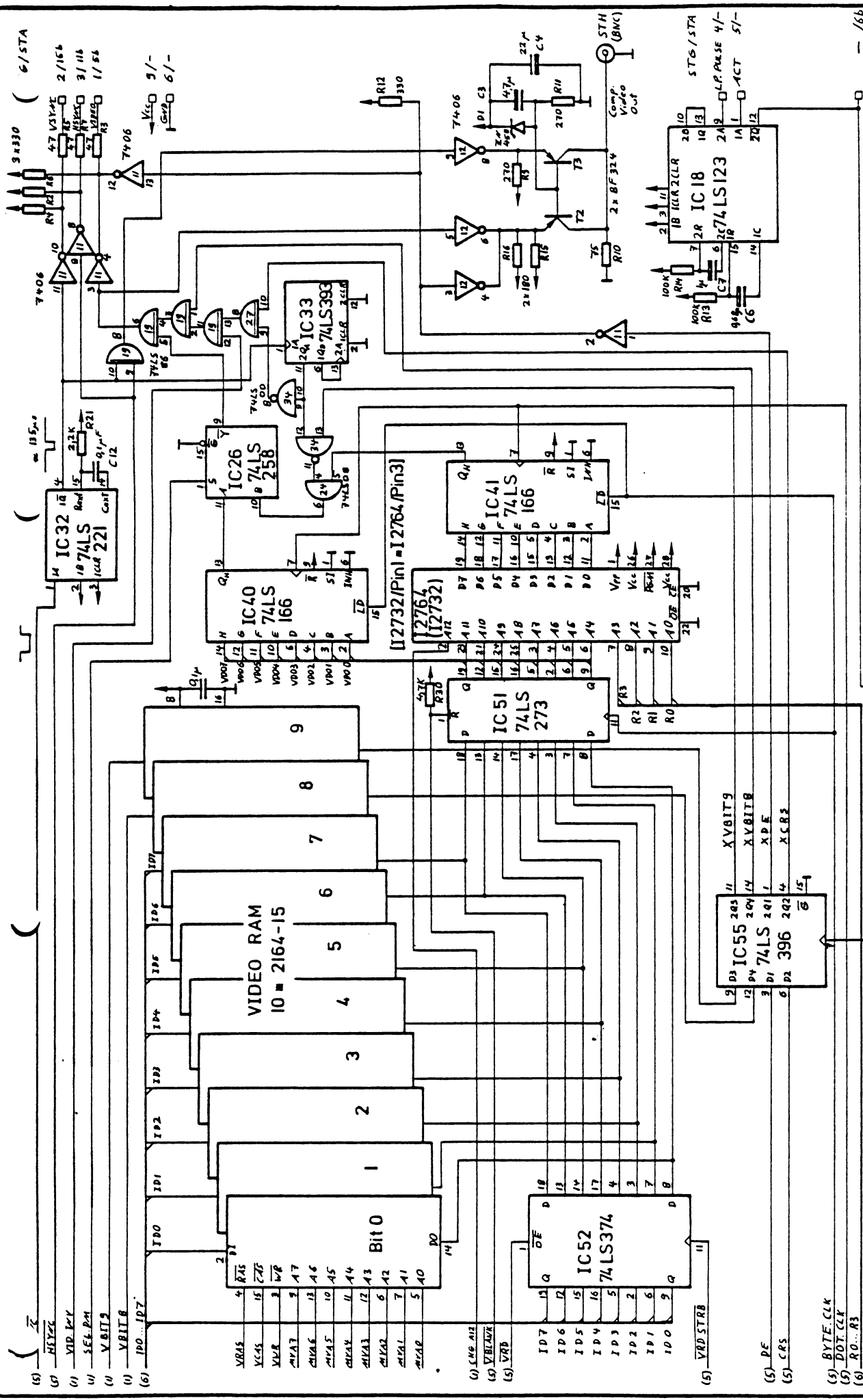


(7) PO...P3

Benennung		TCB/IOV	
Name		Video Memory Addressing	
Tag	Name	Zeichn.-Nr.	1020
Boards	2 8 9 82	Blatt-Nr.	6
Gepr.	13.12.82	v	7 Bl.
KONTRONIK ELECTRONIC			
Rev.	1.1	Antefertig-Nr.	13.12.82
		Termin	
		Name	

Video Memory, VideoInterface





Benennung		TCB/10V Video Memory Video Interface	
Zelchn.-Nr		1020	
Tag		Name	
Bearb.		SPEIS	
Gepr.		13.12.82	
Nr. 162		16.12.82	
1.1		13.12.82	
Blatt-Nr		7	
v		7 B	

- (5) \overline{RD}
- (5) \overline{WE}
- (5) \overline{OE}
- (5) \overline{CE}
- (5) \overline{DE}
- (5) \overline{CS}
- (5) $\overline{L PEN}$
- (5) \overline{OC}



**Beschreibung der Busplatine TCB/BUS 9000
mit folgenden Revisionsständen:**

Rev. 1.1
Rev. 1.1M2
Rev. 1.2

Dieser Abschnitt beschreibt die Multibus-P796-orientierte Busplatine der Systeme Kontron PSI9068/9800/9868. Diese Informationen sind bei Hardware-Erweiterungen durch zusätzliche Baugruppen zu beachten. Diese Beschreibung soll vor allem für den Servicetechniker eine Hilfe sein.



I N H A L T

	Seite
1. Übersicht und Definitionen	2
2. Anschlußbelegung der Busstecker	4
2.1 Steckerreihe C (ECB)	4
2.2 Steckerreihe B (Multibus)	5
2.3 Steckerreihe A (User defined)	7
2.4 Slot 5 bis 7 (Multibus)	8
3. Anschluß von Peripheriegeräten	10
3.1 Stecker ST-A (Reset, Video etc.)	10
3.2 Stecker ST-B (Floppy Disk)	11
3.3 Stecker ST-C (SASI-Controller)	12
3.4 Stecker ST-D (SASI-ECB)	13
4. Spannungszuführung	14
5. Technische Daten	17
Unterschiede zwischen Rev. 1.1M2, 1.1 und 1.2	15
Anhang A: Bestücksplan (Rev. 1.2)	18
Liste aller Tabellen	
Tabelle 1: Belegung Steckerreihe C (ECB-Bus)	4
Tabelle 2: Belegung Steckerreihe B (Multibus)	5
Tabelle 3: Belegung Steckerreihe A (User defined Bus)	7
Tabelle 4: Belegung Bus P796 (Multibus)	9
Tabelle 5: Belegung Stecker ST-A (Reset etc.)	10
Tabelle 6: Belegung Stecker ST-B (Floppy Disk)	11
Tabelle 7: Belegung Stecker ST-C (SASI-Controller)	12
Tabelle 8: Belegung Stecker ST-D (SASI-ECB)	13
Tabelle 9: Belegung Spannungszuführung	14



1. Übersicht und Definitionen

Die Bus- und Verdrahtungsplatine TCB/BUS 9068 (Baugruppe #1021) ist für den Einsatz in allen Geräten der Serie 9068 konzipiert. Sie bietet mit insgesamt 7 Slots vier Steckplätze für Baugruppen im Dreifacheuro-Format (TCB, Breite: 366,7 mm), sowie drei Steckplätze im Multibus-Format.

Folgende Busverdrahtungen sind realisiert:

- ECB Bus (64-pol. VG-Stecker)
- Multibus (P796), wobei alle P1-Signale auf die mittlere 96-pol. VG-Steckerreihe der TCB-Steckplätze geführt sind
- 'User defined' 1:1 Bus (96-pol. VG-Stecker) zur Kommunikation von spezifischen TCB-Baugruppen untereinander

Neben den Baugruppensteckplätzen bietet die Bus- und Verdrahtungsplatine 1:1 Anschlüsse für 5 1/4 inch Floppy Disk Laufwerke (34-polig), sowie 5 1/4 inch Hard Disk Laufwerke mit SASI-Controller (50-polig). Desweiteren sind Anschlüsse für die Stromversorgung, Reset-Schalter, Lautsprecher etc. vorhanden.

Definitionen:

Mit Blick auf die Bauteileseite der Baugruppe ergibt sich folgende Anordnung von Slots bzw. Steckerreihen:

Slots 1..4	TCB (VG-Connectoren)
SLOTS 5..7	P796 (Multibus)

Steckerreihe A:	links, 'User defined' Bus auf VG 41612/96-polig
Steckerreihe B:	Mitte, Multibus auf VG 41612/96-polig
Steckerreihe C:	rechts, ECB-Bus auf VG 41612/96-polig

Abbildung 1 zeigt die prinzipielle Verdrahtung der Baugruppe.

Soweit nicht anders angegeben, bezieht sich die Beschreibung immer auf Platinen ab Rev. 1.2.

Signalbezeichnungen:

'Active Low' Signale sind in dieser Beschreibung durch ein vorangestelltes Minuszeichen (-) gekennzeichnet.

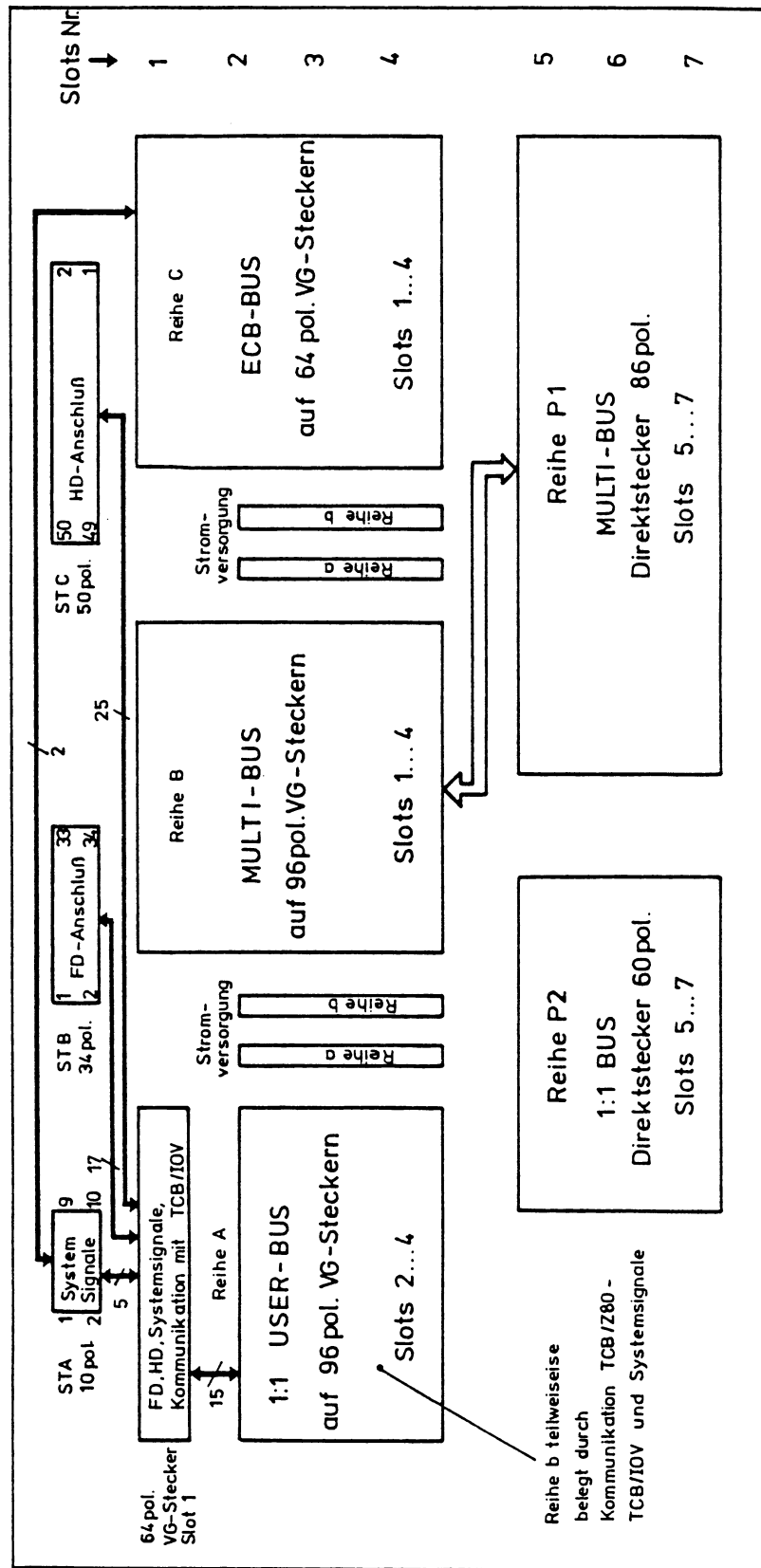


Abbildung 1: Aufbauschema der Baugruppe

TCB / BUS 9068

Slot 1 ist reserviert für CPU-Board TCB/Z80



2. Anschlußbelegung der Busstecker

2.1 Steckerreihe C (ECB)

Ausführung: VG 41612, 64-polig, Reihen a und c belegt

Alle Anschlüsse von Steckerreihe C mit Ausnahme der mit (*) gekennzeichneten Pins sind 1:1 durchverbunden.

Tabelle 1: Belegung Steckerreihe C (ECB-Bus)

Pin	Reihe		
	a	b	c
1	+5 Volt (*)	-	+5 Volt (*)
2	D5	-	D0
3	D6	-	D7
4	D3	-	D2
5	D4	-	A0
6	A2	-	A3
7	A4	-I/O	A1
8	A5	-REQ	A8
9	A6	-C/D	A7
10	-WAIT	-SEL	A16
11	-BUSRQ	MSG	IEI (*)
12	-BAI (*)	-RST	A17
13	+ 12 Volt	-ACK	A18
14	A19	-BSY	D1
15	- 12 Volt	-	-15 Volt
16	2 x CLK	-	IEO (*)
17	-BAO (*)	-	A11
18	A14	-	A10
19	+15 Volt	-	A21
20	-M1	-	-NMI
21	A22	-	-INT
22	A23	-	-WR
23	-	SDP	A20
24	VCMOS	SD7	-RD
25	-	SD6	-HALT
26	-	SD5	-RESET
27	-IORQ	SD4	A12
28	-RFSH	SD3	A15
29	A13	SD2	CLK
30	A9	SD1	-MRQ
31	-BUSAK	SD0	-RESET.IN
32	GND	-	GND

Daisy Chains: IEO (16c) ist mit IEI (11c) des nächsten Steckplatzes verbunden;
 ebenso: -BAO (17a) mit -BAI (12a)



2.2 Steckerreihe B (Multibus)

Ausführung: VG 41612, 96-polig, Reihen a, b, c belegt.

Außer den Anschlüssen 26a und 26b sind alle übrigen zwischen Pin 4 und 29 1:1 durchverbunden (Slots 1..4), sowie an die entsprechenden P1-Anschlüsse der Slots 5..7 angeschlossen. Die P1-Anschlußpins stehen jeweils in Klammern nach der Signalbezeichnung.

Tabelle 2: Belegung Steckerreihe B (Multibus)

Pin	Reihe		
	a	b	c
1	GND	GND	GND
2	+ 5V	+ 5V	+ 5V
3	+12V	+ 5V (VCMOS)	+ 5V (VCMOS)
4	-	-	-
5	-	-	-
6	-MRD (19)	-IORC (21)	-WORD (27)
7	-MWT (20)	-IOWC (22)	-INTA (33)
8	-ACK (23)	-	-FEI (-)
9	-DAO (73)	-DAS (65)	-IRO (41)
10	-DA1 (74)	-DA9 (66)	-IR1 (42)
11	-DA2 (71)	-DAA (63)	-IR2 (39)
12	-DA3 (72)	-DAB (64)	-IR3 (40)
13	-DA4 (69)	-DAC (61)	-IR4 (37)
14	-DA5 (70)	-DAD (62)	-IR5 (38)
15	-DA6 (67)	-DAE (59)	-IR6 (35)
16	-DA7 (68)	-DAF (60)	-IR7 (36)
17	-ADRO (57)	-ADR8 (49)	-ADR10 (28)
18	-ADR1 (58)	-ADR9 (50)	-ADR11 (30)
19	-ADR2 (55)	-ADRA (47)	-ADR12 (32)
20	-ADR3 (56)	-ADRB (48)	-ADR13 (34)
21	-ADR4 (53)	-ADRC (45)	-ADR14 (-)
22	-ADR5 (54)	-ADRD (46)	-ADR15 (-)
23	-ADR6 (51)	-ADRE (43)	-ADR16 (-)
24	-ADR7 (52)	-ADRF (44)	-ADR17 (-)
25	-BCLK (13)	-BUSY (17)	-CLK (31)
26	-BPRI (15)	-BPRO (16)	-INH1 (24)
27	-BRQ (18)	-BCRQ (29)	-INH2 (26)
28	-	-LOCK (25)	-MPR (-)
29	-RESET (-)	-WAIT (-)	-INIT (14)
30	-12V	-	-
31	+ 5V	+ 5V	+ 5V
32	GND	GND	GND



P1 Spannungsanschlüsse: + 5V : 3,4,5,6,81,82,83,84
GND : 1,2,11,12,75,76,85,86
+12V : 7,8
-12V : 79,80

Pin 26b (-BPRO) ist jeweils mit 26a (-BPRI) des nächsten Steckplatzes verbunden; bei P1 gilt das gleiche für Pin 16 und 15.

-FEI, 8c verbunden mit -NMI (20c, ECB-BUS) und -AC.FAIL von Spannungszuführung.

-INIT,29c (P1/14) verbunden mit -PWCLR (26c, ECB-BUS).

Abschlußwiderstände:

Folgende Busleitungen sind mit 1k-Pull-Up-Widerständen versehen:

Pin 6, 7, 8a, 9 - 24, 25b, 26c, 27, 28b, 29c
(jeweils a,b und c, falls nicht extra bezeichnet)

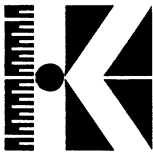
Die Leitungen -BCLK (25a) und -CLK (25c) sind jeweils mit 220 Ohm gegen VCC und 330 Ohm gegen GND abgeschlossen.

Multibus-Zusatzstecker P2 (Slot 5-7):

Die 60 Pins von P2 sind folgendermaßen verdrahtet:

Pin 14, 20, 26, 32, 38, 44, 50 : GND

alle übrigen sind 1:1 durchverbunden.



2.3 Steckerreihe A (User defined)

Ausführung: VG 41612, 64-polig (Slot 1), 96-polig (Slot 2..4)
Reihen a und c, bzw. a,b und c belegt

Slot 1 ist reserviert für die Computerbaugruppe TCB/Z80, welche auf Stecker ST-A drei Signalgruppen zusammenfaßt:

Tabelle 3: Belegung Steckerreihe A - Slot 1

Pin	verbunden mit Slot 2...4		verbunden mit Slot 2...4		
	Reihe a	Reihe b	Reihe c	Reihe b	
1	SEL.SYSM	3	-	4	
2	BW-Video	5	CTC1.CLK3	6	
3	CTC2.CLKO	7	CTC2.CLK1	8	
4	CTC2.CLK2(VSync)	9	CTC2.ZCO	10	
5	HSync.75 Ohm	11	CTC2.CLK3	12	
6	CTC2.ZC1	13	CTC2.ZC2	14	
7	VSync.75 Ohm	15	SOUND.OUT	16	
		verbunden mit ST-C		verbunden mit ST-B	
8	I/O	50	SOUND.POT	17	
9	-REQ	48			
10	C/D	46	-		
11	-SEL	44	-		
12	-MSG	42	-		
13	-RST	40	-		
14	-ACKN	38	-		
15	-BSY	36	-		
16	-	34	-HEAD LOAD	2	
17	-	32	-	4	
18	-	30	-READY (Micropolis)	6	
19	-	28	-INDEX	8	
20	-	26	-DRIVE SEL.0	10	
21	-	24	-DRIVE SEL.1	12	
22	-	22	-DRIVE SEL.2	14	
23	-	20	-MOTOR ON	16	
24	-	18	-DIRECTION	18	
25	Data 7	16	-STEP	20	
26	Data 6	14	-WRITE DATA	22	
27	Data 5	12	-WRITE GATE	24	
28	Date 4	10	-TRACK 0	26	
29	Data 3	8	-WRITE PROTECT	28	
30	Data 2	6	-READ DATA	30	
31	Data 1	4	-HEAD SELECT	32	
32	Data 0	2	-READY (MPI)	34	

1a,c..7a,c Kommunikation mit TCB/IOV über Reihe b von Slot 2..4

8a...32a SASI-Anschluß (verbunden mit ST-C)

16c..32c FD-Anschluß (verbunden mit ST-B)



Hinweis: Die Anschlüsse 16c (-HEAD LOAD) und 23c (-MOTOR ON) sind auf der Baugruppe TCB/Z80 verbunden.
Die Anschlüsse 18c (-READY, Micropolis) und 32c (-READY, MPI etc.) können über einen Jumper auf der Baugruppe TCB/Z80 verbunden werden.

Die Slots 2 bis 4 von Steckerreihe A sind 1:1 verdrahtet, wobei die Anschlüsse der Reihe b teilweise an die Anschlüsse 1a,c bis 7a,c von Slot 1 geführt sind.

2.4 Slot 5 bis 7 (Multibus)

Die Slots 5 bis 7 entsprechen mechanisch und elektrisch den Multibus Spezifikationen (P796).

Alle Anschlüsse des P1-Steckers (86-polig) sind an die Steckerreihe B der TCB-Slots geführt (siehe 2.2). Die P2-Signale sind 1:1 verdrahtet (siehe 2.2).

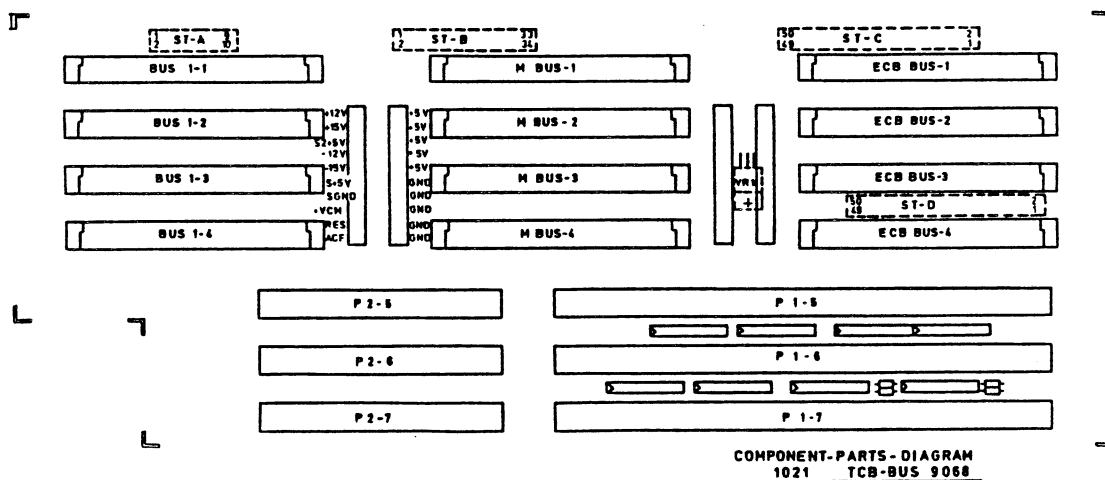
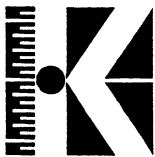




Tabelle 4: Multibus-Belegung (Slots 5 bis 7)

Pin		Pin	
1	GND	2	GND
3	+ 5V	4	+ 5V
5	+ 5V	6	+ 5V
7	+12V	8	+12V
9	-	10	-
11	GND	12	GND
13	BCLK/25a	14	INIT/29c
15	BPRN/26a	16	BPRO/26b
17	BUSY/25b	18	BREQ/27a
19	MRD/(6a)	20	MWT/(7a)
21	IORC/6b	22	IOWC/7b
23	ACK/ 8a	24	INH1/26c
25	LOCK/28b	26	INH2/27c
27	BHEN/ 6c	28	ADR10/17c
29	CBRQ/27b	30	ADR11/18c
31	CCLK/25c	32	ADR12/19c
33	INTA/ 7c	34	ADR13/20c
35	IR6/15c	36	IRS7/16c
37	IR4/13c	38	IRS5/14c
39	IR2/11c	40	IRS3/12c
41	IRO/ 9a	42	IRS1/10c
43	ADRE/23b	44	ADRF/24b
45	ADRC/21b	46	ADRD/22b
47	ADRA/19b	48	ADRB/20b
49	ADR8/17b	50	ADR9/18b
51	ADR6/23a	52	ADR7/24a
53	ADR4/21a	54	ADR5/22a
55	ADR2/19a	56	ADR3/20a
57	ADRO/17a	58	ADR1/18a
59	DAE/15b	60	DAF/16b
61	DAC/13b	62	DAD/14b
63	DAA/11b	64	DAB/12b
65	DA8/ 9b	66	DA9/10b
67	DA6/15a	68	DA7/16a
69	DA4/13a	70	DA5/14a
71	DA2/11a	72	DA3/12a
73	DAO/ 9a	74	DA1/10a
75	GND	76	GND
77	-	78	-
79	-12V	80	-12V
81	+ 5V	82	+ 5V
83	+ 5V	84	+ 5V
85	GND	86	GND

Alle ungeraden Pin-Nummern befinden sich auf der Bauteilseite der Platine, während sich alle geradzahligen Pins auf der Lötseite befinden. Die korrespondierenden Pins des Multibus in Reihe B stehen in Klammern.



3. Anschluß von Peripheriegeräten

Steckplatz 1 ist für die Computerbaugruppe TCB/Z80 reserviert. Diese führt auf Stecker ST-A (64-polig) 3 Signalgruppen:

- a) zur Kommunikation mit der Erweiterungsbaugruppe TCB/IOV
- b) zum Anschluß von FD-Laufwerken (5 1/4 inch)
- c) zum Anschluß eines SASI-Controllers

Tabelle 3 enthält die entsprechende Aufstellung. Die Anschlüsse 8a bis 32a sind an Stecker ST-C, die Anschlüsse 16c bis 32c an Stecker ST-B geführt. Dort können über ein 1:1 Flachbandkabel SASI-Controller (50-polig) bzw. 5 1/4 inch Floppy Disk Laufwerke (34-polig) angeschlossen werden.

Ab Rev. 1.2 ist ein zweiter SASI-Anschluß vorhanden: ST-D.

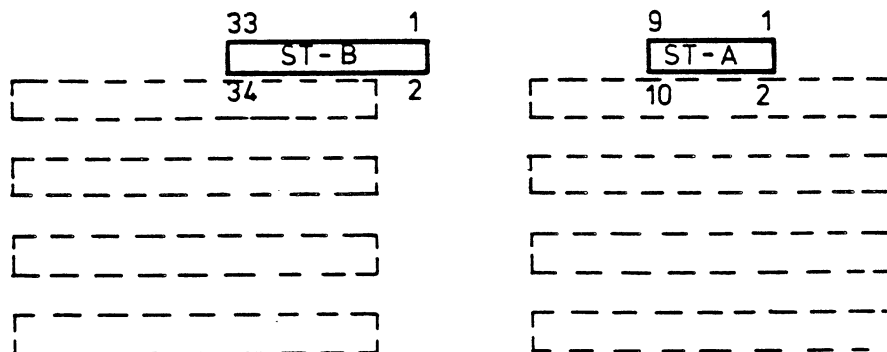
Dieser Anschluß ist mit der b-Reihe vom ECB-BUS (bisher nicht definiert) verbunden und völlig unabhängig von Stecker ST-C.

3.1 Stecker ST-A

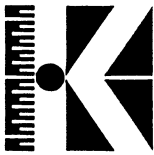
Tabelle 5: Belegung Stecker ST-A (10-polig)

Pin		verbunden mit
1	-RESET.IN	31c/ECB
2	GND	
3	BW-Video	5b/Steckerreihe A (*)
4	GND	
5	VSync 75 Ohm	15b/Steckerreihe A (*)
6	HSync 75 Ohm	11b/Steckerreihe A (*)
7	+ 5V	
8	SOUND.OUT	16b/Steckerreihe A (*)
9	SOUND.POT	17b/Steckerreihe A (*)
10	-NMI	20c/ECB

(*) von Slots 2...4



Ansicht von der Lötseite

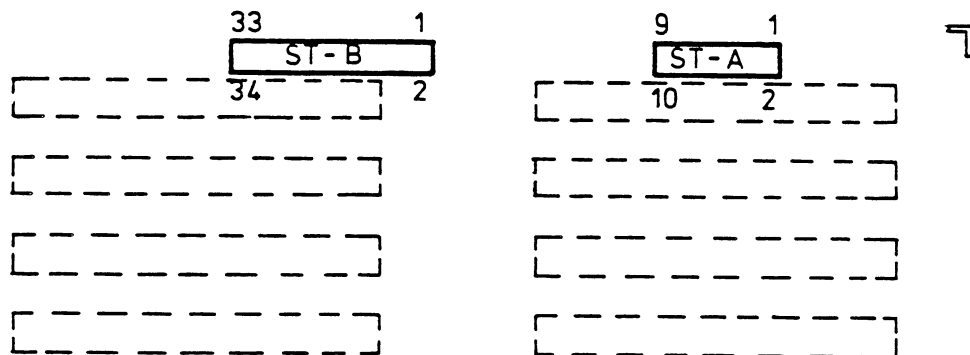


3.2 Stecker ST-B (Floppy Disk)

Tabelle 6: Belegung Stecker ST-B (34-polig)

Pin	Signal
2	-HEAD LOAD
4	-
6	-READY (Micropolis)
8	-INDEX
10	-DRIVE SEL.0
12	-DRIVE SEL.1
14	-DRIVE SEL.2
16	-MOTOR ON
18	-DIRECTION
20	-STEP
22	-WRITE DATA
24	-WRITE GATE
26	-TRACK 0
28	-WRITE PROTECT
30	-READ DATA
32	-HEAD SELECT
34	-READY (MPI)

Alle ungeraden Pins sind mit GND verbunden.



Ansicht von der Lötseite

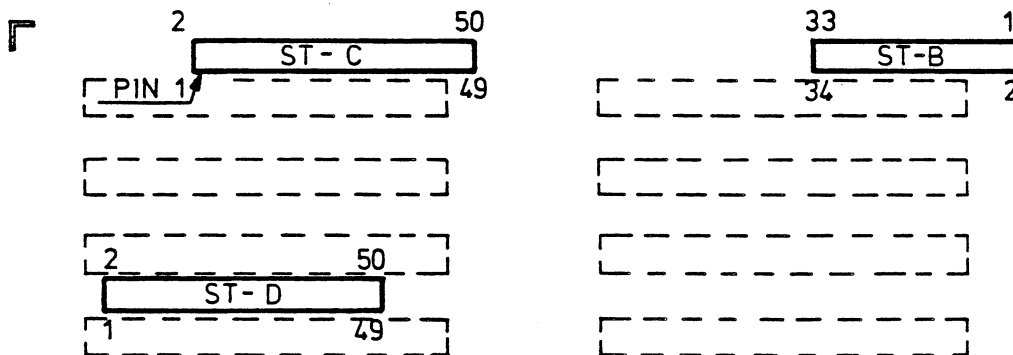


3.3 Stecker ST-C (SASI-Controller)

Tabelle 7: Belegung Stecker ST-C (50-polig)

Pin	Signal
50	-I/O
48	-REQ
46	-C/D
44	-SEL
42	-MSG
40	-RST
38	-ACKN
36	-BSY
34	-
32	-
30	-
28	-
26	-
24	-
22	-
20	-
18	-
16	Data 7
14	Data 6
12	Data 5
10	Data 4
8	Data 3
6	Data 2
4	Data 1
2	Data 0

Alle ungeraden Pins sind mit GND verbunden.



Ansicht von der Lötseite

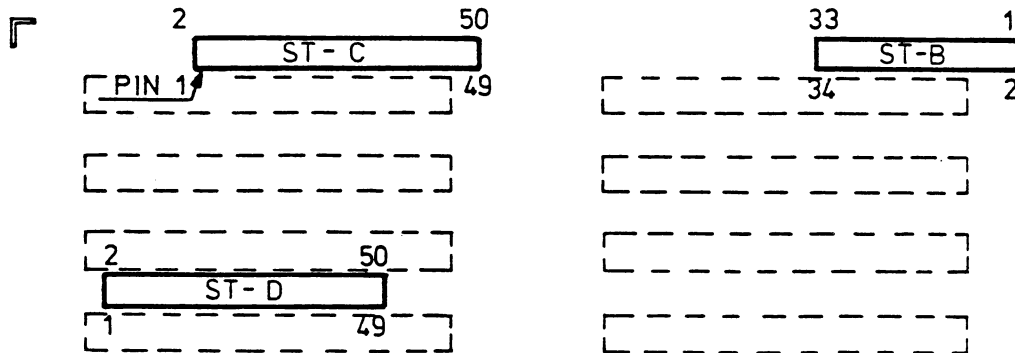


3.4 Stecker ST-D (SASI-ECB)

Ab Rev. 1.2 ist ein zweiter (unabhängiger) SASI-Anschluß vorgesehen. Der Stecker ST-D befindet sich zwischen den Steckplätzen ECB-BUS 3 und ECB-BUS 4 (auf der Lötseite) und ist verbunden mit der b-Reihe von ECB-BUS 1...4. Damit kann unter Verwendung der Baugruppe ECB/SASI ein zweiter unabhängiger Harddisk-Anschluß realisiert werden.

Tabelle 8 Belegung Stecker ST-D (50-polig)

Pin	Signal	ECB-Bus 1...4, Reihe b
50	-I/O	7
48	-REQ	8
46	-C/D	9
44	-SEL	10
42	-MSG	11
40	-RST	12
38	-ACKN	13
36	-BSY	14
34	-	-
32	-	-
30	-	-
28	-	-
26	-	-
24	-	-
22	-	-
20	-	-
18	-	-
16	Data 7	24
14	Data 6	25
12	Data 5	26
10	Data 4	27
8	Data 3	28
6	Data 2	29
4	Data 1	30
2	Data 0	31



Ansicht von der Lötseite



4. Spannungszuführung

Die Spannungszuführung erfolgt über zwei identisch belegte Steckerpaare (Hersteller: Molex) von der Lötseite der Bus- und Verdrahtungsplatine. Die Steckerpaare befinden sich zwischen den Steckerreihen A und B bzw. B und C.

Die +5V-Versorgung ist geteilt (ab Rev. 1.2)

1b, 2b : nur Slot 1 (TCB/Z80)
3b..5b : übrige Slots

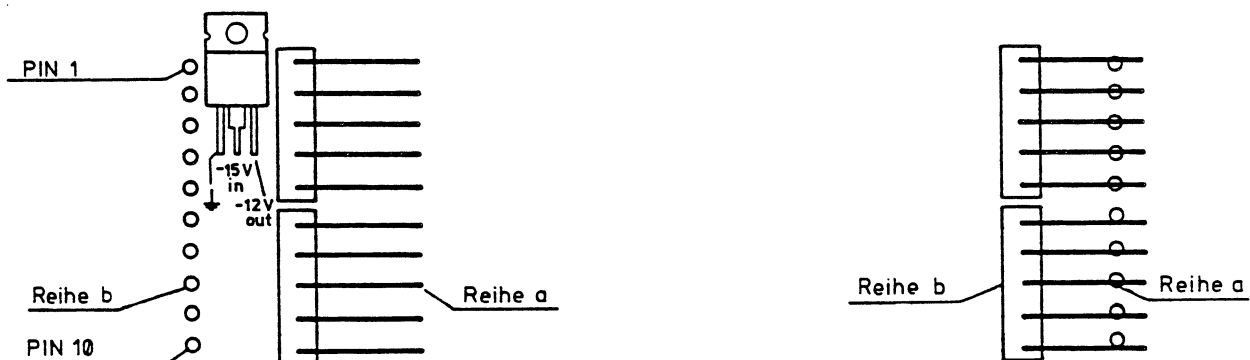
Fühleranschlüsse: 1b, 2b : 3a (+ 5V Sense 2)
3b..5b : 6a (+ 5V Sense 1)

Tabelle 9: Belegung der Spannungszuführung

Pin	Reihe a	Reihe b
1	+12V	+ 5V (Slot 1)
2	+15V	+ 5V (Slot 1)
3	+5V Sense 2	+ 5V (restl. Slots)
4	-12V (-)	+ 5V (restl. Slots)
5	-15V (-)	+ 5V (restl. Slots)
6	+ 5V Sense 1	GND
7	GND Sense	GND
8	VC MOS	GND
9	-RESET.IN (+)	GND
10	-AC Fail (*)	GND

(+) verbunden mit 31c/ECB-BUS und ST-A/Pin 1
(*) Dieses Signal ist mit -NMI (20c, ECB-Bus) und -FEI (8c, Multibus Slot 1-4) verbunden.

(-) Zur Erzeugung der -12V aus -15V kann ein Festspannungsregler (79M12) eingelötet werden (ab Rev. 1.2, siehe nächste Seite).



**Unterschiede zwischen Rev. 1.1M2, Rev. 1.1 und Rev. 1.2**

Zwischen den Versionen 1.1M2 und 1.1 gibt es folgende Unterschiede:

1. Belegung der Spannungszuführung (siehe auch 4.)

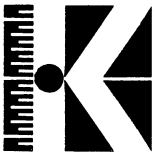
Beim Übergang von Rev. 1.1M2 auf Rev. 1.1 wurde geändert:

- Analog GND entfiel, dafür wurde ein 180V-Anschluß vorgesehen, der mit 32b von Slot 2...4 der Steckerreihe A verbunden ist. Ebenso entfiel der Lötjumper zwischen 3a und 7b.
- Für + 5V und GND wurden jeweils 5 Anschlüsse vorgesehen (1b...5b = 5V, 6b...10b = GND).
- Die Anschlüsse für -12V und -15V wurden getrennt (- 12V : 5a, - 15V : 4a)
 - 12V (5a) ist verbunden mit 15a vom ECB-Bus
 - 15V (4a) ist verbunden mit 15c vom ECB-Bus
- Der Anschluß 9a (bisher keine Verbindung) wurde mit dem Signal -RESET.IN belegt. Damit ist es möglich, von der Netzteilplatine aus einen RESET-Impuls zu generieren, was bei einer evtl. Einschaltsequenz von Bedeutung ist.

Belegung Rev. 1.1M2			! Rev. 1.1	
Pin	Reihe a	Reihe b	Reihe a	Reihe b
1	+12V	+ 5V	+12V	+ 5V
2	+15V	+ 5V	+15V	+ 5V
3	Analog-GND	+ 5V	+180V	+ 5V
4	-12/-15V	NC	-12V	+ 5V
5	NC	GND	-15V	+ 5V
6	+ 5V Sense	GND	+ 5V Sense	GND
7	GND Sense	GND	GND Sense	GND
8	VCMOS	GND	VCMOS	GND
9	NC	NC	-RESET.IN	GND
10	-AC Fail	NC	-AC-Fail	GND

Von 1.1 auf 1.2 wurde geändert:

- + 5V-Versorgung geteilt (Slot 1/restl. Slots)
- 2. SASI-Anschluß (ST-D) auf b-Reihe von ECB-BUS
- -12V-Erzeugung über Spannungsregler möglich.
- +180V-Anschluß entfällt, dafür ein zweiter Fühleranschluß: 5V Sense 2



2. Die Version 1.1M2 enthielt bei der Belegung von Slot 1, Steckerreihe A (siehe 2.3, Tabelle 3) einen Fehler, der auf der Platine nicht behoben werden konnte, da sich die betreffende Leitung in der Innenlage befand:

Das Signal SOND.POT lag nicht auf 8c sondern auf 8a, gleichzeitig mit dem Signal I/O vom SASI-Anschluß.

Dies bedeutet, daß bei 1.1M2 der SOUND.POT-Anschluß nicht beschaltet werden darf, sowohl von Stecker ST-A (siehe 3.1) als auch von der Reihe b bei Slot 2..4 in der Steckerreihe A (2.3) aus.

Bei der Platine TCB/IOV muß daher der Anschluß 17b von ST-A aufgetrennt werden (17b = SOUND.POT), falls eine 1.1M2 Busplatine vorliegt.



5. Technische Daten

Abmessungen: 396 x 155 x 18 mm
Multilayer 6-lagig (1 x VCC, 1 x GND
4 x Signal)

Gewicht: ca. 350 g

Steckverbinder:

Reihe A,B: VG-Steckverbinder 96-pol.
DIN 61412

Reihe C: VG-Steckverbinder 64-pol.
DIN 61412

STA: 10-pol. Pfostensteckverbinder
(2-reihig)

STB: 34-pol. Pfostensteckverbinder
(2-reihig)

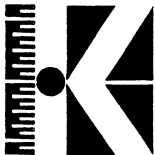
STC: 50-pol. Pfostensteckverbinder
(2-reihig)

STD: 50-pol. Pfostensteckverbinder
(2-reihig)

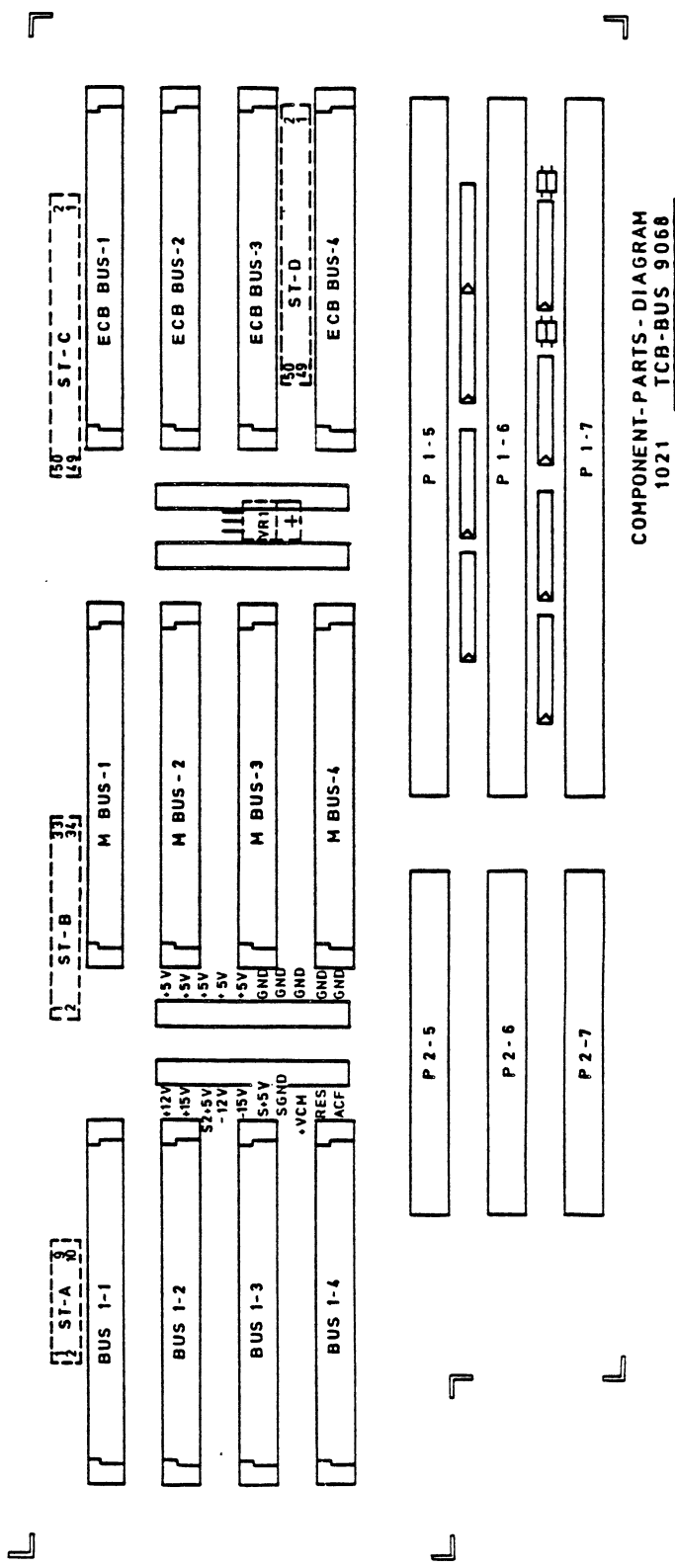
Reihe P1: 86-pol. Direktsteckverbinder
(3,96 mm Raster)

Reihe P2: 60-pol. Direktsteckverbinder
(2,54 mm Raster)

Spannungszuführung: 2 x 10-pol. MOLEX-Steckverbinder
abgewinkelt (Raster 5,08 mm)



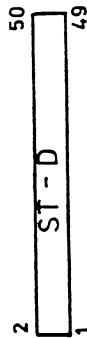
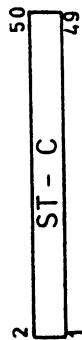
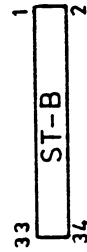
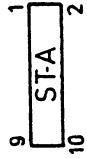
Anhang A: Bestückungsplan (Rev. 1.2)



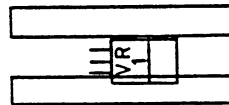
COMPONENT-PARTS - DIAGRAM
1021 TCB-BUS_9068



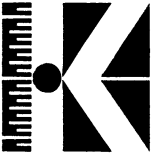
Beschreibung TCB/BUS 9000



- + 12 V
 - + 15 V
 - S2+5V
 - 12 V
 - 15 V
 - S+5V
 - S GND
 - +VCM
 - RES
 - ACF
-
- + 5 V
 - + 5 V
 - + 5 V
 - + 5 V
 - GND
 - GND
 - GND
 - GND



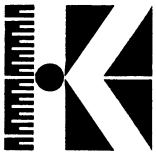
Lötseite
TCB/Bus 9000



**Beschreibung der Busplatine TCB/BUS 980 mit
folgenden Revisionsständen:**

- Rev. 1.1
- Rev. 1.1M2
- Rev. 1.2
- Rev. 1.3

Dieser Abschnitt beschreibt die ECB/TCB-orientierte Busplatine der Systeme Kontron PSI980. Diese Informationen sind bei Hardware-Erweiterungen durch zusätzliche Baugruppen zu beachten. Diese Beschreibung soll vor allem für den Servicetechniker eine Hilfe bieten.



I N H A L T

	Seite
1. Übersicht und Definitionen	2
2. Anschlußbelegung der Busstecker	4
2.1 Steckerreihe C (B) (ECB)	4
2.2 Steckerreihe B (Multibus)	7
2.3 Steckerreihe A (User defined)	9
3. Anschluß von Peripheriegeräten	10
3.1 Stecker ST-A (Reset, Video etc.)	11
3.2 Stecker ST-B (Floppy Disk)	11
3.3 Stecker ST-C (SASI-Controller)	12
3.4 Stecker ST-D (SASI-ECB)	13
4. Spannungszuführung	14
5. Technische Daten	16
6. Bestückungspläne	17

Liste aller Tabellen

Tabelle 1:	Belegung Steckerreihe C (ECB-Bus)	4
Tabelle 2:	Belegung Steckerreihe B (Multibus)	7
Tabelle 3:	Belegung Steckerreihe A (User defined Bus)	9
Tabelle 4:	Belegung Stecker ST-A (Reset etc.)	11
Tabelle 5:	Belegung Stecker ST-B (Floppy Disk)	11
Tabelle 6:	Belegung Stecker ST-C (SASI-Controller)	12
Tabelle 7:	Belegung Stecker ST-D (SASI-ECB)	13
Tabelle 8:	Belegung Spannungszuführung	14



1. Übersicht und Definitionen

Die Bus- und Verdrahtungsplatine TCB/BUS 980 (Baugruppe # 1025) ist für den Einsatz in allen Geräten der Serie 980/9800 konzipiert. Sie bietet insgesamt vier Steckplätze für Baugruppen im Dreifacheuro-Format (TCB, Breite: 366,7 mm), sowie sechs zusätzliche Steckplätze für Baugruppen im Einfacheuro-Format (ECB).

Folgende Busverdrahtungen sind realisiert:

- ECB Bus (64-pol. VG-Stecker)
- Multibus auf der mittleren 96-pol. VG-Steckerreihe der TCB-Steckplätze
- 'User defined' 1:1 Bus (96-pol. VG-Stecker) zur Kommunikation von spezifischen TCB-Baugruppen untereinander

Neben den Baugruppensteckplätzen bietet die Bus- und Verdrahtungsplatine 1:1 Anschlüsse für 5 1/4 inch Floppy Disk Laufwerke (34-polig), sowie 5 1/4 inch Hard Disk Laufwerke mit SASI-Controller (50-polig). Desweiteren sind Anschlüsse für die Stromversorgung, Reset-Schalter, Lautsprecher etc. vorhanden.

Definitionen:

Mit Blick auf die Bauteileseite der Baugruppe ergibt sich folgende Anordnung von Slots bzw. Steckerreihen:

Slots 1..4	TCB (VG-Connectoren)
SLOTS 5..7	ECB-Bus E..J (2 Reihen)

Steckerreihe A:	links, 'User defined' Bus auf VG 41612/96-polig
Steckerreihe B:	Mitte, Multibus auf VG 41612/96-polig
Steckerreihe C:	rechts, ECB-Bus auf VG 41612/96-polig

Abbildung 1 zeigt die prinzipielle Verdrahtung der Baugruppe.

Soweit nicht anders angegeben, bezieht sich die Beschreibung immer auf Platinen ab Rev. 1.2.

Signalbezeichnungen:

'Active Low' Signale sind in dieser Beschreibung durch ein vorangestelltes Minuszeichen (-) gekennzeichnet.

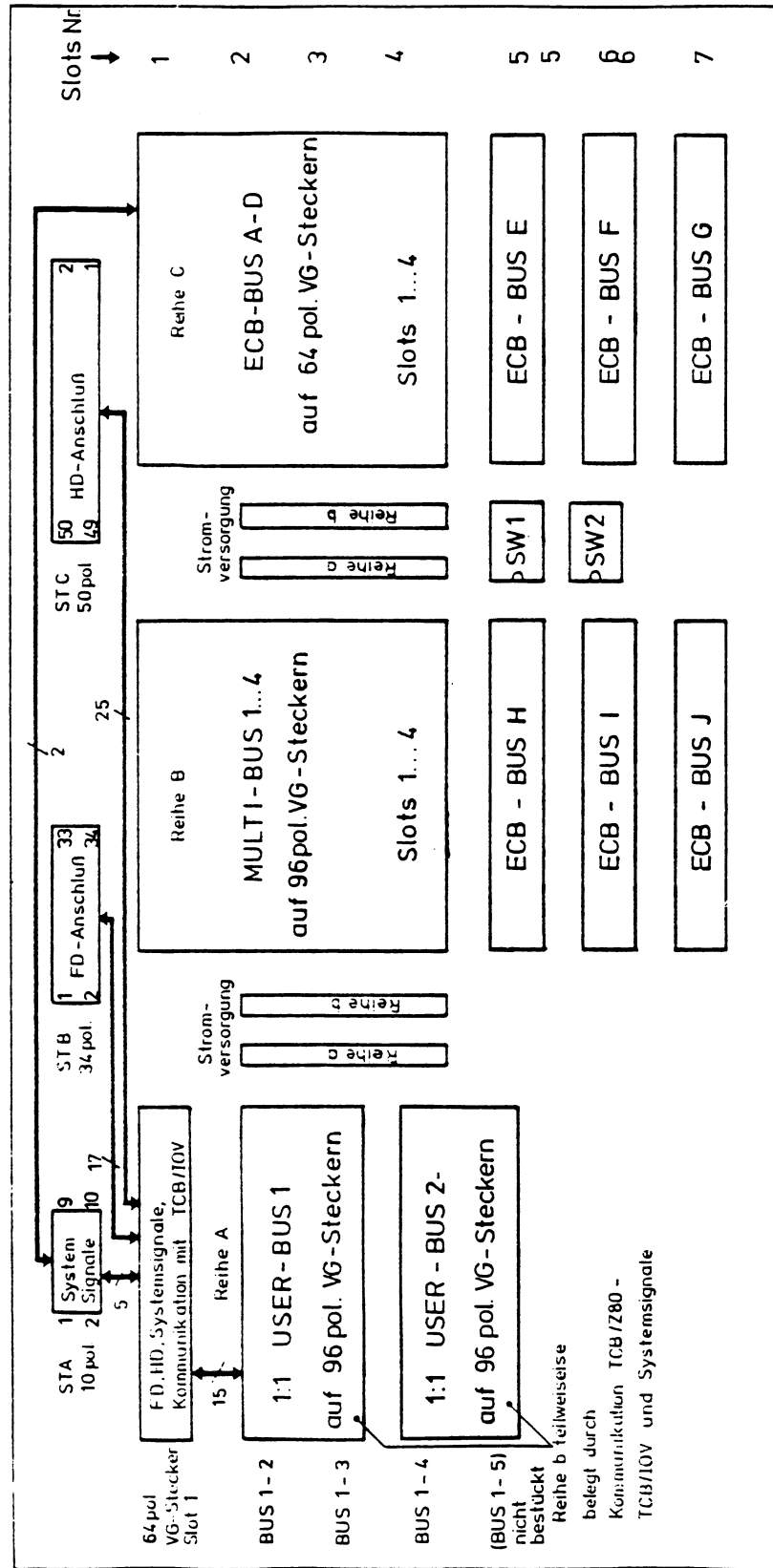


Abbildung 1: Aufbauschema der Baugruppe



2. Anschlußbelegung der Busstecker

2.1 Steckerreihe C (B) (ECB-BUS A...J)

Ausführung: VG 41612, 96-polig, Reihen a, b und c belegt
(Bis Rev. 1.1: 64 polig, Reihen a und c belegt)

Außer den mit (*) gekennzeichneten Pins sind alle Anschlüsse 1:1 durchverbunden.

Reihe b enthält Signale für SASI-Interface (ab Rev. 1.2).

Tabelle 1: Belegung ECB-Bus

Pin	Reihe		
	a	b	c
1	+5 Volt (*)	-	+5 Volt (*)
2	D5	-	D0
3	D6	-	D7
4	D3	-	D2
5	D4	-	A0
6	A2	-	A3
7	A4	-I/O	A1
8	A5	-REQ	A8
9	A6	-C/D	A7
10	-WAIT	-SEL	A16
11	-BUSRQ	-MSG	IEI (*)
12	-BAI (*)	-RST	A17
13	+ 12 Volt	-ACK	A18
14	A19	-BSY	D1
15	- 12 Volt	-	-15 Volt
16	2 x CLK	-	IEO (*)
17	-BAO (*)	-	A11
18	A14	-	A10
19	+15 Volt	-	A21
20	-M1	-	-NMI
21	A22	-	-INT
22	A23	-	-WR
23	-	SDP	A20
24	VCMOS	SD7	-RD
25	-	SD6	-HALT
26	-	SD5	-RESET
27	-IORQ	SD4	A12
28	-RFSH	SD3	A15
29	A13	SD2	CLK
30	A9	SD1	-MRQ
31	-BUSAK	SD0	-RESET.IN
32	GND	-	GND

Daisy Chains: IEO (16c) ist mit IEI (11c) des nächsten Steckplatzes verbunden;
ebenso: -BAO (17a) mit -BAI (12a)

Die Datenleitungen DO...D7 sind mit 4,7 kOhm gegen +5V abgeschlossen (RSIL8).



Schalter zur Überbrückung der Daisy-Chain-Signale:

Auf der Rückseite der Busplatine befinden sich zwei DIL-Schalter, mit denen sowohl die Interrupt-Daisy-Chain als auch die BUS-Acknowledge-Daisy-Chain für die einzelnen ECB-Steckplätze durchverbunden werden können.

Dies gilt für die Steckplätze ECB-BUS B bis ECB-BUS I. Sind alle Schalter geöffnet, so besitzen die Steckplätze folgende Prioritäten:

Höchste Priorität	Steckplatz ECB-BUS B
·	·
·	·
niederste Priorität	Steckplatz ECB-BUS I

Die Zuordnung zwischen Steckplatz und dazugehörigen Schaltern zur Überbrückung der Signale IEI-IEO (Verbindung Pin 11c - 16c des ECB-Steckers) sowie BAI-BAO (Verbindung Pin 12a - 17a) geht aus folgender Tabelle hervor.

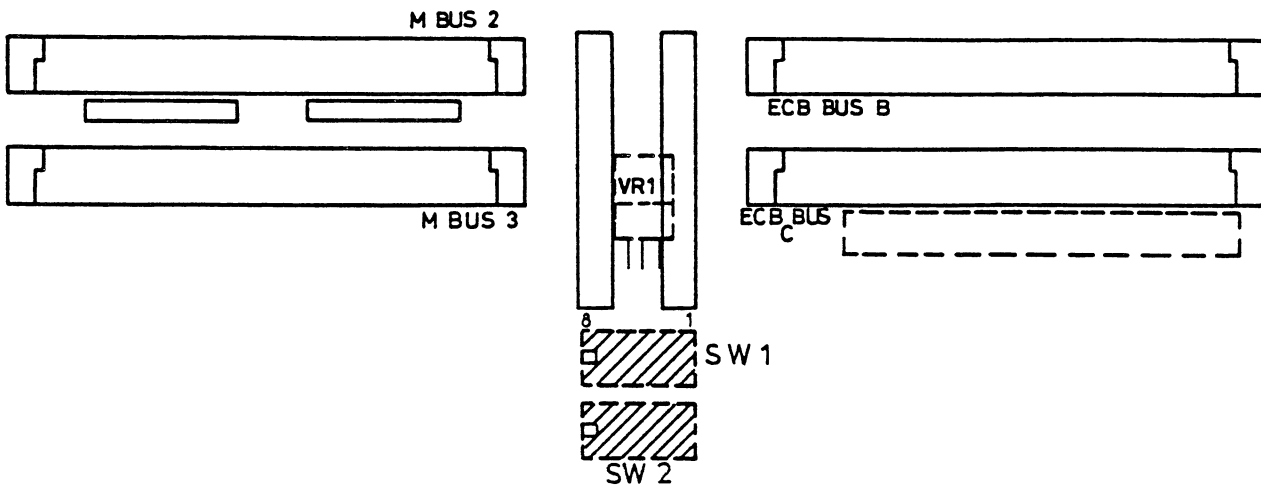
Steckplatz	Verbindung 11C - 16C (IEI - IEO)	12a - 17a (BAI - BAO)
ECB-BUS B	SW 1/1	SW 1/2
ECB-BUS C	SW 1/3	SW 1/4
ECB-BUS D	SW 1/5	SW 1/6
ECB-BUS E	SW 1/7	SW 1/8
ECB-BUS F	SW 2/1	SW 2/2
ECB-BUS G	SW 2/3	SW 2/4
ECB-BUS H	SW 2/5	SW 2/6
ECB-BUS I	SW 2/7	SW 2/8

SW 2/5 bedeutet: SW2/Schalter 5

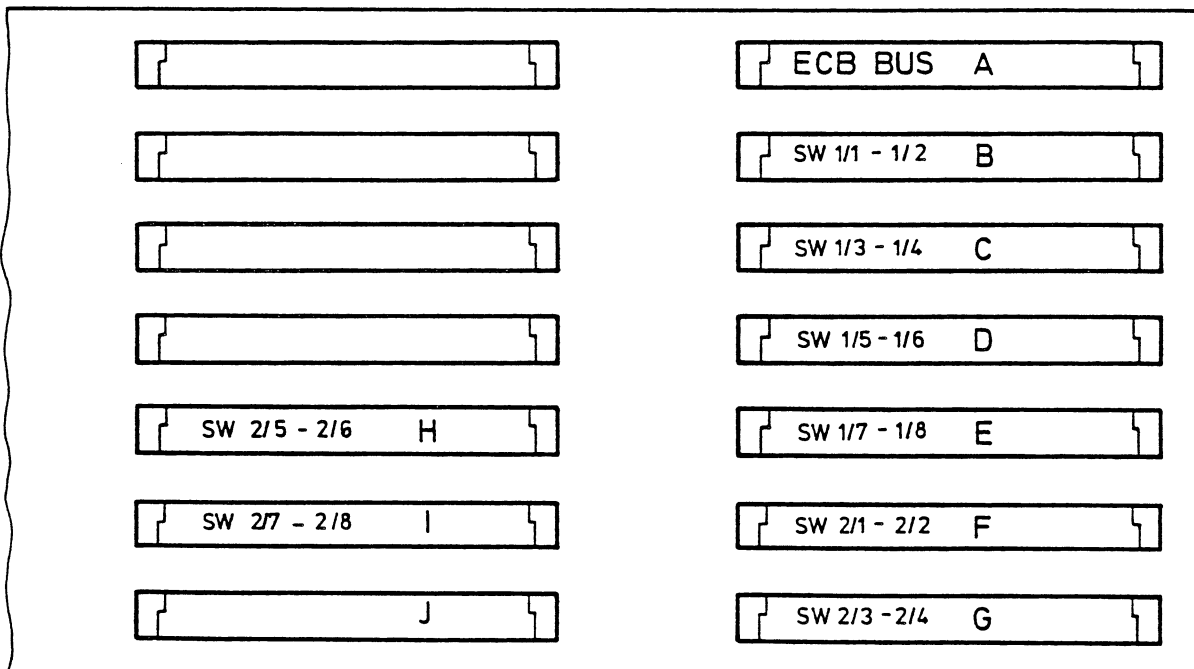


Beschreibung TCB/BUS 980

Die Lage der Schalter geht aus folgender Abbildung hervor:



Die Lage der ECB-Steckplätze ist von der Rückseite des Gerätes gesehen wie folgt:



PLATINE NR. 1025 B

Beispiel: Ist das Rack mit TCB/Z80, TCB/IOV sowie einer ECB/KPP in ECB-BUS E bestückt, so müssen die Steckplätze C und D überbrückt werden. Es müssen also die Schalter 1/3 ... 1/6 geschlossen werden.



2.2 Steckerreihe B (Multibus)

Ausführung: VG 41612, 96-polig, Reihen a, b, c belegt.

Außer den Anschlüssen 26a und 26b sind alle übrigen zwischen Pin 4 und 29 1:1 durchverbunden (Slots 1..4).

Tabelle 2: Belegung Steckerreihe B (Multibus)

Pin	a	Reihe b	c
1	GND	GND	GND
2	+ 5V	+ 5V	+ 5V
3	+12V	+ 5V (VCMOS)	+ 5V (VCMOS)
4	-	-	-
5	-	-	-
6	-MRD	-IORC	-WORD
7	-MWT	-IOWC	-INTA
8	-ACK	-	-FEI
9	-DAO	-DAS	-IRO
10	-DA1	-DA9	-IR1
11	-DA2	-DAA	-IR2
12	-DA3	-DAB	-IR3
13	-DA4	-DAC	-IR4
14	-DA5	-DAD	-IR5
15	-DA6	-DAE	-IR6
16	-DA7	-DAF	-IR7
17	-ADRO	-ADR8	-ADR10
18	-ADR1	-ADR9	-ADR11
19	-ADR2	-ADRA	-ADR12
20	-ADR3	-ADRB	-ADR13
21	-ADR4	-ADRC	-ADR14
22	-ADR5	-ADRD	-ADR15
23	-ADR6	-ADRE	-ADR16
24	-ADR7	-ADRF	-ADR17
25	-BCLK	-BUSY	-CLK
26	-BPRI	-BPRO	-INH1
27	-BRQ	-BCRQ	-INH2
28	-	-LOCK	-MPR
29	-RESET	-WAIT	-INIT
30	-12V	-	-
31	+ 5V	+ 5V	+ 5V
32	GND	GND	GND



Pin 26b (-BPRO) ist jeweils mit 26a (-BPRI) des nächsten Steckplatzes verbunden.

-FEI (8c) ist verbunden mit -NMI (20c, ECB-BUS)

Abschlußwiderstände:

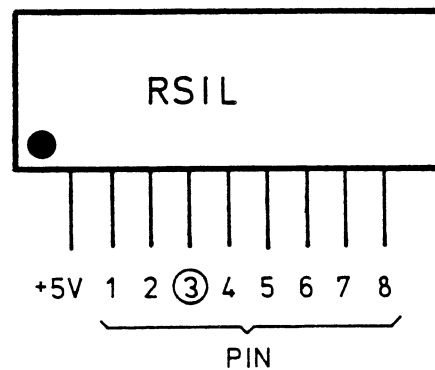
Folgende Busleitungen sind mit 1k-Pull-Up-Widerständen (RSIL 1...7) versehen:

Pin 6, 7, 8a, 9a,b, 10a,b, 11-20, 21a,b, 22a,b, 23a,b, 24a,b, 25b, 26c, 27, 28b, 29c
(jeweils a,b und c, falls nicht extra bezeichnet)

Die Leitungen -BCLK (25a) und -CLK (25c) sind jeweils mit 220 Ohm gegen VCC und 330 Ohm gegen GND abgeschlossen (R1...R4).

Tabelle zur Zordnung der einzelnen Abschlußwiderstände:

Pin	a	b	Reihe c
6	1,1	4,1	7,1
7	1,2	4,2	7,2
8	1,3	-	-
9	1,4	4,3	-
10	1,5	4,4	-
11	1,6	4,5	7,3
12	1,7	4,6	7,4
13	1,8	4,7	7,5
14	2,1	4,8	7,6
15	2,2	5,1	7,7
16	2,3	5,2	7,8
17	2,4	5,3	3,4
18	2,5	5,4	3,5
19	2,6	5,5	3,7
20	2,7	5,6	3,8
21	2,8	5,7	-
22	3,1	5,8	-
23	3,2	6,1	-
24	3,3	6,2	-
25	R1,R2	6,3	R3,R4
26	-	-	6,4
27	3,6	6,6	6,5
28	-	6,7	-
29	-	-	6,8



Dabei bedeutet z.B. 1,3 Pin 3 von RSIL 1 gemäß nebenstehender Abbildung.



2.3 Steckerreihe A (User defined)

Ausführung: VG 41612, 64-polig (Slot 1), 96-polig (Slot 2..4)
Reihen a und c, bzw. a,b und c belegt

Slot 1 ist reserviert für die Computerbaugruppe TCB/Z80, welche auf Stecker ST-A drei Signalgruppen zusammenfaßt:

Tabelle 3: Belegung Steckerreihe A - Slot 1

Pin	verbunden mit Slot 2...5		verbunden mit Slot 2...5	
	Reihe a	Reihe b	Reihe c	Reihe b
1	SEL.SYSM	3	-	4
2	BW-Video	5	CTC1.CLK3	6
3	CTC2.CLKO	7	CTC2.CLK1	8
4	CTC2.CLK2(VSync)	9	CTC2.ZCO	10
5	HSync.75 Ohm	11	CTC2.CLK3	12
6	CTC2.ZC1	13	CTC2.ZC2	14
7	VSync.75 Ohm	15	SOUND.OUT	16

		verbunden mit ST-C	verbunden mit ST-B	
8	I/O	50	SOUND.OUT	17
9	-REQ	48		
10	C/D	46	-	
11	-SEL	44	-	
12	-MSG	42	-	
13	-RST	40	-	
14	-ACKN	38	-	
15	-BSY	36	-	
16	-	34	-HEAD LOAD	2
17	-	32	-	4
18	-	30	-READY (Micropolis)	6
19	-	28	-INDEX	8
20	-	26	-DRIVE SEL.0	10
21	-	24	-DRIVE SEL.1	12
22	-	22	-DRIVE SEL.2	14
23	-	20	-MOTOR ON	16
24	-	18	-DIRECTION	18
25	Data 7	16	-STEP	20
26	Data 6	14	-WRITE DATA	22
27	Data 5	12	-WRITE GATE	24
28	Data 4	10	-TRACK 0	26
29	Data 3	8	-WRITE PROTECT	28
30	Data 2	6	-READ DATA	30
31	Data 1	4	-HEAD SELECT	32
32	Data 0	2	-READY (MPI)	34

1a,c..7a,c	Kommunikation mit TCB/IOV über Reihe b von Slot 2..4			
8a...32a	SASI-Anschluß (verbunden mit ST-C)			
16c..32c	FD-Anschluß (verbunden mit ST-B)			

Hinweis: Die Anschlüsse 16c (-HEAD LOAD) und 23c (-MOTOR ON) sind auf der Baugruppe TCB/Z80 verbunden.
Die Anschlüsse 18c (-READY, Micropolis) und 32c (-READY, MPI etc.) können über einen Jumper auf der Baugruppe TCB/Z80 verbunden werden.



Slot 2...5 = BUS 1-2...BUS 1-5:

Spannungsversorgung: 1a,c, 32a,c GND
 2a,c, 31a,c + 5V

BUS 1-2/BUS 1-3: 3a,c bis 30a,c 1:1 verdrahtet
BUS 1-4/BUS 1-5: 3a,c bis 30a,c 1:1 verdrahtet
BUS 1-2/BUS 1-3/BUS 1-4/BUS 1-5: 1b bis 32b 1:1 verdrahtet

Anschlüsse der Reihe b sind, wie aus Tabelle 3 ersichtlich, teilweise mit Anschlüssen der Reihe a und c von Slot 1 (BUS 1-1) verbunden.

Anmerkung: Slot 5 (BUS 1-5) wird im PSI 980 nicht bestückt.

3. Anschluß von Peripheriegeräten

Steckplatz 1 ist für die Computerbaugruppe TCB/Z80 reserviert. Diese führt auf Stecker ST-A (64-polig) 3 Signalgruppen:

- a) zur Kommunikation mit der Erweiterungsbaugruppe TCB/IOV
- b) zum Anschluß von FD-Laufwerken (5 1/4 inch)
- c) zum Anschluß eines SASI-Controllers

Tabelle 3 enthält die entsprechende Aufstellung. Die Anschlüsse 8a bis 32a sind an Stecker ST-C, die Anschlüsse 16c bis 32c an Stecker ST-B geführt. Dort können über ein 1:1 Flachbandkabel SASI-Controller (50-polig) bzw. 5 1/4 inch Floppy Disk Laufwerke (34-polig) angeschlossen werden.

Ab Rev. 1.2 ist ein zweiter SASI-Anschluß vorhanden: ST-D. Dieser Anschluß ist mit der b-Reihe vom ECB-BUS (bisher nicht definiert) verbunden und völlig unabhängig von Stecker ST-C.

Achtung: Beim Anschluß von Peripheriegeräten (Harddisk, Floppy) ist stets darauf zu achten, daß die rot markierte Seite des Flachbandkabels stets zu Pin 1 des Steckverbinders zeigen muß.



3.1 Stecker ST-A

Tabelle 4: Belegung Stecker ST-A (10-polig)

Pin		verbunden mit
1	-RESET.IN	31c/ECB
2	GND	
3	BW-Video	5b/Steckerreihe A (*)
4	GND	
5	VSynC 75 Ohm	15b/Steckerreihe A (*)
6	HSynC 75 Ohm	11b/Steckerreihe A (*)
7	+ 5V	
8	SOUND.OUT	16b/Steckerreihe A (*)
9	SOUND.POT	17b/Steckerreihe A (*)
10	-NMI	20c/ECB

(*) von Slots 2...5 (BUS1-2...BUS 1-5)

3.2 Stecker ST-B (Floppy Disk)

Tabelle 5: Belegung Stecker ST-B (34-polig)

Pin	Signal
2	-HEAD LOAD
4	-
6	-READY (Micropolis)
8	-INDEX
10	-DRIVE SEL.0
12	-DRIVE SEL.1
14	-DRIVE SEL.2
16	-MOTOR ON
18	-DIRECTION
20	-STEP
22	-WRITE DATA
24	-WRITE GATE
26	-TRACK 0
28	-WRITE PROTECT
30	-READ DATA
32	-HEAD SELECT
34	-READY (MPI)

Alle ungeraden Pins sind mit GND verbunden.

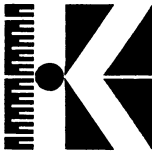


3.3 Stecker ST-C (SASI-Controller)

Tabelle 6: Belegung Stecker ST-C (50-polig)

Pin	Signal
50	-I/O
48	-REQ
46	-C/D
44	-SEL
42	-MSG
40	-RST
38	-ACKN
36	-BSY
34	-
32	-
30	-
28	-
26	-
24	-
22	-
20	-
18	-
16	Data 7
14	Data 6
12	Data 5
10	Data 4
8	Data 3
6	Data 2
4	Data 1
2	Data 0

Alle ungeraden Pins sind mit GND verbunden.



3.4 Stecker ST-D (SASI-ECB)

Ab Rev. 1.2 ist ein zweiter (unabhängiger) SASI-Anschluß vorgesehen. Der Stecker ST-D befindet sich zwischen den Steckplätzen ECB-BUS C und ECB-BUS D (auf der Lötseite) und ist verbunden mit der b-Reihe von ECB-BUS A...G. Damit kann unter Verwendung der Baugruppe ECB/SASI ein zweiter unabhängiger Harddisk-Anschluß realisiert werden.

Tabelle 7: Belegung Stecker ST-D (50-polig)

Pin	Signal	ECB.BUS A...G, Reihe b
50	-I/O	7
48	-REQ	8
46	-C/D	9
44	-SEL	10
42	-MSG	11
40	-RST	12
38	-ACKN	13
36	-BSY	14
34	-	-
32	-	-
30	-	-
28	-	-
26	-	-
24	-	-
22	-	-
20	-	-
18	-	-
16	Data 7	24
14	Data 6	25
12	Data 5	26
10	Data 4	27
8	Data 3	28
6	Data 2	29
4	Data 1	30
2	Data 0	31

Alle ungeraden Pins sind mit GND verbunden.

4. Spannungszuführung

Die Spannungszuführung erfolgt über zwei identisch belegte Steckerpaare (Hersteller: Molex) von der Lötseite der Bus- und Verdrahtungsplatine. Die Steckerpaare befinden sich zwischen den Steckerreihen A und B bzw. B und C.

Die +5V-Versorgung ist geteilt (ab Rev. 1.2)

1b, 2b : nur Slot 1 (TCB/Z80)
 3b..5b : übrige Slots

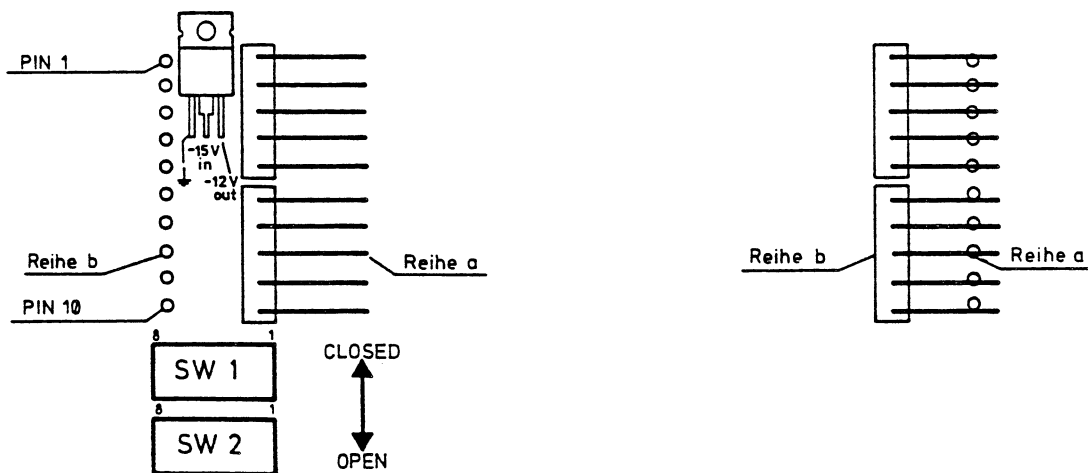
Fühleranschlüsse: 1b, 2b : 3a (+ 5V Sense 2)
 3b..5b : 6a (+ 5V Sense 1)

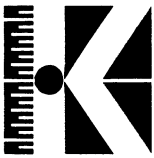
Tabelle 8: Belegung der Spannungszuführung (ab Rev. 1.2)

Pin	Reihe a	Reihe b
1	+12V	+ 5V (Slot 1)
2	+15V	+ 5V (Slot 1)
3	+5V Sense 2	+ 5V (restl. Slots)
4	-12V (-)	+ 5V (restl. Slots)
5	-15V (-)	+ 5V (restl. Slots)
6	+ 5V Sense 1	GND
7	GND Sense	GND
8	VCMOS	GND
9	-RESET.IN (+)	GND
10	-AC Fail (*)	GND

(+) verbunden mit 31c/ECB-BUS und ST-A/Pin 1
 (*) Dieses Signal ist mit -NMI (20c, ECB-Bus) und -FEI (8c, Multibus Slot 1-4) verbunden.

(-) Zur Erzeugung der -12V aus -15V kann ein Festspannungsregler (79M12) eingelötet werden (ab Rev. 1.2).





Anmerkung: Die Belegung der Spannungszuführung wurde zweimal geändert. (Rev. 1.1M2 ---> 1.1, Rev. 1.1 ---> 1.2). Die Belegung für 1.1M2 und 1.1 sind im Folgenden ersichtlich:

Unterschiede zwischen Rev. 1.1M2, Rev. 1.1, 1.2 und 1.3

Zwischen den Versionen 1.1M2 und 1.1 gibt es folgende Unterschiede bei der Belegung der Spannungszuführung (siehe auch 4.).

Beim Übergang von Rev. 1.1M2 auf Rev. 1.1 wurde geändert:

- Analog GND entfiel, dafür wurde ein 180V-Anschluß vorgesehen, der mit 32b von Slot 2...5 der Steckerreihe A (siehe 2.3) verbunden ist. Ebenso entfiel der Lötjumper zwischen 3a und 7b.
- Für + 5V und GND wurden jeweils 5 Anschlüsse vorgesehen (1b...5b = 5V, 6b...10b = GND).
- Die Anschlüsse für -12V und -15V wurden getrennt (- 12V : 5a, - 15V : 4a)
 - 12V (5a) ist verbunden mit 15a vom ECB-Bus
 - 15V (4a) ist verbunden mit 15c vom ECB-Bus
- Der Anschluß 9a (bisher keine Verbindung) wurde mit dem Signal -RESET.IN belegt. Damit ist es möglich, von der Netzteilplatine aus einen RESET-Impuls zu generieren, was bei einer evtl. Einschaltsequenz von Bedeutung ist.

Belegung Rev. 1.1M2			!	Rev. 1.1	
Pin	Reihe a	Reihe b	!	Reihe a	Reihe b
1	+12V	+ 5V	!	+12V	+ 5V
2	+12V	+ 5V	!	+15V	+ 5V
3	Analog-GND	+ 5V	!	+180V	+ 5V
4	-12/-15V	NC	!	-12V	+ 5V
5	NC	GND	!	-15V	+ 5V
6	+ 5V Sense	GND	!	+ 5V Sense	GND
7	GND Sense	GND	!	GND Sense	GND
8	VCMOS	GND	!	VCMOS	GND
9	NC	NC	!	-RESET IN	GND
10	-AC Fail	NC	!	-AC Fail	GND

Von 1.1 auf 1.2 wurde geändert:

- + 5V-Versorgung geteilt (Slot 1/restl. Slots)
- 2. SASI-Anschluß (ST-D) auf b-Reihe von ECB-BUS
- -12V-Erzeugung über Spannungsregler möglich
- +180V-Anschluß entfällt, dafür ein zweiter Fühleranschluß: +5 V Sense 2

Zwischen 1.2 und 1.3 besteht kein funktionaler Unterschied.



5. Technische Daten

Abmessungen: 396 x 155 x 18 mm
Multilayer 6-lagig (1 x VCC, 1 x GND
4 x Signal)

Gewicht: ca. 350 g

Steckverbinder:

Reihe A,B: VG-Steckverbinder 96-pol.
DIN 61412

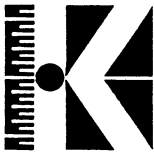
Reihe B, C: VG-Steckverbinder 64-pol.
DIN 61412

STA: 10-pol. Pfostensteckverbinder
(2-reihig)

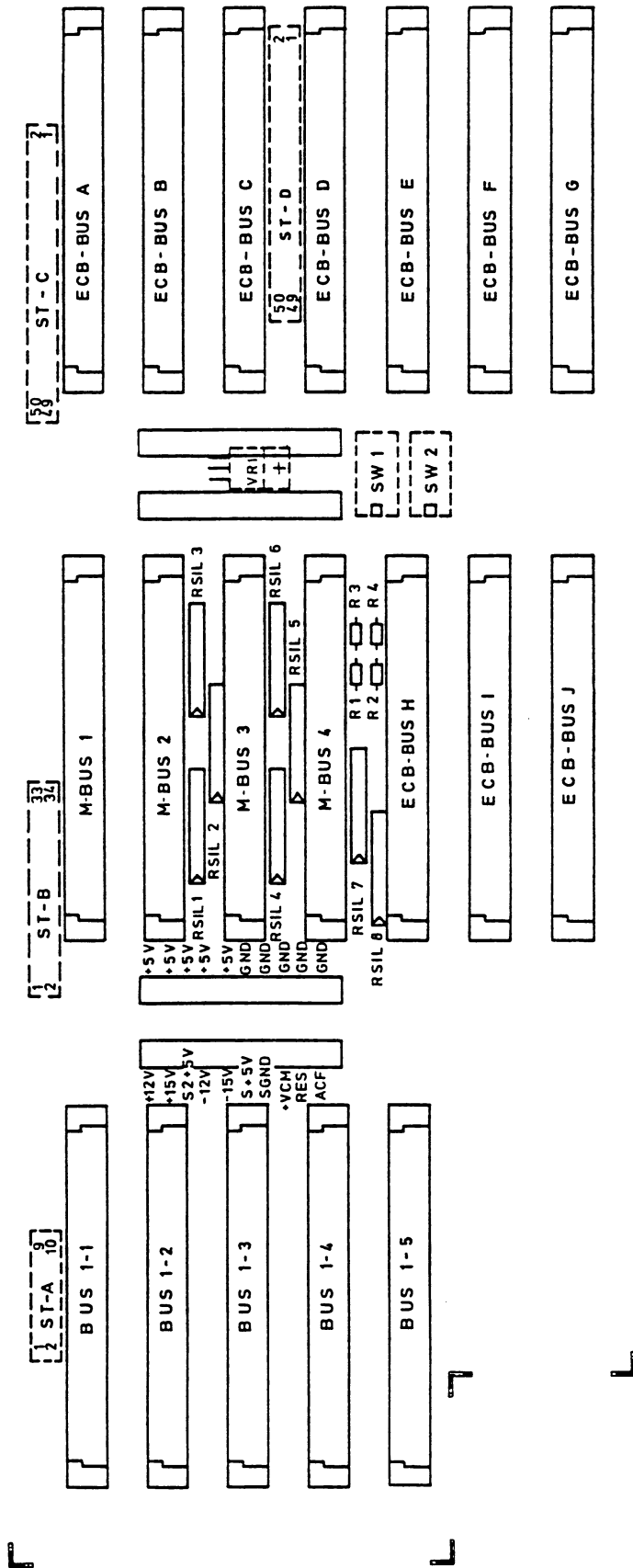
STB: 34-pol. Pfostensteckverbinder
(2-reihig)

STC: 50-pol. Pfostensteckverbinder
(2-reihig)

STD: 50-pol. Pfostensteckverbinder
(2-reihig)



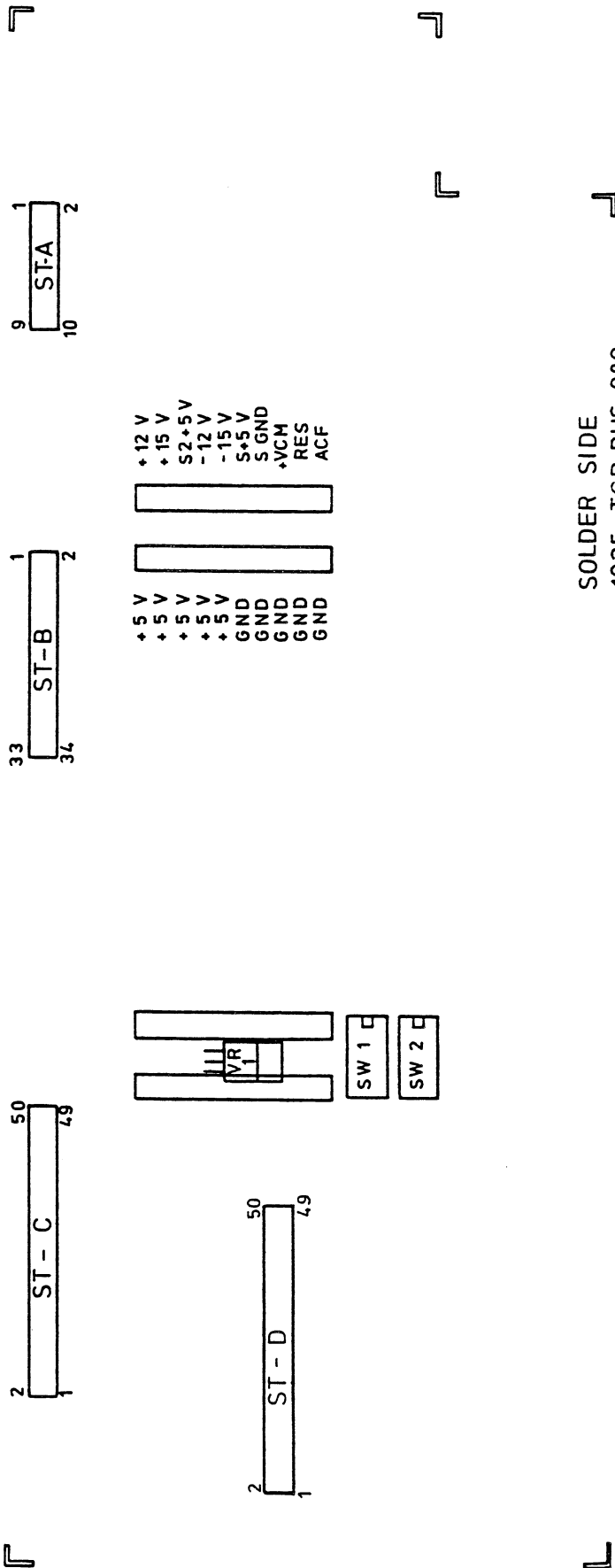
Bestückungsplan (Rev. 1.2)



COMPONENT - PARTS-DIAGRAM
1025 TCB-BUS 980



Bestückungsplan der Lötseite



SOLDER SIDE
1025 TCB-BUS 980



Diese Unterlage beschreibt die
Kontron Ergoline-Tastatur 1035



Inhaltsverzeichnis:	Seite
1. Allgemeines	TA-2
2. Schaltungsbeschreibung	TA-7
3. Einstellen der Betriebsparameter	TA-10
3.1 Schalterstellungen	TA-12
3.2 Anschlußbelegungen	TA-13
4. Serviceanleitung	TA-16
5. Pläne	TA-24
5.1 Schaltplan	TA-24
5.2 Bestückungspläne	TA-25
5.3 Tastenlayout mit Codelisting	TA-27
6. Testpromlisting	TA-61
6.1 Adress - Bus - Test	TA-61
6.2 Decoder - und Peripherie - Test	TA-63



1. Allgemeines

Die Tastatur 1035 ist in vier verschiedenen Ausführungen erhältlich, die sich durch das Tastenkappenlayout sowie der im EPROM gespeicherten Betriebssoftware unterscheiden.

Folgende Zusammenstellung zeigt einen Überblick über alle Tastaturversionen mit Versionsnummern und benötigter Software sowohl in der Tastatur als auch im angeschlossenen System.

	Microcomputer French	Microcomputer German	Microcomputer International	Meßtechnik International
Versions-Nr.	285.0010	285.0007	285.0009	285.0011
EPROM	KB1035 1.1	KB 1035 1.1	KB1035 1.1	KB1035 1.1
Aufschrift	MCB 1.0	MCG 2.1	MCI 1.0	MTI 1.2
Check-Summe	418E Hex	7FES Hex	C83C Hex	CC2D Hex
Rev.-Nr.	1.0	2.1	1.0	1.2
vom	6.8.83	4.8.83	6.8.83	24.8.83
Systemsoftware	KOS 6.04 vom 10.8.83	KOS 6.04 vom 10.8.83	keine Einschränkung	
	+ entspr. Videoprom	CP/M V6.20 vom 2.8.83 + entspr. Videoprom	US-ASCII-Videoprom	

Hinweis: Wie bereits aus der Tabelle hervorgeht, können nur dann alle Funktionen der Tastatur voll ausgeschöpft werden, wenn bei den beiden nationalen Versionen Microcomputer Deutsch und Microcomputer French im angeschlossenen System das entsprechende Betriebssystem sowie ein dazu passendes Characterprom vorhanden sind.

Jede Tastaturversion kann optional mit einem Schlüsselschalter ausgerüstet werden. Er befindet sich auf dem Tastaturfeld rechts oben. Die Tastatur kann dadurch gesperrt und gegen unbefugte Betätigung gesichert werden.



Besonderheiten:

Um eine schnelle und fehlerfreie Dateneingabe zu ermöglichen, wurde für alle Tasten N-KEY-roll-over verwirklicht, d.h. bereits gedrückte und festgehaltene Tasten setzen keinen Code mehr an den Rechner ab. Lediglich die zuletzt neu gedrückte Taste wird an den Rechner weitergegeben. Dieses Verfahren macht sich vor allem bei Sekretärinnen und Datentypistinnen mit hoher Anschlagszahl in einer wesentlich geringeren Fehlerrate bemerkbar, als bei vergleichbaren Tastaturen ohne N-Key-Roll-over.

Zur schnellen Erstellung von Tabellen, Listen oder ähnlichem wurde für alle Tasten die Auto-Repeat-Funktion verwirklicht. Bei einem Tastendruck, der länger als 0.7 Sekunden dauert, wird die Auto-Repeat-Funktion (Wiederholrate 10 Zeichen/sec.) für die Dauer des Tastendrucks wirksam.

Um eine individuelle Anpassung des Keyboards an beliebige Rechner zu ermöglichen, lassen sich verschiedene Betriebs-Parameter über einen DIP-Schalter im Inneren des Gehäuses einstellen. Das Keyboard 1035 erlaubt zudem die Auswahl unter drei verschiedenen Schnittstellen zum Rechner:

- Parallel
- RS422
- Open Collector

Umschaltung international/national (Versionen German, French)

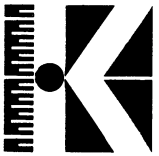
Da für verschiedene Anwendungen anstelle der deutschen (französischen) Sonderzeichen auch die eckigen und geschweiften Klammern, sowie Sonderzeichen des amerikanischen Satzes benötigt werden (z.B. für UNIX), wurden diese Tasten zusätzlich im Tastenblock für die Cursorsteuerung implementiert, der sich rechts neben dem Schreibmaschinenfeld befindet.

Das Umschalten zwischen nationalem und internationalem Zeichensatz geschieht durch die Taste "DIN" ("Mode"). Nach dem Einschalten der Tastatur ist der nationale Zeichensatz aktiviert. Dies wird durch das Leuchten der LED gekennzeichnet, die sich in der "DIN"- ("MODE-") Taste befindet. Werden im nationalen Modus die Tasten [,], { , }, @ und \ , betätigt (bei der deutschen Version zusätzlich ; und ~), so wird dies durch einen Error-Pieps quittiert, ohne daß ein Code an den Rechner abgesendet wird.

Bei eingeschaltetem internationalen Zeichensatz wird entsprechend eine Betätigung der nationalen Sondertasten mit einem Error-Pieps quittiert.

Das Umschalten zwischen den beiden Modi erfolgt durch Aussenden einer bestimmten Hex-Kombination an das System:

national	----->	international	EF Hex
international	--->	national	EE Hex



Das Betriebssystem filtert diese Codes heraus und veranlaßt die Umschaltung des Videoteils. Dies erklärt die Notwendigkeit entsprechender Systemsoftware.

Die Funktionstastenbelegung ist unabhängig von SHIFT, CONTROL und CAPS nur mit "F" (Taste KG13) in 3 Ebenen umschaltbar. Bei jedem Druck auf "F" wird auf die nächsthöhere Ebene geschaltet (von Ebene 1 nach 2, von 2 nach 3 und von 3 nach 1).

Die in die Funktionstasten integrierten LED's sind dauernd dunkel geschaltet, während die Label-LED der gewählten Ebene leuchtet.

Abweichungen der Version Meßtechnik Internatinal

Diese Version wurde speziell für die Entwicklungssysteme KDS, KSE und LASER entwickelt.

Hier lassen sich die Ebenen der Funktionstastenreihen auch in umgekehrter Reihenfolge wählen. Dies geschieht durch gleichzeitiges Drücken der Tasten "FUNC SEL" und "SHIFT". Somit kann ohne Umweg über eine dritte Ebene jederzeit jede Ebene angewählt werden.

Zusätzlich wird bei jeder Betätigung von "FUNC SEL" ein Code an den Rechner gesandt, um diesem die Ebenenumschaltung mitzuteilen.

Es werden folgende Codes gesendet:

aktueller Label	CODE (Hex)	neuer Label
1	CB	2
1	07	3
2	D2	1
2	07	3
3	D2	1
3	CB	2

Die einzelnen Ebenen sind wie folgt belegt:

Label 1 ----> Emulator, Editor
Label 2 ----> Logic Analyzer
Label 3 ----> nicht belegt (alle Tasten senden 07 Hex)
für spätere Erweiterungen

Die LED's der Funktionstastenreihe sowie der Taste "START/STOP" (KG16) sind dauernd dunkel geschaltet.

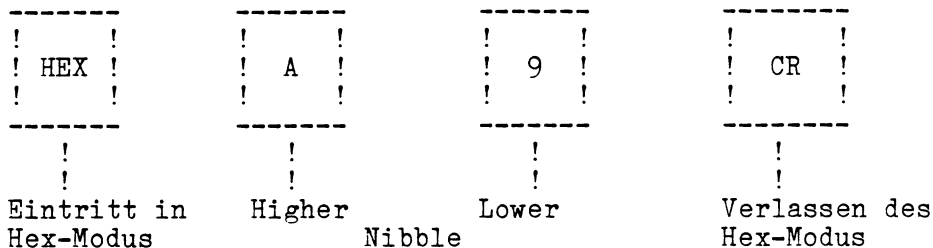


In der Funktionstastenreihe und im Cursorblock werden in der Meßtechnikversion zum Teil Codes verwendet, bei denen das achte Bit gesetzt ist. Diese Codes erfüllen mit der entsprechenden Rechnersoftware (KDS, KSE etc.) genau die auf der Taste aufgedruckte Funktion.

Während die Mikrocomputerversionen rechts außen ein Zahlenfeld ähnlich dem eines Taschenrechners besitzen, ist in der Meßtechnikversion eine Hex-Zahlen-Tastatur implementiert, die ASCII-Codes absendet. Die Zeichen stellen somit einen Auszug aus dem Schreibmaschinenfeld dar. Zusätzlich ist die Taste "HEX" vorhanden, die das Absenden beliebiger Hexcodes an den Rechner erlaubt.

Nach dem Drücken von "HEX" erwartet das Keyboard die Eingabe von "Higher Nibble" und "Lower Nibble" der gewünschten Hexzahl.

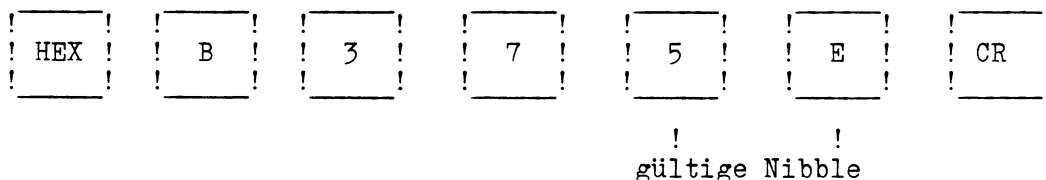
Also:



Erzeugt den Code A9 Hex. Alle Codes zwischen 00 Hex und FF Hex sind erzeugbar. Nachdem "HEX" gedrückt wurde, sind alle Tasten des Keyboards außer den Tasten "HEX", "0"... "9", "A"... "F" und "CR" des Zahlenblocks gesperrt und senden bei Betätigung einen Fehler-ton ab, ohne einen Code an den Rechner zu schicken.

Hat der Benutzer versehentlich "HEX" gedrückt, kann er diesen Mode durch nochmaligen Druck auf diese Taste wieder verlassen, ohne daß ein Code an den Rechner gesendet wird, der evtl. Fehler verursachen könnte.

Jede Eingabe von "Higher Nibble" und "Lower Nibble" muß durch die "CR"-Taste (KA53) des Zahlenfeldes abgeschlossen werden. Erst dann wird der gewünschte Code an den Rechner abgesandt. Um evtl. Eingabefehler korrigieren zu können, werden nur die letzten 2 Tasteneingaben vor der "CR"-Taste als gültige Nibble verwertet:





Diese Eingabefolge sendet also 5E Hex ab. Die Eingaben B, 3 und 7 bleiben unberücksichtigt.

Durch dieses Hilfsmittel ist es dem Benutzer möglich, beliebige Hexzahlen (z.B. zum Austesten und Bedienen von Programmen) zu erzeugen, ohne erst lange in den Tasten-Code-Belegungen nach den benötigten Tasten suchen zu müssen.



2. Schaltungsbeschreibung

Herzstück des Keyboards ist der Prozessorbaustein P 8031 AH der Firma Intel. Dieser Baustein beinhaltet neben dem Mikroprozessor einen parallelen Port (P1.0 bis P1.7), ein internes RAM-Register sowie einen UART (Universeller asynchroner Empfänger und Sender). Der Prozessorbaustein besitzt einen gemultiplexten Adreß-Datenbus.

Dies hat zur Folge, daß die auf denselben Leitungen herausgeführten Signale AO...A7 und DBO...DB7 getrennt werden müssen.

Dazu dient das Signal ALE (Address Latch Enable = Adreß-Speicher-Freigabe). Ist ALE "High", so werden die Datenbits DBO...DB7 im Speicherbaustein IC7 (74HC373) übernommen und stehen als Adreßbits AO...A7 zur Verfügung.

Der Prozessor wird mit einer Taktfrequenz von 5.5296 MHz versorgt. Dazu dient das Quarz Q1 sowie C1.

Sämtliche Funktionen des Keyboards sind softwaregesteuert. Die nötigen Informationen sind im EPROM IC8 abgelegt. Es können verschiedene EPROM-Typen zum Einsatz kommen, wie z.B. die Typen 2716 oder 2732. Bei diesen beiden Typen muß sich der Lötjumper JL1 in Stellung 1-2 befinden. Wird ein EPROM des Typs 2764 eingesetzt, so muß die Verbindung 1-2 aufgetrennt werden und stattdessen 2 mit 3 verbunden werden. Außerdem muß dann ein 28-poliger Sockel eingelötet werden. (Dies ist für eventuelle spätere Erweiterungen vorgesehen. Zur Zeit ist nur Software im 2732 Typ erhältlich).

Pin 20 (\overline{CE}) ist auf Masse gelegt - das ROM wird also stets angesprochen.

Die CPU kann maximal 128k Speicher adressieren. Da aber nur 16 Adreßbits (= 64k Speicher) vorhanden sind, muß eine Unterscheidungsmöglichkeit zwischen zwei 64k-Bereichen gegeben sein. Dies geschieht mittels des Signals PSEN (Program Storage Enable) der CPU. Ist dieses Signal "LOW", so wird das EPROM gelesen.

Optional kann ein RAM eingesetzt werden, um Down-Load-Funktionen zu ermöglichen, d.h. vom System kann dieses RAM belegt werden um das Senden beliebiger Stringfunktionen zu ermöglichen. Dieses RAM wird dann selektiert, wenn die Signale \overline{RD} (Read) oder \overline{WR} (Write) der CPU aktiv, d.h. "LOW" sind sowie das Adreßbit A11 gesetzt ist. Diese Möglichkeit ist nicht implementiert.

Die übrigen Signale und Bausteine lassen sich am besten durch die Funktion des Keyboards erklären.

Nach dem Einschalten des Keyboards, also nach dem Anlegen der Stromversorgung, erfolgt ein Power-On-Reset. P1.7 wird "High" und der 1 aus 16 Dekoder 74HC154 wird disabled. Außerdem wird PIN11 von IC11 "LOW". Diese beiden Maßnahmen haben zur Folge, daß am Leseregister IC2 (74HC244) die im DIP-Schalter eingestellte Kombination ansteht. Mit diesem Schalter werden die Betriebsparameter der Software (z. B. Baudrate etc.) festgelegt.



Da diese Parameter nur nach einem Power-on-Reset ausgelesen werden, muß das Keyboard nach jeder Änderung der Parameter spannungslos gemacht werden, damit die Änderungen vom Keyboard auch erkannt werden.

Das Leseregister wird mit dem Signal \overline{RDR} (Read Row Sense Buffer) selektiert. Dieses Signal wird mit dem Decoder IC12 aus den Adreßbits A0 bis A2 erzeugt. Die Adreßleitung A11 wirkt als Freigabesignal dieses Decoders. Ist A11 "High", so wird das RAM angesprochen, bei "Low" der Decoder.

Die Steuerung der LED's geschieht über die Register 74HC374, die die anstehenden Daten bei einer positiven Clock-Flanke übernehmen und auf die Ausgänge legen.

Die Signale $\overline{LLR1} \dots \overline{LLR3}$ (Load Lamp Register) bilden dabei die jeweiligen Clock-Signale. Auf dieselbe Weise werden die Datenleitungen für das Parallelinterface belegt. Das Clock-Signal dazu heißt LPT1 (Load Parallel Interface).

Nach der Initialisierung des Keyboards wird der Decoder IC1 freigegeben (\overline{SECOL} = Select Column) und die Spalten C0 bis CF werden zyklisch alle 10 msec abgefragt. Das zyklische Durchschalten wird durch die Signale SC0...SC3 (Select Column 0...3) bewirkt, die von der CPU an den Decoder übergeben werden.

Die Tasteninformation wird auf die Datenleitung gegeben und der im EPROM gespeicherte Code ausgegeben.

Sämtliche Funktionen wie Tastenentprellung, N-Key-Rollover (es werden neu gedrückte Tasten erkannt und immer noch gedrückte Tasten ausgeblendet) und Autorepeat werden durch die Software durchgeführt.

Der eingebaute Lautsprecher wird über einen Treiber mit einem durch die Software generierten Rechtecksignal angesteuert.

Zur Umschaltung zwischen den Interfaceanschlüssen Seriell-Open-Collector und RS422 dient das Signal IFSEL (Interface Select).

Um das Keyboard vor Überspannungen und/oder Verpolung zu schützen, ist es mit der Überspannungsschutzdiode D14 ausgerüstet, die in diesen Fällen leitend wird und einen Kurzschluß verursacht, der das Keyboard schützt.

Sämtliche wichtigen Signale sind auf einen (nicht eingelöteten) Stecker gelegt, der das Keyboard kompatibel im Sinne von zukünftigen Erweiterungen macht. Diese Anschlüsse eignen sich auch hervorragend zur Beobachtung der Signale z.B. mit einem Oszilloskop.

Um eine genaue Lokalisierung der gedrückten Tasten zu ermöglichen, ist in Serie zu jedem Taster eine Diode geschaltet.

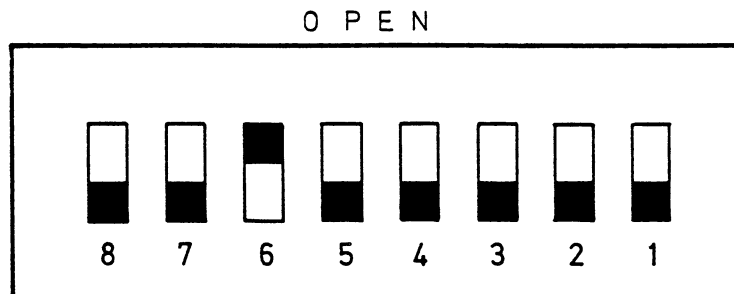


3. Einstellen der Betriebsparameter

In der Tastatur sind drei verschiedene Schnittstellen implementiert, von denen eine ausgewählt werden muß. Die Auswahl geschieht über den DIL-Schalter SW1. Gezeichnet ist der jeweilige Auslieferungsstand.

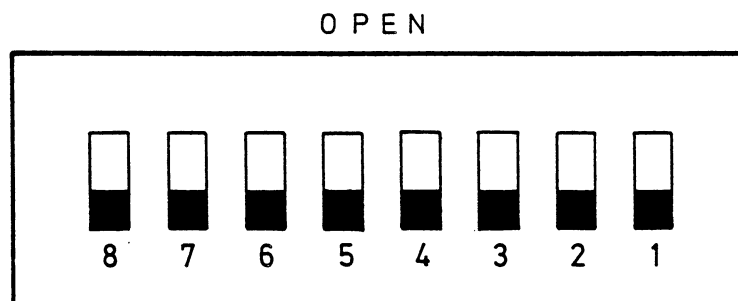
Dieser Schalter ist nach Abnehmen der Bodenplatte (4 Schrauben) zugänglich.

- parallele Schnittstelle



für alle Rechner Kontron PSI 80 (KDT5)
Kontron PSI 9xx-Serie
Meßtechnik KDS, KSE etc.

- Serielle Schnittstelle

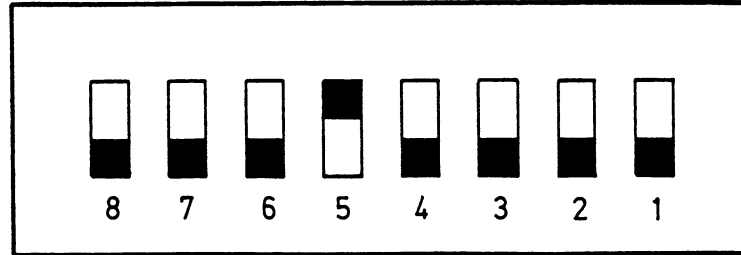


für alle Rechner der Kontron PSI 9xx-Serie (RS422-Interface mit 9600 Baud, 2 Stop-Bits, Tongeber ein).



- Open Collector-Schnittstelle (nicht als Auslieferungsstand)

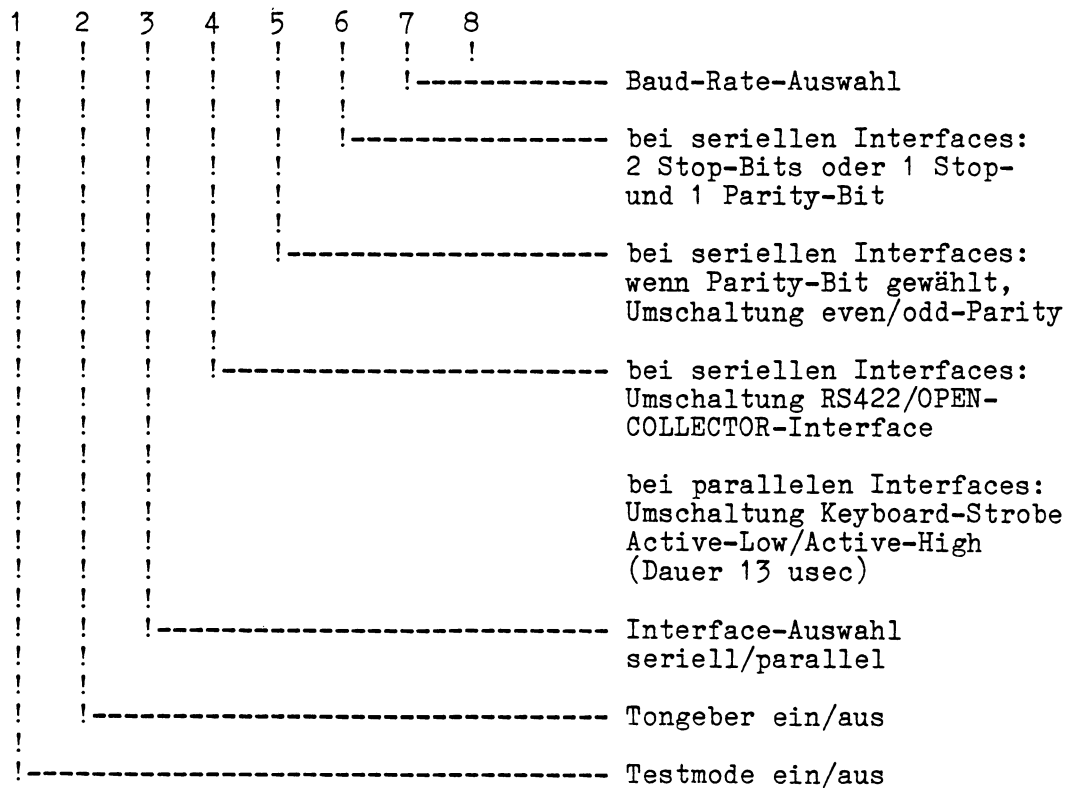
O P E N

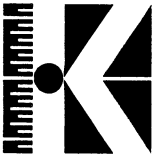


Tongebler ein, zwei Stop-Bits, 9600 Baud

Die Bedeutung der einzelnen Schalter lautet wie folgt:

DIL SWITCH SW1





3.1 Schalterstellungen

Einstellmöglichkeiten der Schalter (OPEN = "H")

Schalter		Funktion
SW1.1	"L"	Testmode aus, Normalbetrieb der Tastatur
	"H"	Testmode ein (nur für Prüffeld)
SW1.2	"L"	Tongebler dauernd ein, akustische Rückmeldung bei jedem Tastendruck, sowie Fehlermeldungen
	"H"	Tongebler aus, nur bei Fehlermeldungen aktiv
SW1.3	"L"	Auswahl der seriellen Schnittstellen
	"H"	Parallelschnittstelle
SW1.4	"L"	Seriell-Interface: RS422-Schnittstelle aktiviert Parallel-Interface: Keyboard-Strobe Active-Low
	"H"	Seriell-Interface: OPEN-COLLECTOR-Schnittstelle aktiviert Parallel-Interface: Keyboard-Strobe Active-High
SW1.5	"L"	Parity even) wenn Parity-Bit
	"H"	Parity odd) gewählt
SW1.6	"L"	9. Bit: 2. Stop-Bit
	"H"	9. Bit: Parity-Bit
SW1.7	SW1.8	
"L"	"L"	9600 Baud
"L"	"H"	4800 Baud
"H"	"L"	2400 Baud
"H"	"H"	1200 Baud



3.2 Anschlußbelegungen

Anschlußkonfiguration des Anschlußkabels für den Betrieb an Kontron PSI-Systemen

Die Tastatur kann, je nach System an das sie angeschlossen wird, entweder parallel oder seriell betrieben werden. Die folgende Tabelle zeigt zunächst die Anschlüsse am Lötfeld und die entsprechenden Verbindungen zum Stecker des Kabels:

Steckerbelegung der Kontron Parallelschnittstelle

Funktion:	Lötfeld Pin-Nr.	Stecker Pin-Nr.
DATA 0	13	9
DATA 1	11	8
DATA 2	10	7
DATA 3	12	6
DATA 4	16	5
DATA 5	15	4
DATA 6	7	3
DATA 7	14	2
KBSTRB	8	11
GROUND	9	1, 14
Vcc (+ 5V)	1	13

Für diese Parallel-Schnittstelle ist ein 11-adriges Kabel zu verwenden, eine Abschirmung wird empfohlen (mit Ground verbinden). Die Länge des Kabels ist so kurz wie möglich zu bemessen, um Störeinflüsse zu vermeiden. Der Querschnitt für die Versorgungsleitungen sollte mindestens 0.4 qmm betragen, für die Datenleitungen 0.1 bis 0.18 qmm. Die Länge des Kabels sollte 2.0 m nicht überschreiten.

Anmerkung: Beim Nichtfunktionieren des Keyboards nach einem Anschluß an die Systeme Kontron PSI 9xx ist mittels des Installations-Handbuchs des Systems nachzusehen, ob für parallelen oder seriellen Anschluß die richtigen Schalterstellungen beachtet wurden.



Serielle Schnittstelle RS422

Bei den Rechnern der Kontron PSI-Serie 9xx findet die RS422-Schnittstelle Anwendung, die durch die symmetrisch (differentielle) Datenübertragung besonders störsicher ist.

Die Tastatur wird mit einem Spiralkabel ausgeliefert, das für die Schnittstelle bereits komplett verdrahtet ist. Die RS422-Schnittstelle der Tastatur ist bidirektional ausgelegt, damit bei einer späteren Erweiterung des Keyboards Zeichensätze und Fehlermeldungen vom Rechner ins Keyboard übertragen werden können. Die Datenübertragung ist für die Systeme in Full Duplex Version ausgelegt (es kann gleichzeitig gesendet und empfangen werden).

Anschlußbelegung bei Full-Duplex-Übertragung:

KONTRON Serielle Schnittstelle RS422

Funktion	Lötfeld-Pin	Stecker-Pin Stecker 25-polig D-Connector, männlich
Vcc	1	13
In-	3	16
In+	4	15
OUT-	5	18
OUT+	6	17
Ground (GND)	9	1, 14

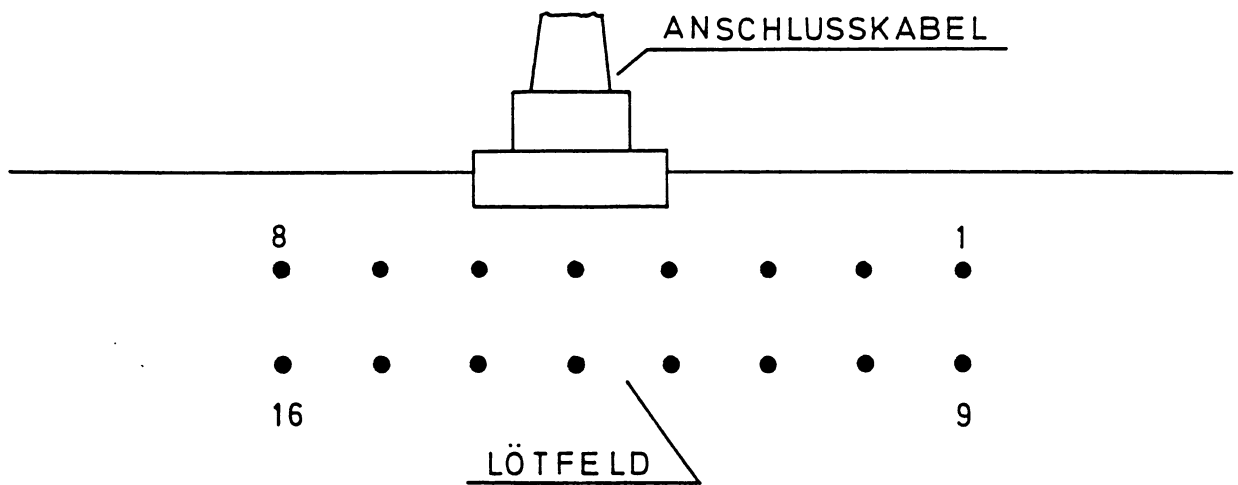
Auch hier wird eine Abschirmung empfohlen (mit Ground verbinden).

Leitungsquerschnitte: Versorgungsleitungen: > 0.4 qmm
Datenleitungen: 0.1 ... 0.18 qmm

Leitungslänge: beliebig; allerdings muß darauf geachtet werden, daß der Spannungsabfall an den Versorgungsleitungen maximal 0.3 Volt betragen darf.



Folgende Abbildung zeigt das Lötfeld des Kabelanschlusses:



ANSICHT NACH ABNEHMEN DER GRUNDPLATTE



4. Serviceanleitung

Diese Hinweise sollen dem Servicefachmann die Fehlereingrenzung auf Bauteilebene und somit die Reparatur erleichtern.

Da in den meisten Fällen kein Logic-Analizer zur Verfügung stehen wird, begrenzen sich diese Hinweise auf eine Fehlerlokalisierung, die mit den Testmitteln

- Multimeter
- 2-Kanal-Oszilloskop (> 20 MHz)

durchgeführt werden kann.

Als Arbeitshilfe wird Ihnen der Flußplan auf der folgenden Seite eine Hilfe sein.

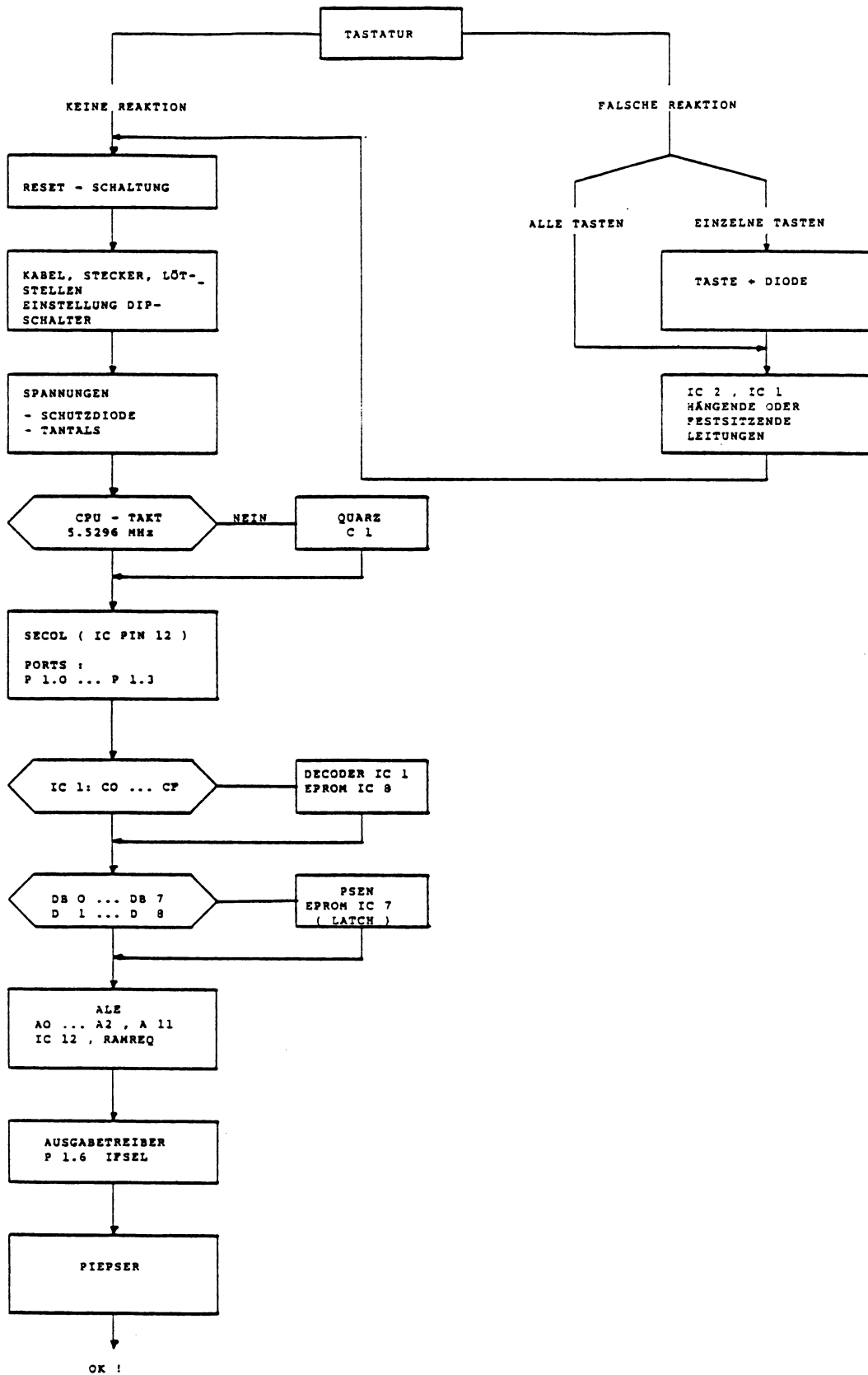
Als Gedankenstütze für auszuführende Arbeiten sind dabei nur Stichworte angegeben. Dem erfahrenen Servicetechniker werden diese Hinweise genügen. Im Zweifelsfall kann im Anschluß an den Flußplan unter dem jeweiligen Stichwort eine ausführliche Beschreibung der Signale bzw. Bauteile nachgeschlagen werden.

Diese Beschreibungen werden dort, wo es notwendig erscheint, durch Oszillographenbilder von typischen zu erwartenden Signalen ergänzt.

Ergänzt werden die alphabetisch geordneten Stichworte durch den Schaltplan mit dazugehörigen Bestückungsplänen.



Serviceflußplan für die Reperatur der Tastatur





Alphabetische Signal-/Baugruppenbeschreibung

ALE (Address Latch Enable)

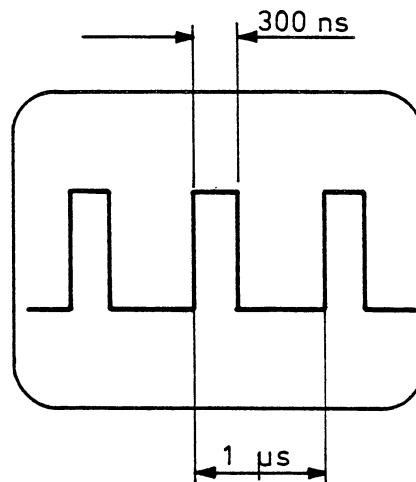
Der Prozessorbaustein P8031AH besitzt einen gemultiplixten Adreß/Datenbus, d. h. das Low-Byte der Adressen wird auf den Datenleitungen herausgeführt. Falls ALE "High" ist, ist der Latchbaustein IC7 (74HC373) transparent geschaltet, die am Eingang anstehende Information DBO...DB7 wird auf den Ausgang AO...A7 durchgeschaltet und steht somit als Low-Byte der Adresse zur Verfügung.

Ist ALE "Low", so wird dieses Byte eingefroren. d.h. eine Änderung des Datenbytes bewirkt keine Änderung des Low-Adreßbytes.

Die Frequenz des ALE-Signals beträgt $1/6$ der Taktfrequenz.

ALE-Pulse werden nur dann erzeugt, wenn kein Zugriff auf einen externen Speicher erfolgt.

ALE





Ausgabetreiber Hier sind die 8-Bit-Register IC's IC3 bis IC6 für die Paralleldatenausgabe (Parallelinterface und LED-Ansteuerung) und die IC's IC 11, 13, 14 ... 16 für die serielle Ausgabe zuständig.

Die zwei Schnittstellentreiber IC15, 16 (UA9637, SN 75172) bilden das RS422 Interface. Dieses Interface ist aktiviert, wenn das Signal \overline{IFSEL} "High" ist. Die Eingangssignale gelangen über die Gatter in IC13 auf die RxD-Leitung der CPU (Pin 10). Die Ausgangsleitung TxD gelangt über IC16 an den Ausgang.

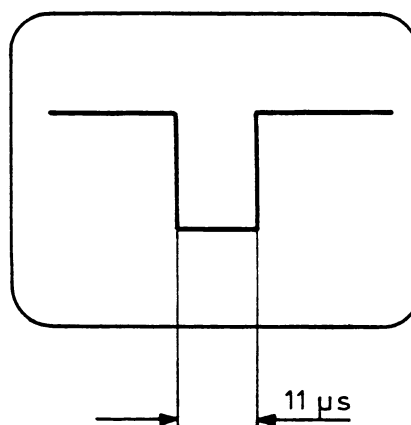
Die Eingangsinformation, die an den Datenleitungen DBO...DB7 anliegt, wird bei ansteigender Taktflanke (jeweils PIN11 von SN74HC374) übernommen und an die Register-Ausgänge gelegt.

Dekoder (IC1 SN74HC154)

Dies ist ein 4 zu 16 Dekoder, der die Spaltenauswahl des Tastaturfeldes vornimmt. Der Baustein ist freigegeben, wenn die Enable-Eingänge (Pin 18, 19) "LOW" sind. Dies geschieht durch das Signal SECOL/.

SECOL sperrt den Baustein nach einem Power-On-Reset, um das Einlesen der DIL-Schalter-Information zu ermöglichen. Die mit SCO...SC3 angewählte Spaltenleitung wird auf "LOW" gelegt.

Die Spalten werden zyklisch durchgewählt.



Spaltensignal Cx



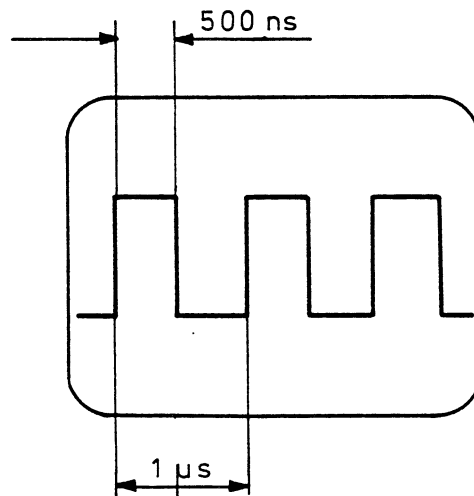
EPROM

Standardmäßig ist der Typ 27C32 eingesetzt. Nach Umlöten des Jumpers JL1 kann aber auch ein EPROM des Typs 2764 eingesetzt werden.

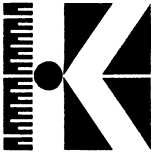
Jumper JL1:

Verbindung	für EPROM
1 - 2	2716
1 - 2	2732
2 - 3	2764

Da das EPROM die gesamte Keyboardsoftware enthält, ist bei einer Fehl- bzw. Nichtfunktion der Tastatur zu prüfen, ob das Signal $\overline{\text{PSEN}}$ vorhanden ist.



$\overline{\text{PSEN}}$



CPU (INTEL P 8031AH)

Wenn die CPU nicht korrekt arbeitet, so kann dies mehrere Ursachen haben:

- Takt ist nicht vorhanden.
Entweder ist das Quarz Q1 oder C1 defekt. Weiterhin ist es möglich, daß der interne Clocktreiber der CPU defekt ist.

- Falsche Adressen-, Daten- oder Portzustände

Mögliche Ursachen:
Treiber in der CPU defekt.

Ein an den Leitungen angeschlossener Baustein arbeitet nicht korrekt. So können beispielsweise dauernde logische "High" oder "Low"-Zustände erzeugt werden. Zur groben Überprüfung eignet sich ein Oszilloskop, mit dem sämtliche Signalleitungen abgeprüft werden. Mit der vorhandenen Betriebssoftware müssen sich sämtliche Signale stets ändern.

- Restschaltung arbeitet nicht korrekt

Diese Schaltung, die nur mit einem externen Kondensator (C19, 22uF/16V Tantal) auskommt, erzeugt einen Power-On-Reset, der einen definierten Start der CPU ermöglicht. Bei unerwarteten Reaktionen des Keyboards ist der Reset-Kondensator zu überprüfen.

Piepser Dies ist ein dynamischer Lautsprecher, der über einen Treiber direkt von der CPU über ein Rechtecksignal angesteuert wird. Mit dem Poti auf der Rückseite der Platine kann die Lautstärke geregelt werden.

PSEN siehe EPROM

SECOL siehe Dekoder

Spannungsversorgung Die Tastatur wird mit 5V DC über das Anschlußkabel vom Rechner versorgt. Bei Fehlfunktionen sind die Spannungswerte an den Schaltkreisen zu prüfen. Kurzzeitige Spannungseinbrüche führen zum Programmausstieg!



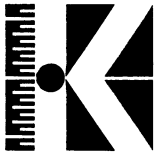
Die Überspannungsschutzdiode D14 wird bei Überspannungen leitend und verhindert somit größeren Schaden im Keyboard. Falls die Diode dabei zerstört wird, bleibt sie in den meisten Fällen dennoch leitend und muß ausgewechselt werden.

Testsoftware

Zum Testen der Tastatur kann sich der Anwender verschiedene Test-PROMS brennen, die die Fehlersuche erleichtern. Folgende Programme sind vorhanden:

- Testprogramm zur Adreßleitungüberwachung (Der Adreßzähler wird laufend hochgezählt; mit einem Oszilloskop können die Adreßleitungen überprüft werden).
- Testprogramm zur Decoderüberprüfung (IC 12) und Peripherieprüfung

Das Listing der Testprogramme ist in Kapitel 6 ersichtlich.



Tastenzuordnung in Reihen-/Spalten-Matrix

Vom Prozessor vorgegebene Spalten

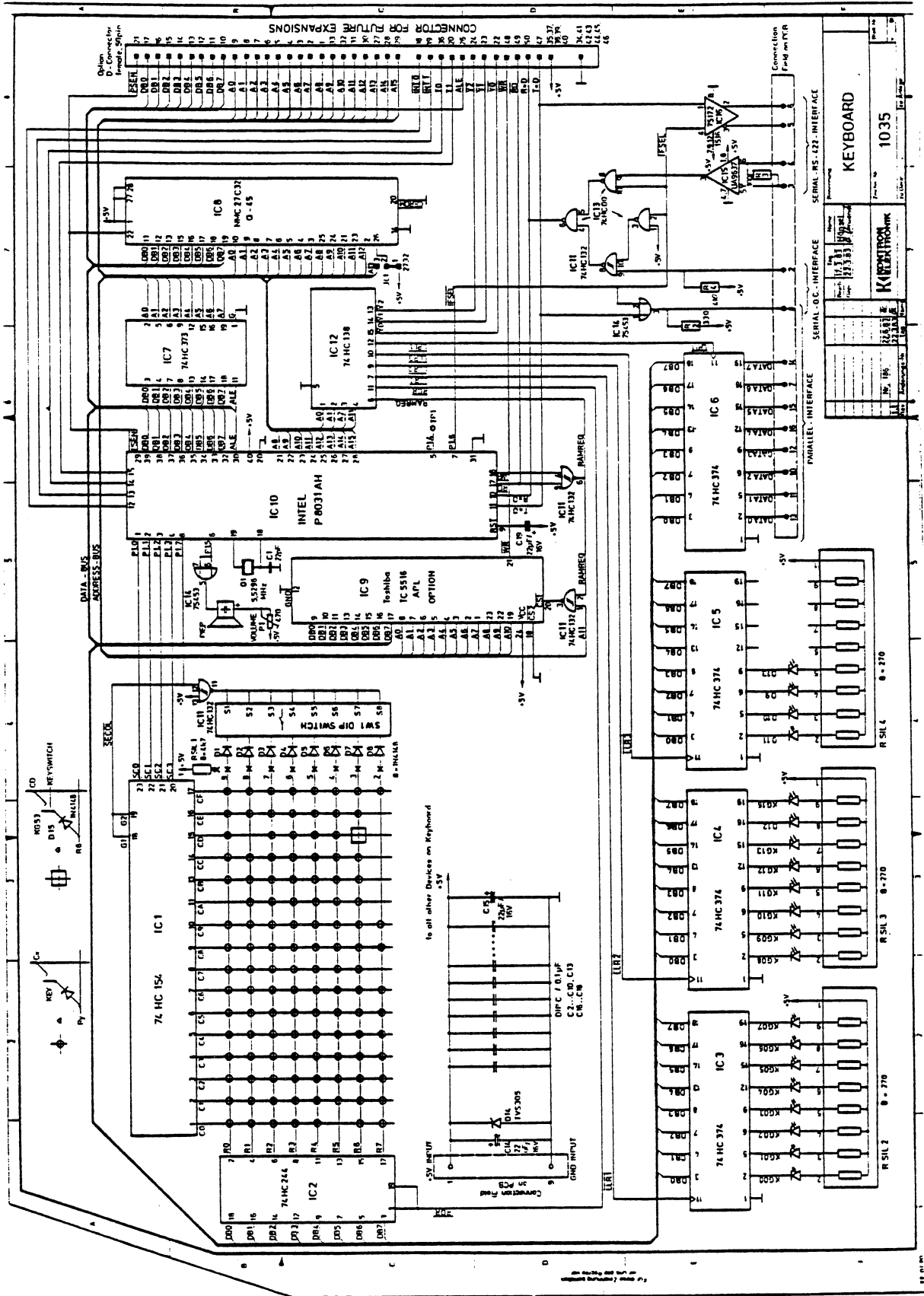
Vom Prozessor gelesene Spalten

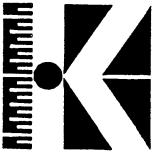
	R0	R1	R2	R3	R4	R5	R6	R7
C0	KB11 KB99	KB00	KC99	KC00	KD00	----	KE00	KE01
C1	KB01	KB02	KC01	KC02	KD01	KD02	KE02	KE03
C2	KB03	KB04	KC03	KC04	KD03	KD04	KE04	KE05
C3	KB05	KB06	KC05	KC06	KD05	KD06	KE06	KE07
C4	KB07	KB08	KC07	KC08	KD07	KD08	KE08	KE09
C5	KB09	KB10	KC09	KC10	KD09	KD10	KE10	KE11
C6	KA02/08	KB14	KC11	KC12	KD11	KD12	KE12	KE13
C7	KA16	KB16	KC16	KD16	KE16	KF16	KG16	----
C8	KA17	KB17	KC17	KD17	KE17	KF17	KG17	KD14
C9	KA18	KB18	KC18	KD18	KE18	KF18	KG18	KE14
CA	----	KB50	KC50	KD50	KE50	KF50	KG50	----
CB	KA50/51	KB51	KC51	KD51	KE51	KF51	KG51	----
CC	KA52	KB52	KC52	KD52	KE52	KF52	KG52	----
CD	KA53	----	KC53	KD53	KE53	KF53	----	----
CE	KG08	KG09	KG10	KG11	KG12	KG13	KG14	----
CF	KG00	KG01	KG02	KG03	KG04	KG05	KG06	KG06



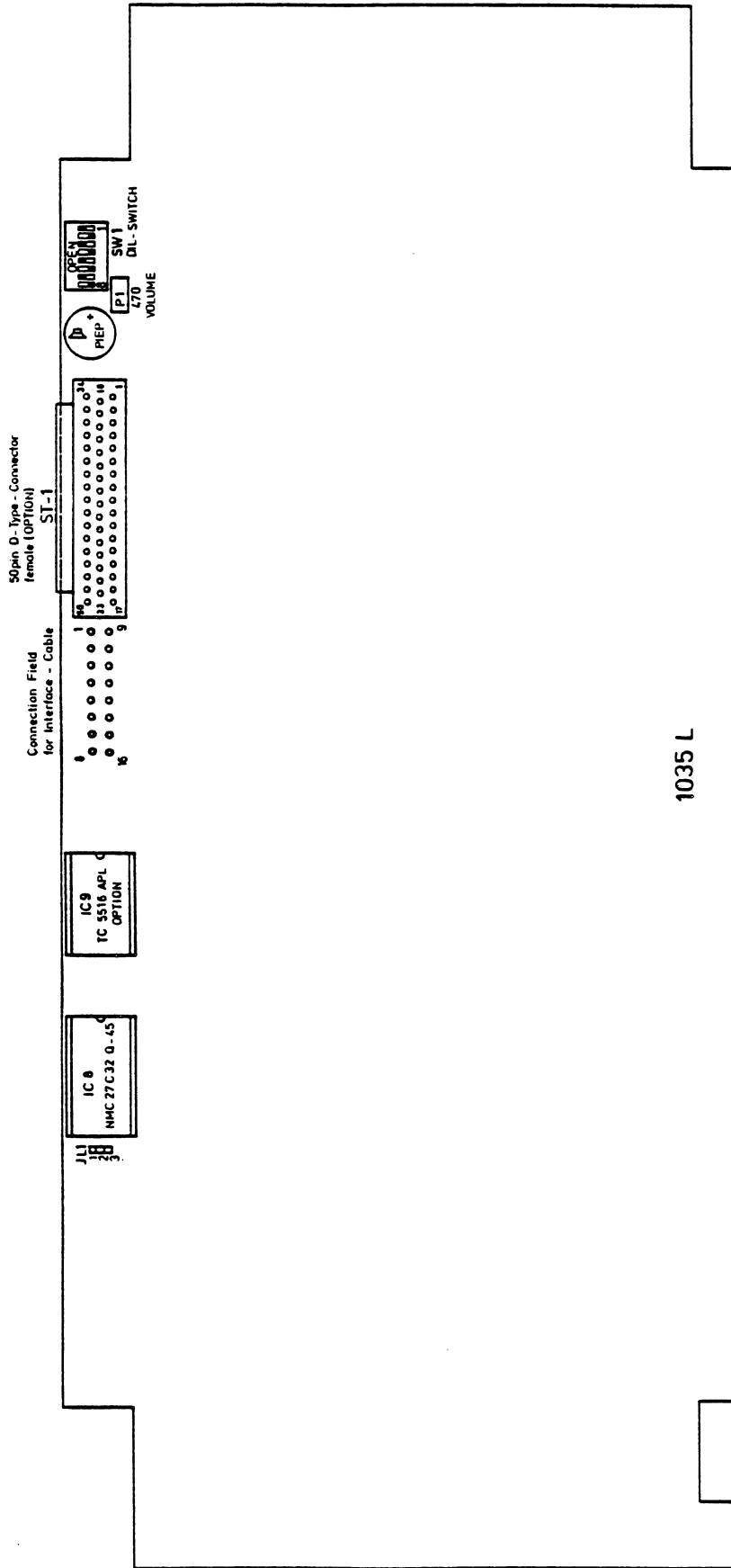
5. Pläne

5.1 Schaltplan





KONTRON Ergoline-Tastatur 1035



1035 L

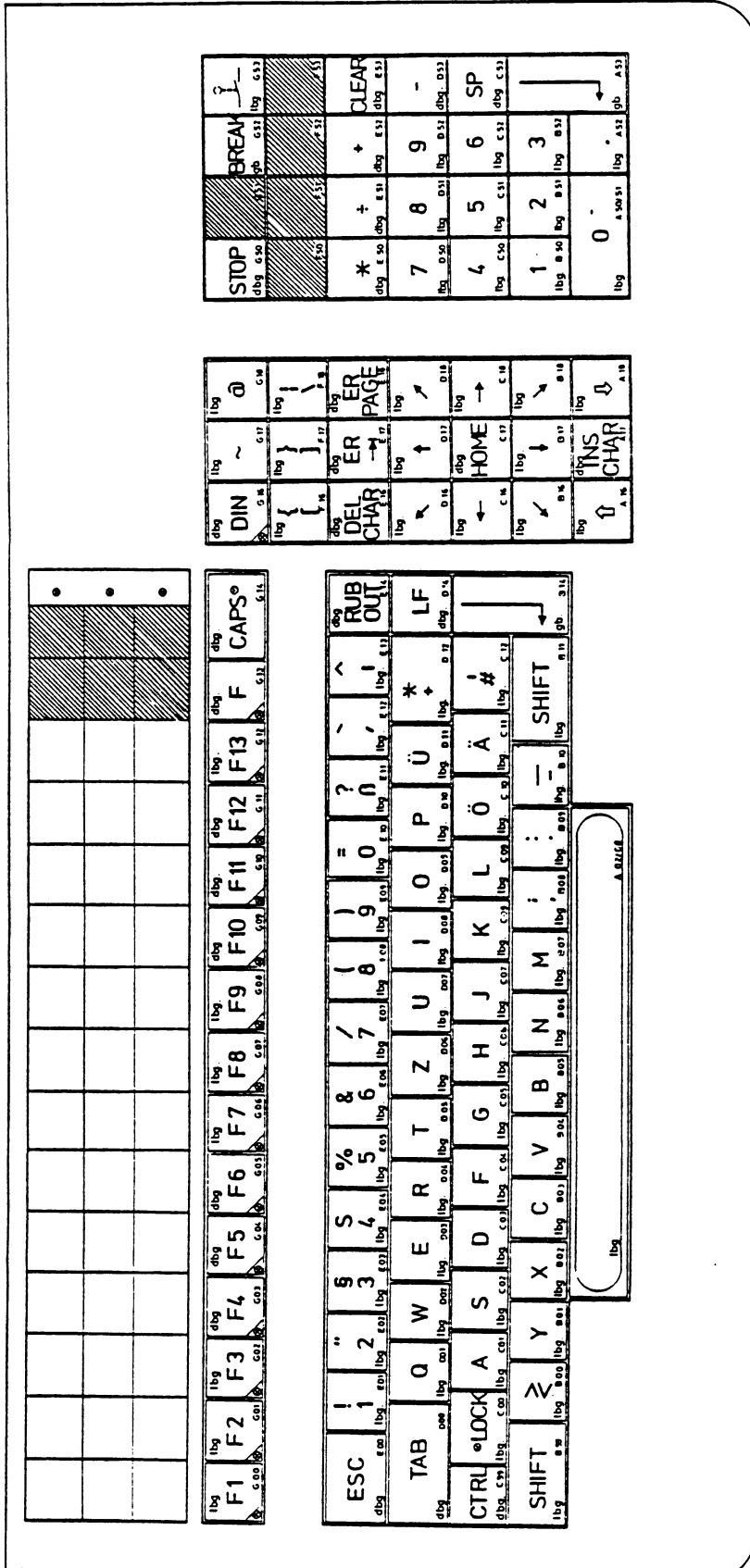
Bezeichnung		KEYBOARD	
Zechen-Nr.		1035	
p. Gr. Nr.		1035	
Name		KONTRON	
Firma		KONTRON	
Str.		22.10.7	
Anzahl		1	
Datei		22.10.7	
Zust.		1	
Grp.		22.10.7	
Hilfsw.		1	
Leg.		1	



5.3 Tastenlayout mit Codelisting

MIKROCOMPUTER GERMAN

Beschriftung



STOP dbg c.50	BREAK dbg c.51	+	CLEAR dbg c.52
*	7	8	9
4	5	6	SP dbg c.53
1	2	3	↓
0	↩		

DIN dbg c.16	~ dbg c.17	!@ dbg c.18	ER dbg c.19	PAGE dbg c.20	↩ dbg c.21
DEL dbg c.15	← dbg c.16	HOME dbg c.17	↑ dbg c.18	↩ dbg c.19	↩ dbg c.20
CHAR dbg c.14	↩ dbg c.15	↩ dbg c.16	↩ dbg c.17	↩ dbg c.18	↩ dbg c.19
↩ dbg c.13	↩ dbg c.14	↩ dbg c.15	↩ dbg c.16	↩ dbg c.17	↩ dbg c.18

ESC dbg c.54	1	2	3	4	5	6	7	8	9	0	^	RUB dbg c.11	OUT dbg c.12
TAB dbg c.55	Q	W	E	R	T	Z	U	I	O	P	*	LF dbg c.13	
CTRL dbg c.56	LOCK dbg c.57	A	S	D	F	G	H	J	K	L	Ö	Ä	#
SHIFT dbg c.58	≥	Y	X	C	V	B	N	M	:	;	—	SHIFT dbg c.59	

COLOUR OF KEYS:
 lbg - light beige
 dbg - dark beige
 gb - grey/brown



KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER GERMAN

UNSHIFT

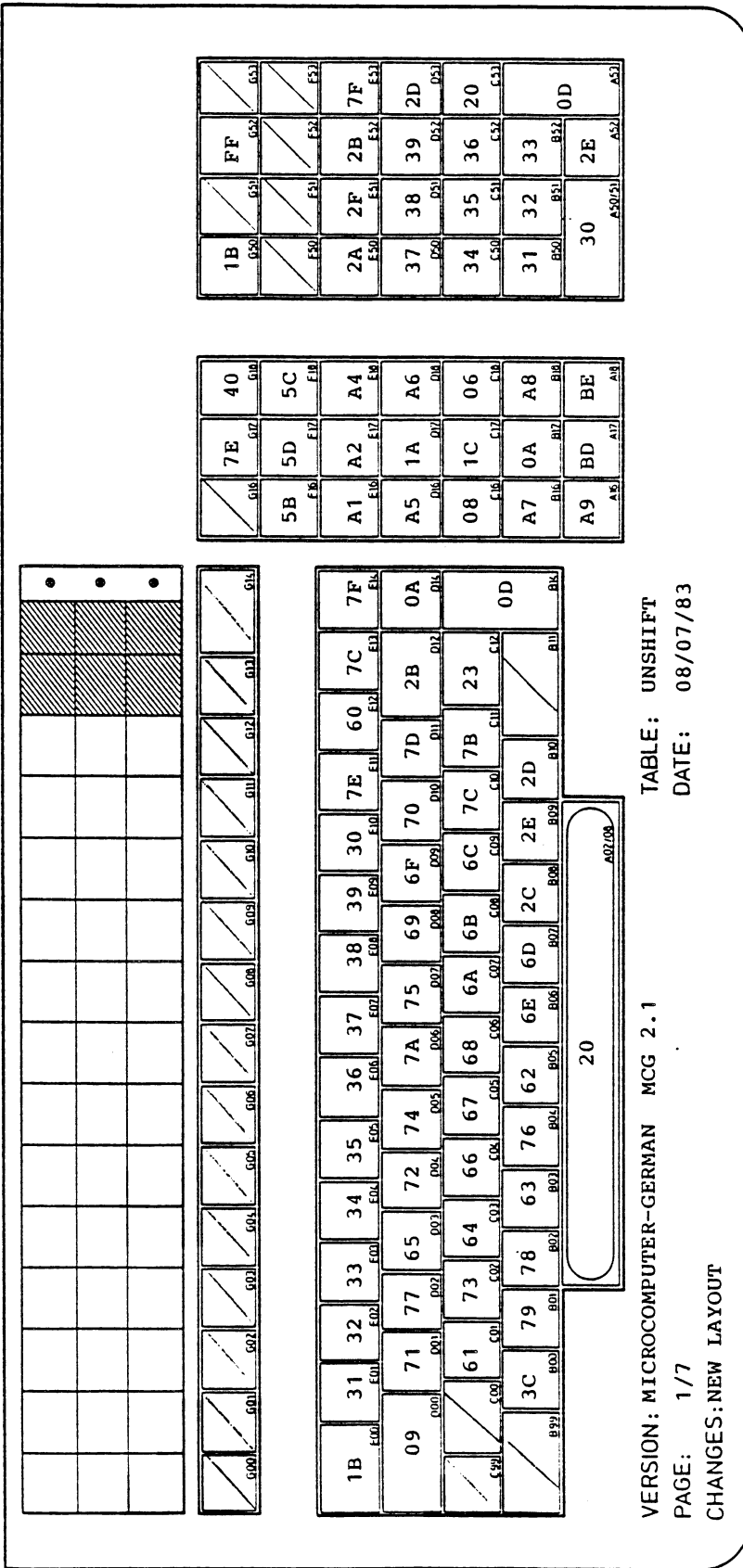
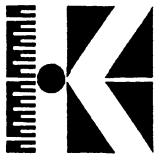


TABLE: UNSHIFT
DATE: 08/07/83

VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 1/7
CHANGES: NEW LAYOUT

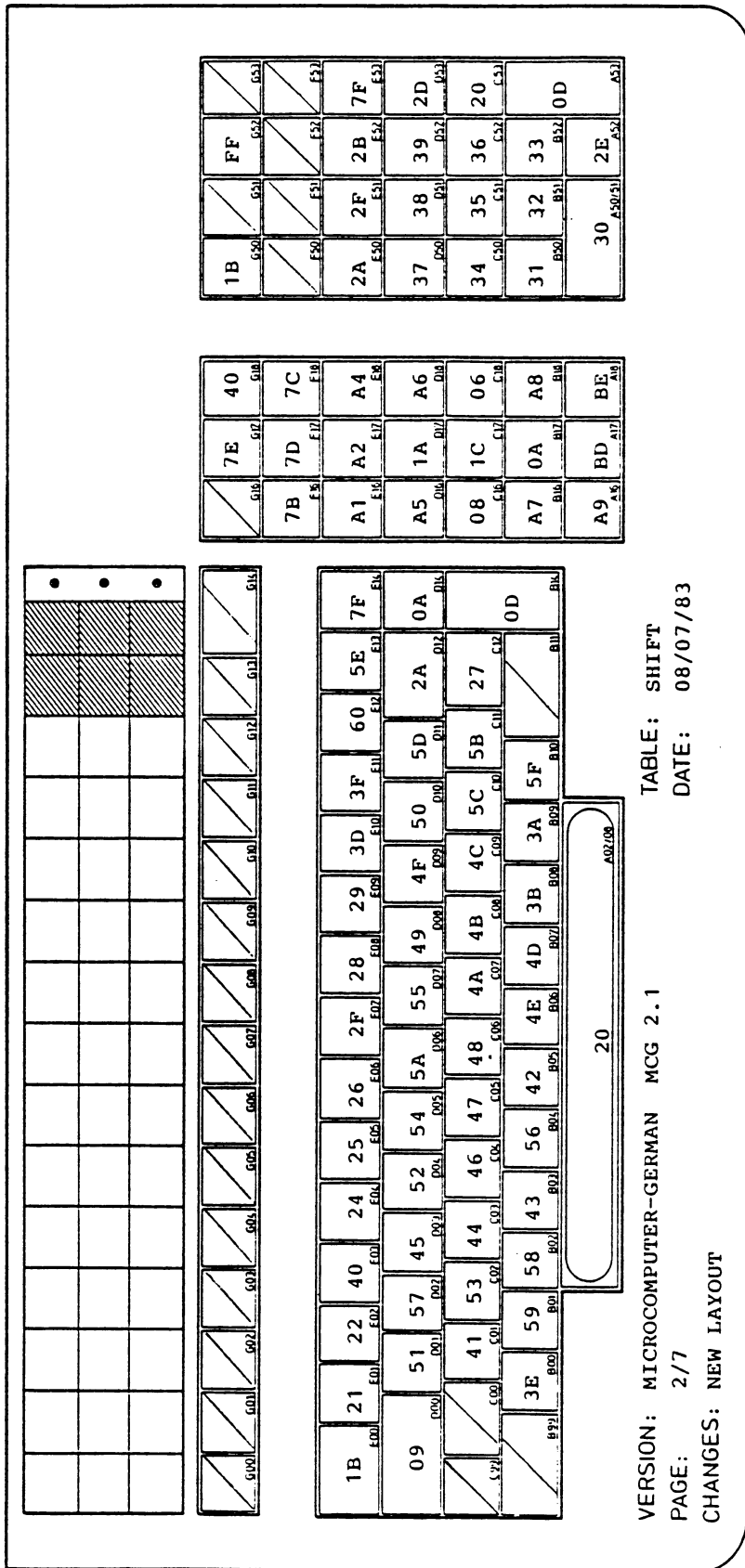
Part No.	1019/1035
Rev. No.	1
Rev. Date	
Part Name	KEYBOARD
Manufacturer	KONTRON ELECTRONIC
Part No.	1019/1035
Rev. No.	1
Rev. Date	
Part Name	KEYBOARD
Manufacturer	KONTRON ELECTRONIC



KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER GERMAN

SHIFT



VERSION: MICROCOMPUTER-GERMAN MCG 2.1
 PAGE: 2/7
 CHANGES: NEW LAYOUT

TABLE: SHIFT
 DATE: 08/07/83

Name		KEYBOARD	
No.		1019 / 1035	
Date		10/19/83	
Author		KONTRON	
Checked		10/19/83	
Approved		10/19/83	
Drawn		10/19/83	
Scale		1:1	
Sheet No.		1 of 2	
Total Sheets		2	



MIKROCOMPUTER GERMAN

CONTROL

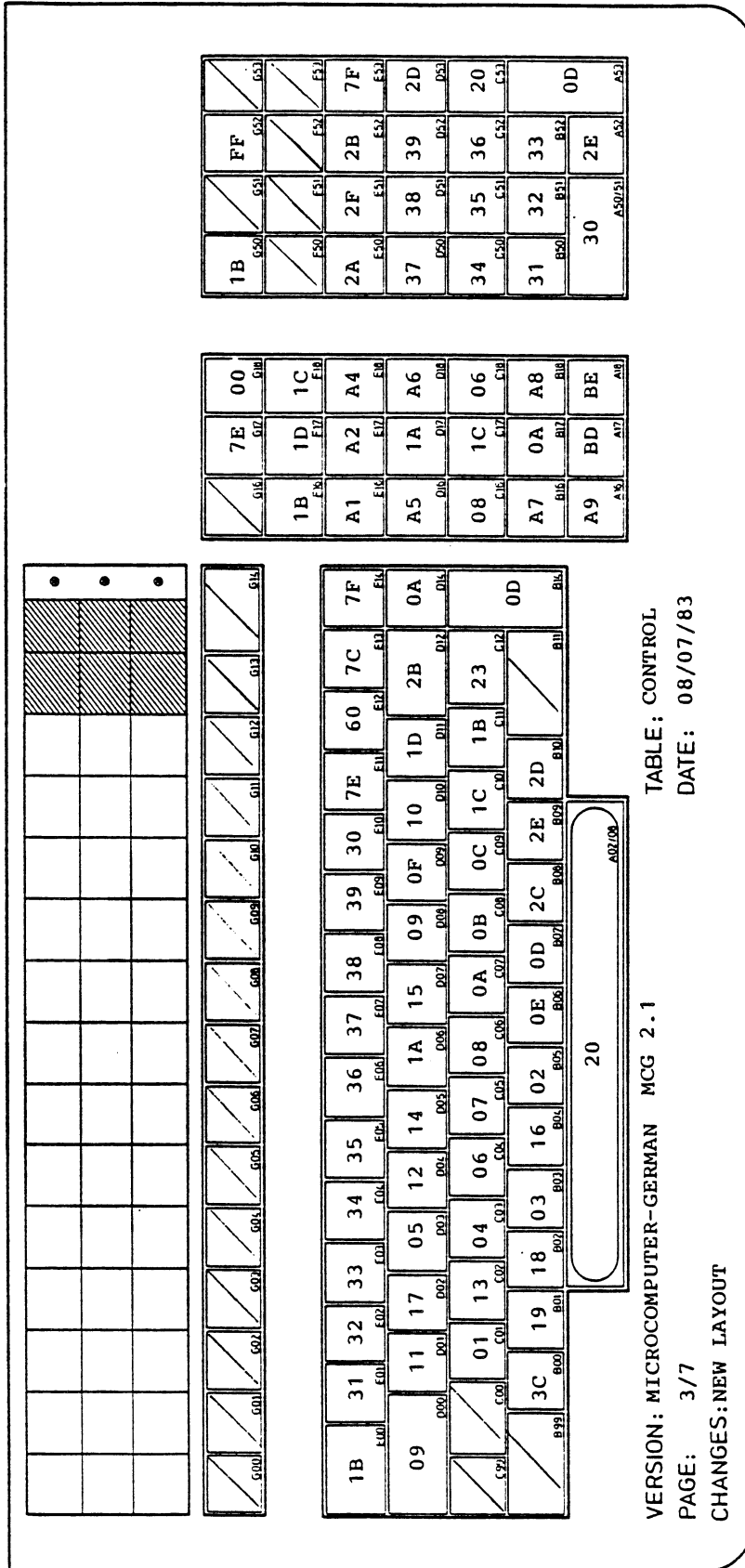


TABLE: CONTROL
DATE: 08/07/83

VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 3/7
CHANGES: NEW LAYOUT

Titel	1019/1035	Blatt Nr.	3
Autoren		Blatt Nr.	3
Geprüft		Blatt Nr.	3
Freigegeben		Blatt Nr.	3
Abgeschlossen		Blatt Nr.	3
Bezeichnung	KEYBOARD		
Form-Nr.	1019/1035	Blatt Nr.	3
Dr. Anzahl		Blatt Nr.	3
KONTRON ELECTRONIC			
KONTRON ELECTRONIC			



MIKROCOMPUTER GERMAN

CAPSLOCK

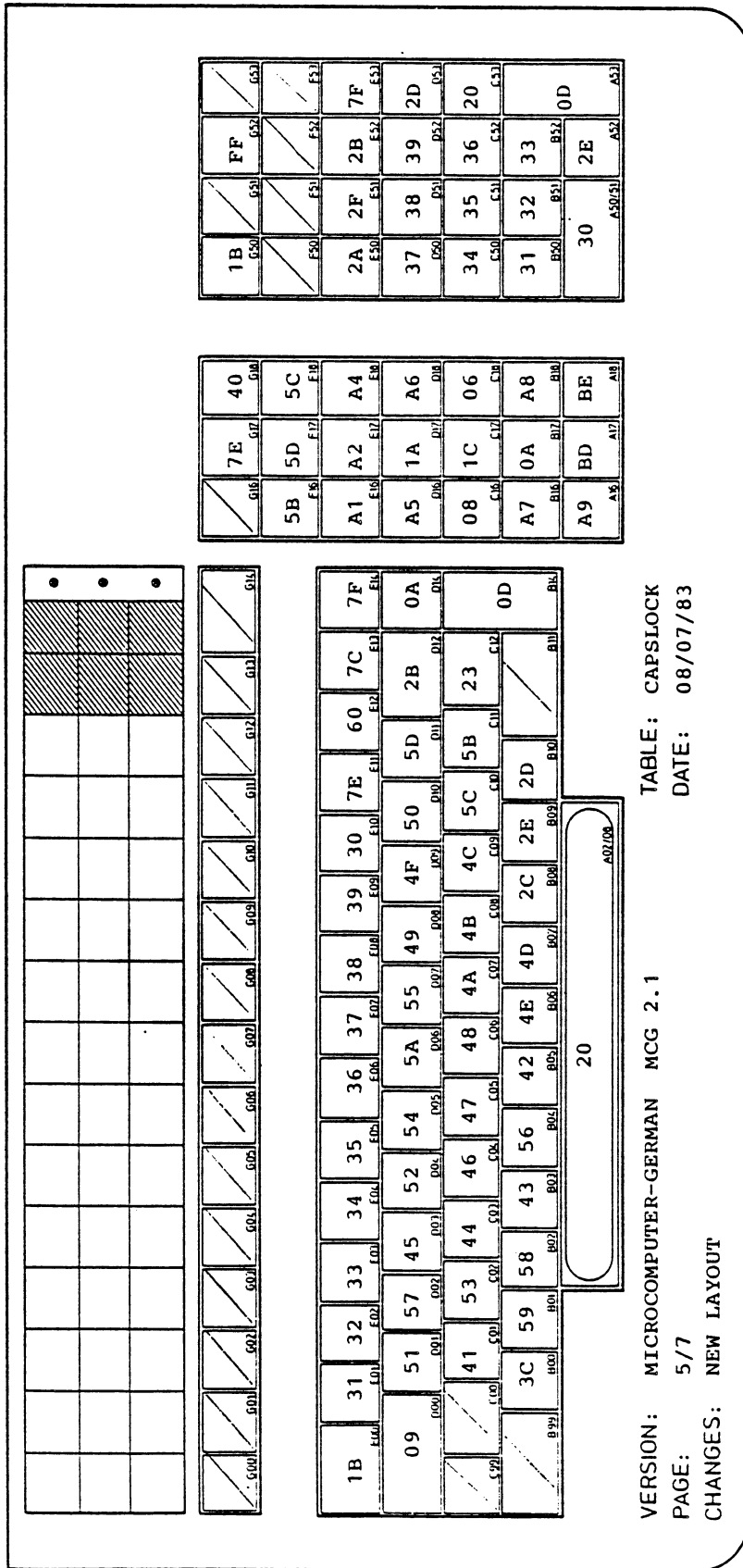


TABLE: CAPSLOCK
DATE: 08/07/83

VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 5/7
CHANGES: NEW LAYOUT

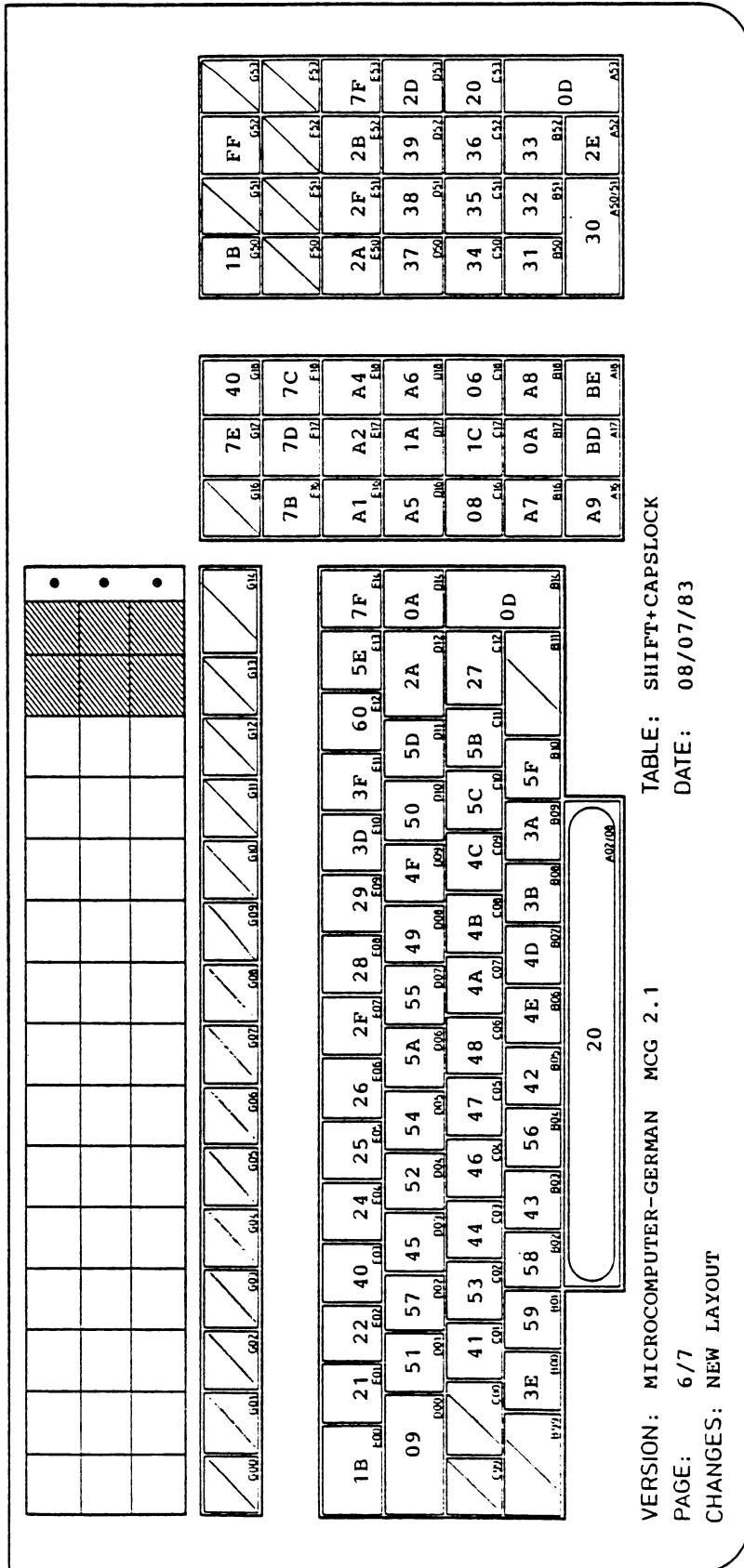
Name		KEYBOARD	
Typ	1019 / 1035	Zusatz	
Hersteller	KONTRON	1019 / 1035	
Produkt	1019 / 1035	1019 / 1035	
Code	1019 / 1035	1019 / 1035	
Material	1019 / 1035	1019 / 1035	
Abbildung	1019 / 1035	1019 / 1035	
Zeichnung	1019 / 1035	1019 / 1035	
Blatt	1019 / 1035	1019 / 1035	



KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER GERMAN

SHIFT + CAPSLOCK



1B	FF	
2A	2F	7F
37	38	39
34	35	36
31	32	33
30	2E	0D

7E	40	
7B	7C	
A1	A2	A4
A5	1A	A6
08	1C	06
A7	0A	A8
A9	BD	BE

TABLE: SHIFT+CAPSLOCK

DATE: 08/07/83

VERSION: MIKROCOMPUTER-GERMAN MCG 2.1

PAGE: 6/7

CHANGES: NEW LAYOUT

Name		KEYBOARD	
Part No.	1019/1035	Rev. No.	1
KONTRON ELECTRONIC		1019/1035	
Address		1019/1035	



MIKROCOMPUTER GERMAN

FUNKTION-KEY'S

LABEL A, B, C selectable only
with key "F" (KG13)!

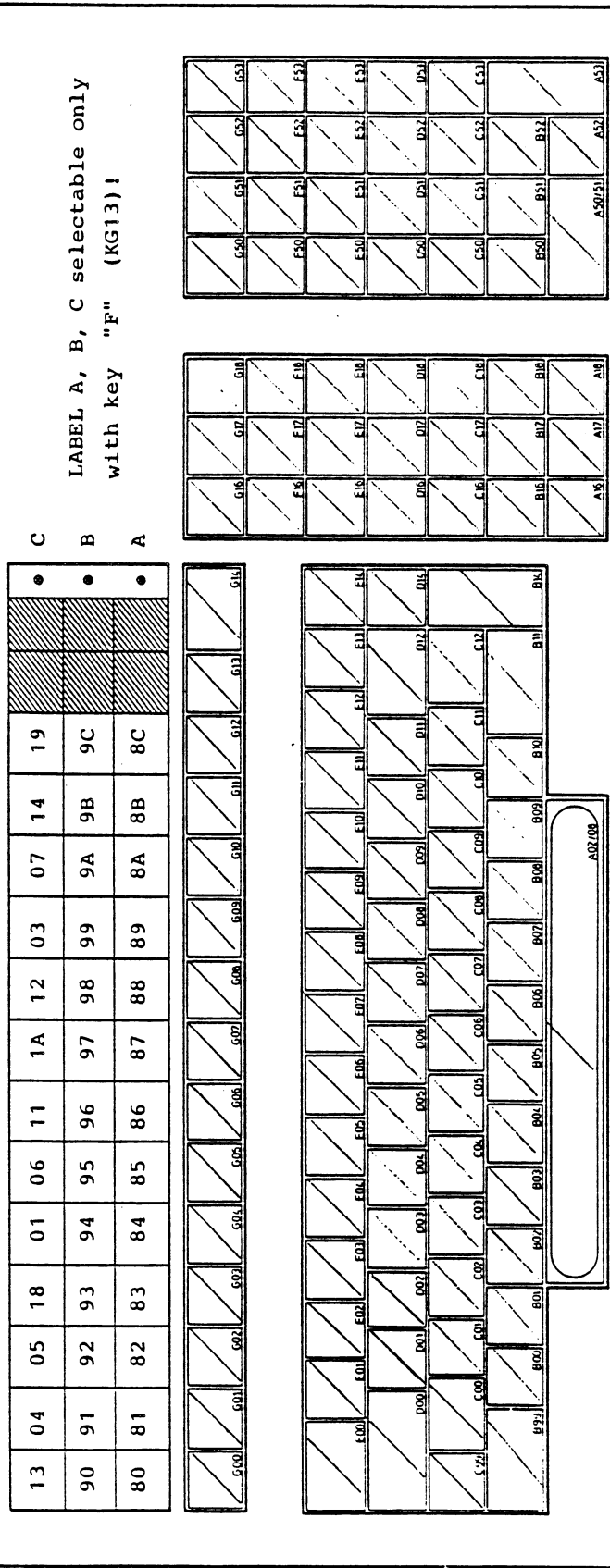


TABLE: FUNCTION-KEYS
DATE: 08/07/83

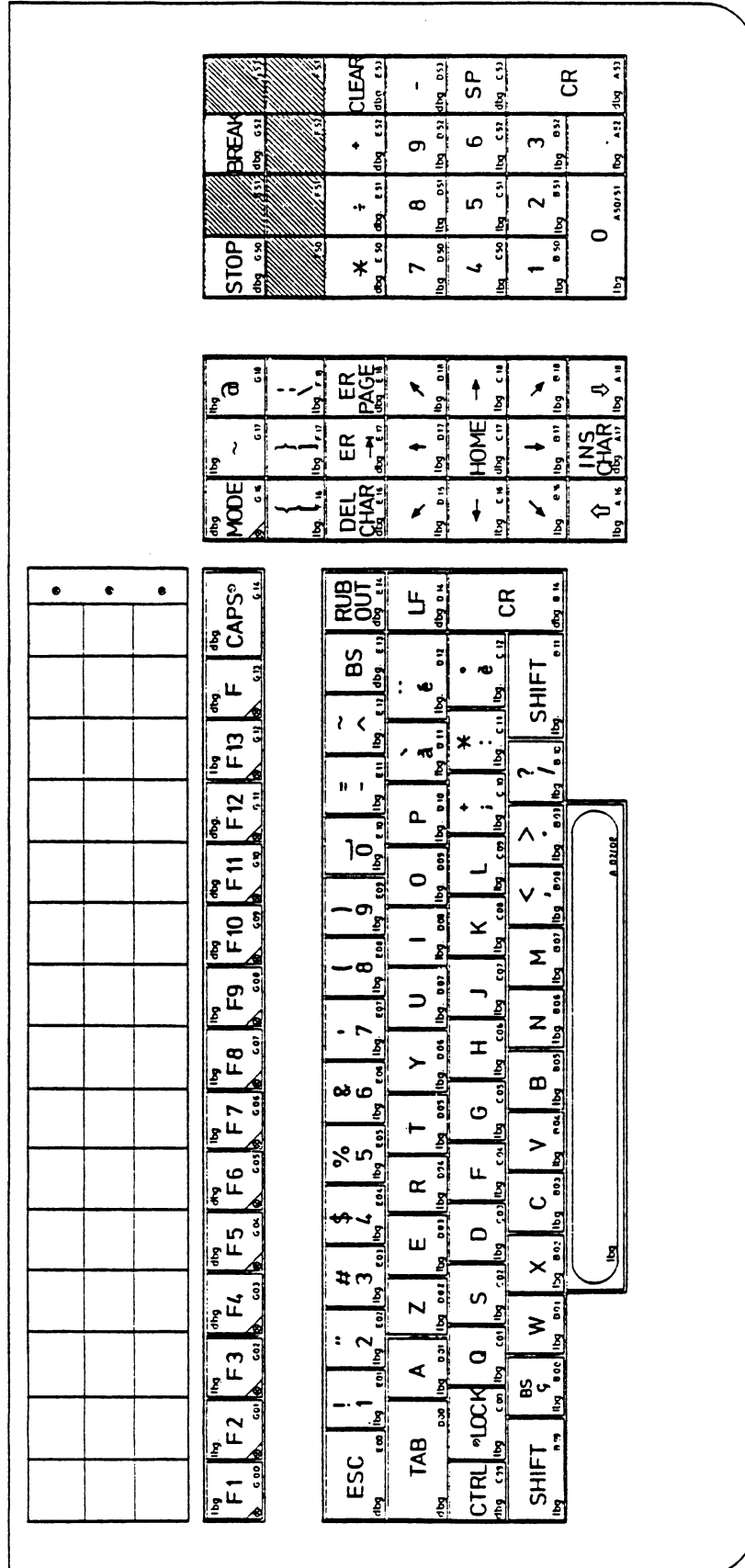
VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 7/7
CHANGES: NEW LAYOUT

Part No.	1019/1035
Rev.	1
Quantity	1
Material	KEYBOARD
Manufacturer	KONTRON ELECTRONIC
Plant	1019/1035
Assembly	
Check	
Drawn	
By	
Date	
Checked	
By	
Date	
Approved	
By	
Date	



MIKROCOMPUTER FRENCH

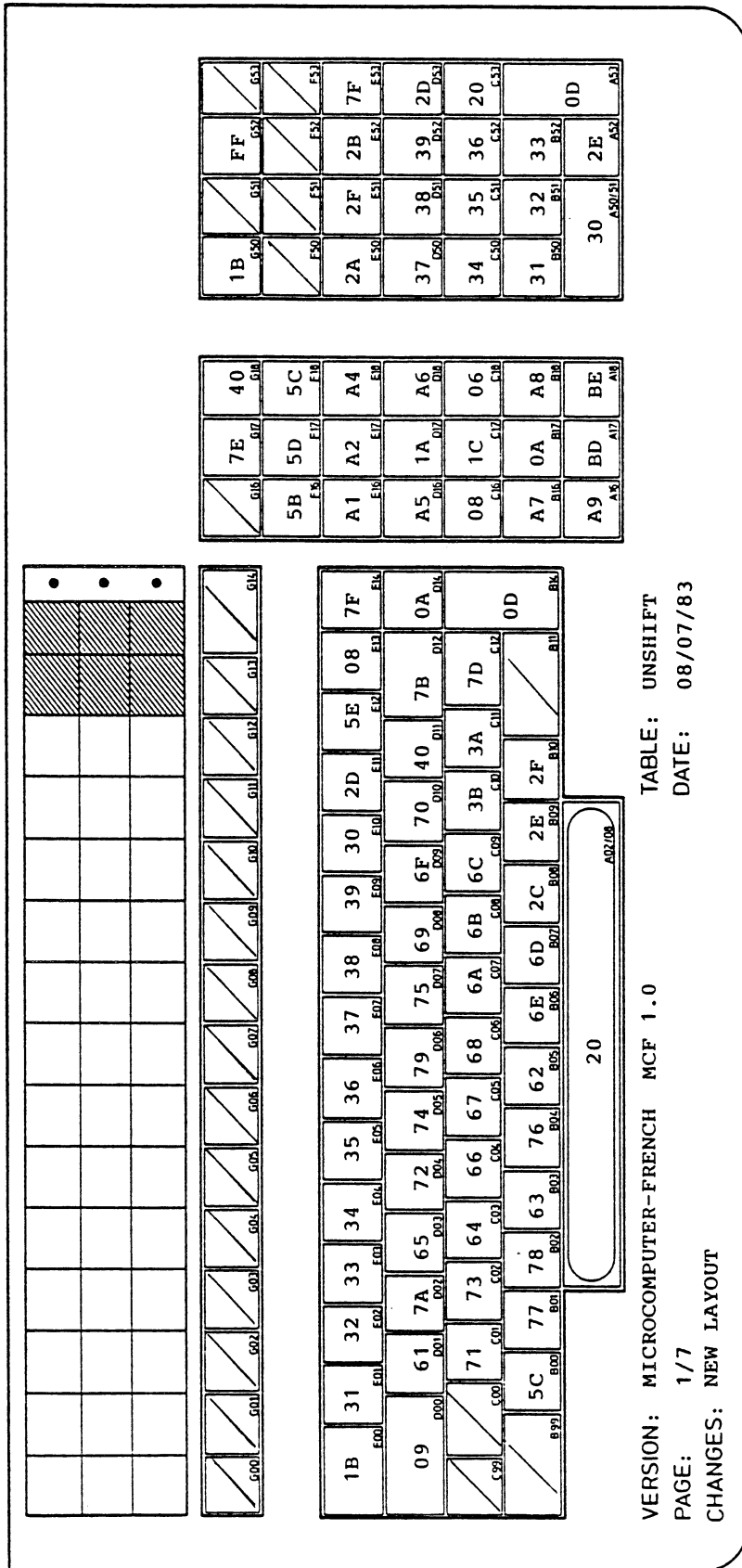
LAYOUT

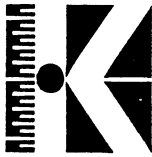




MIKROCOMPUTER FRENCH

UNSHIFT





KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER FRENCH

SHIFT

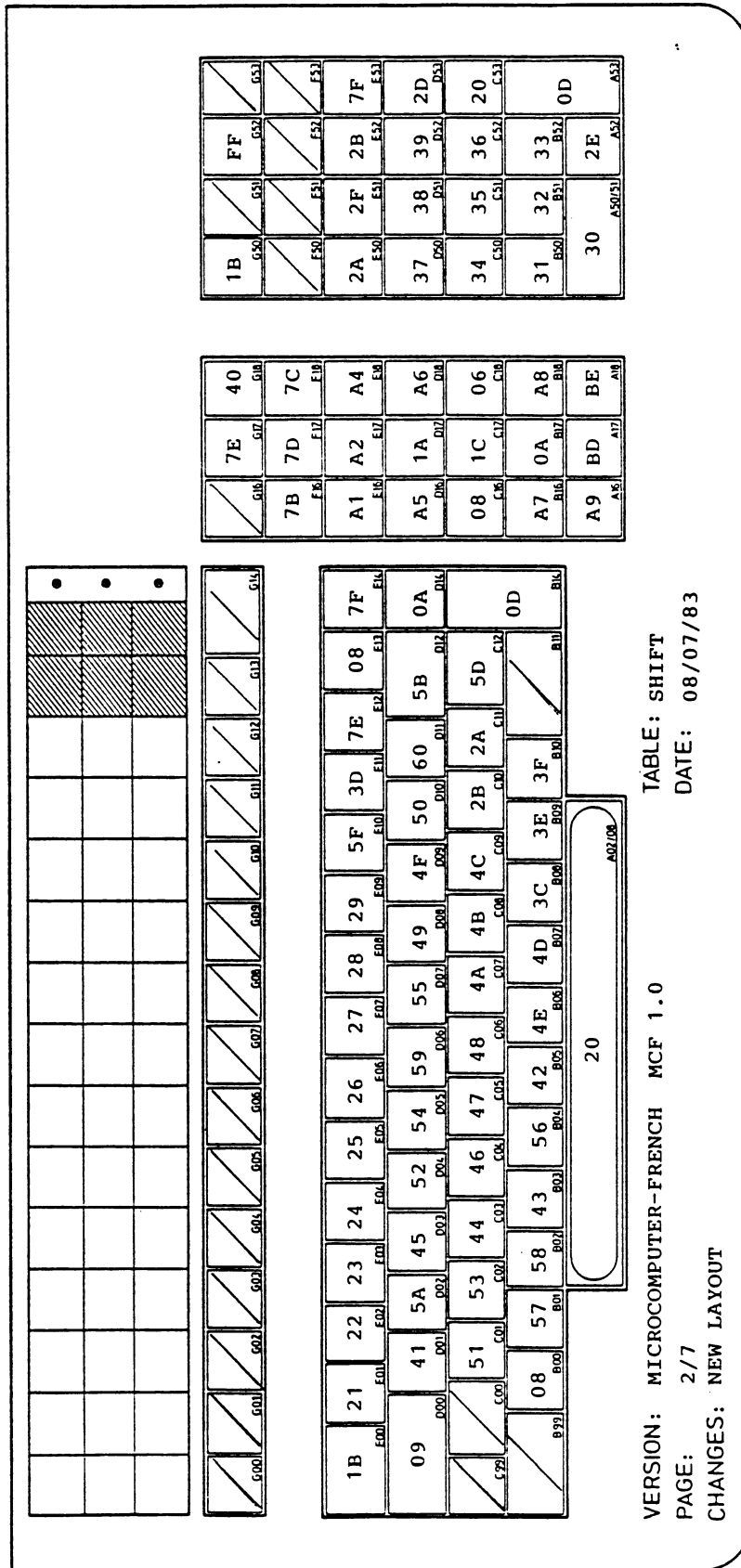


TABLE: SHIFT
DATE: 08/07/83

VERSION: MICROCOMPUTER-FRENCH MCF 1.0
PAGE: 2/7
CHANGES: NEW LAYOUT

1B	FF	
2A	2F	7F
37	38	2D
34	35	20
31	32	33
30	2E	0D

7E	40	7C
7B	A1	A2
A5	1A	A6
08	1C	06
A7	0A	A8
A9	BD	BE

KEYBOARD	
Part No.	1019 / 1035
Rev.	
Drawn by	
Checked by	
Approved by	



MIKROCOMPUTER FRENCH

CAPSLOCK

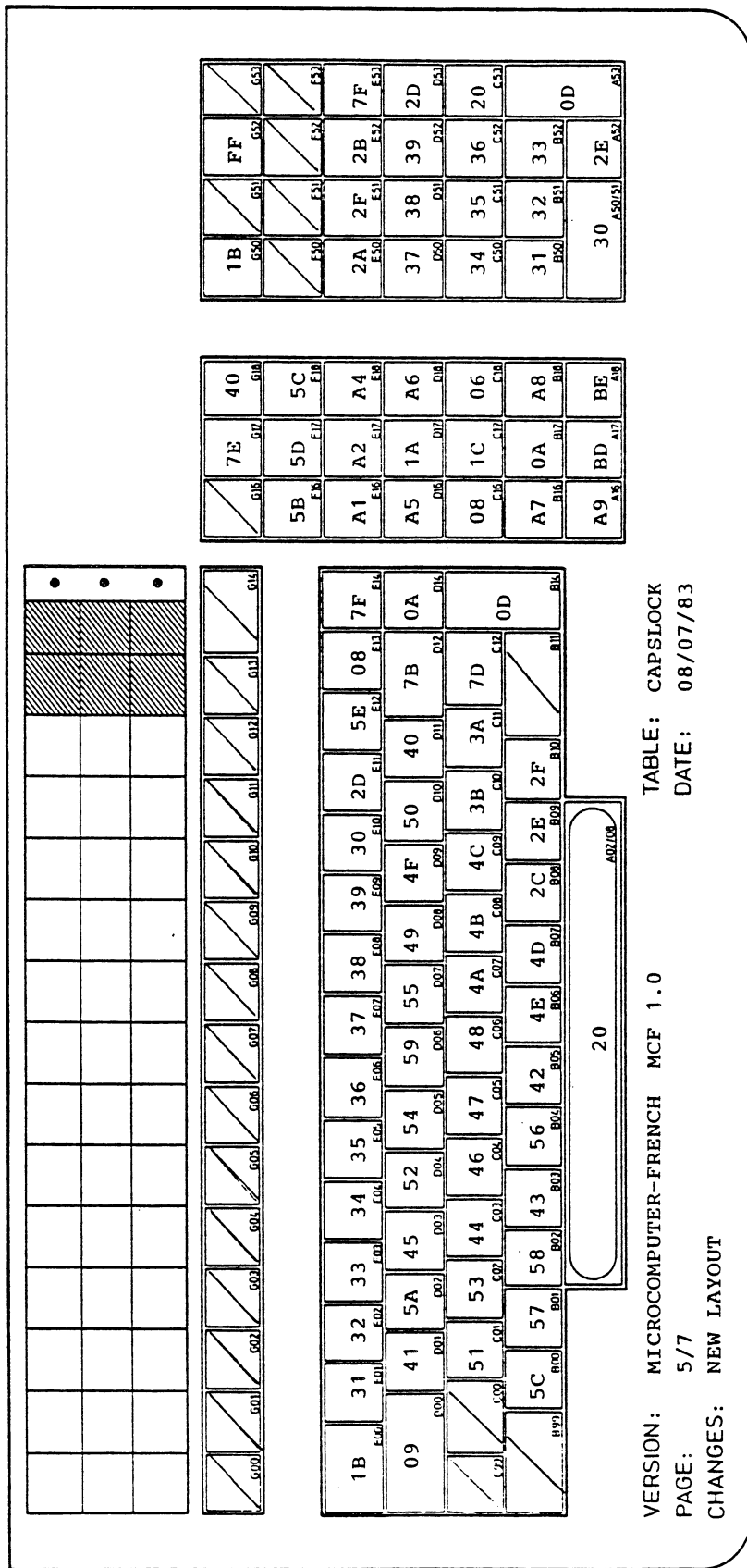


TABLE: CAPSLOCK
DATE: 08/07/83

VERSION: MICROCOMPUTER-FRENCH MCF 1.0
PAGE: 5/7
CHANGES: NEW LAYOUT

Part No.	1019 / 1035
Rev.	
Design No.	
Part Name	KEYBOARD
Drawn By	
Checked By	
Approved By	
Company	KONTRON ELECTRONIC
Address	
City	
Country	
Telephone No.	
Fax No.	
Part No.	1019 / 1035
Rev.	



MIKROCOMPUTER FRENCH

SHIFT + CAPSLOCK

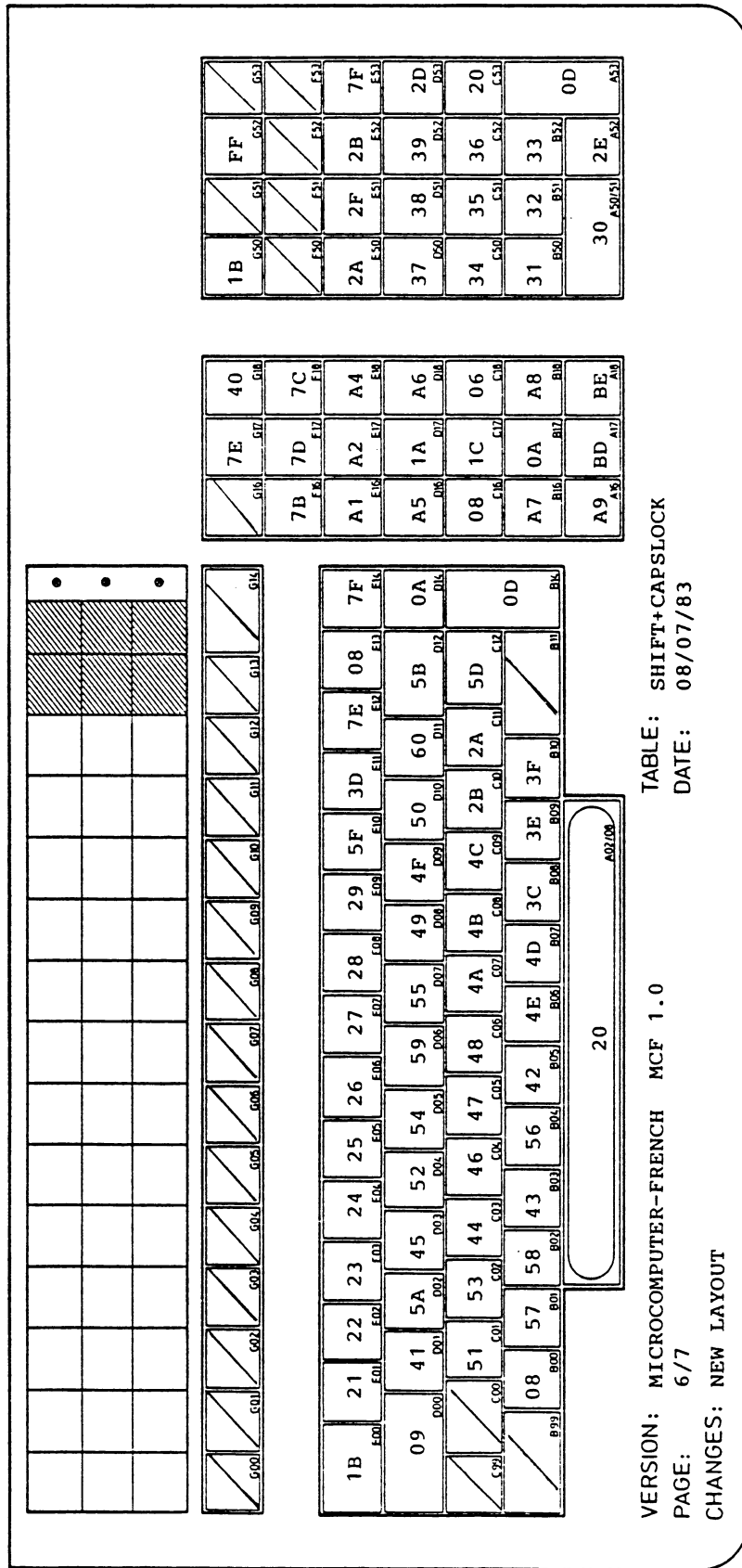


TABLE: SHIFT+CAPSLOCK
DATE: 08/07/83

VERSION: MICROCOMPUTER-FRENCH MCF 1.0
PAGE: 6/7
CHANGES: NEW LAYOUT

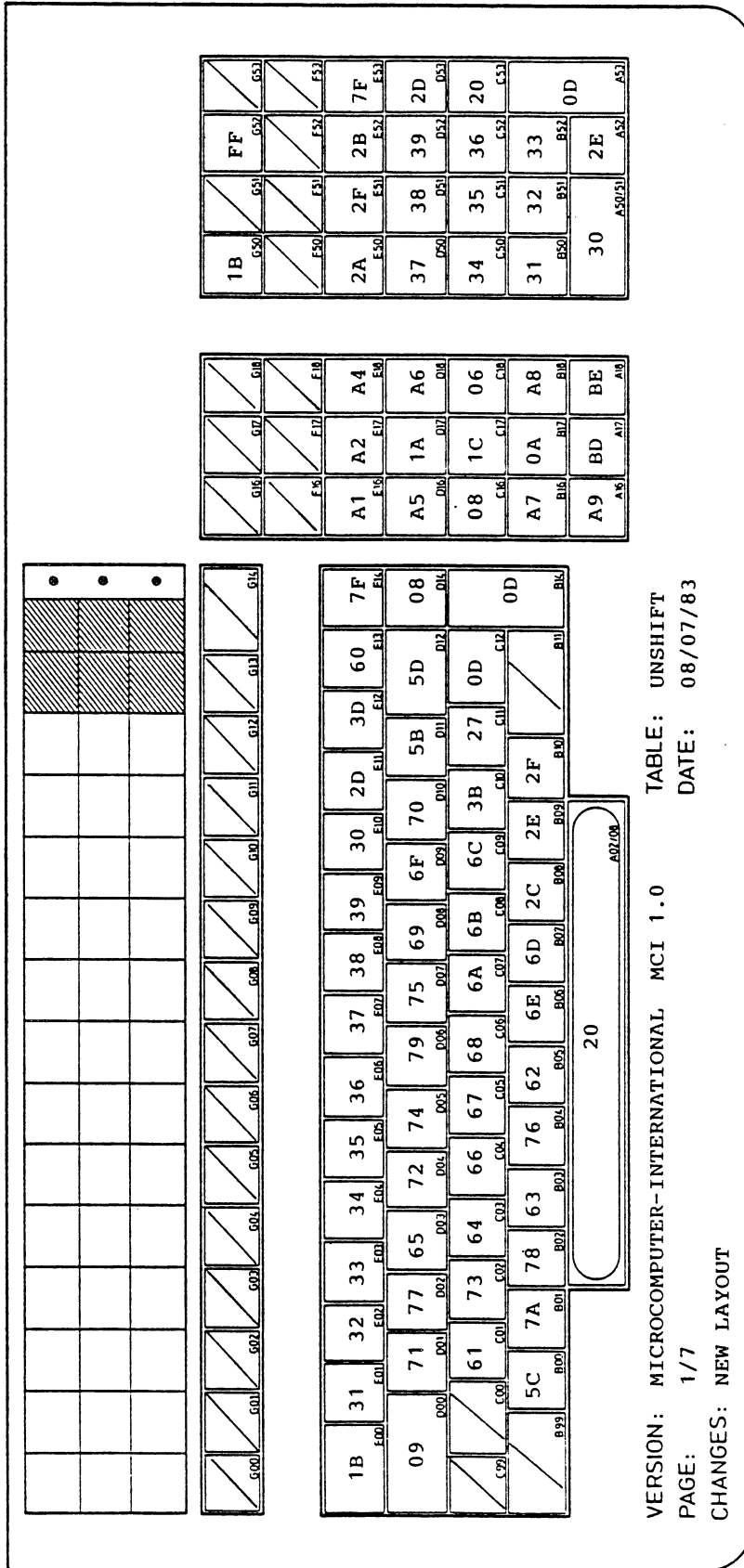
Name		KEYBOARD	
Part No.	1019/1035	REV. A	
KONTRON		Ergoline	
2210/2210/2210/2210		1019/1035	
2210/2210/2210/2210		1019/1035	



KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER INTERNATIONAL

UNSHIFT



VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
 PAGE: 1/7
 CHANGES: NEW LAYOUT

TABLE: UNSHIFT
 DATE: 08/07/83

1B	FF	
2A	2B	7F
37	38	39
34	35	36
31	32	33
30	2E	0D

A1	A2	A4
A5	1A	A6
08	1C	06
A7	0A	A8
A9	BD	BE

Name		KEYBOARD	
Part No.	117 83	High	10
Part No.	122 83	Low	10
KONTRON ELECTRONIC		1019/1035	
Date		10/19/83	
By		10/19/83	
Checked		10/19/83	
Approved		10/19/83	
Drawn		10/19/83	
Checked		10/19/83	
Approved		10/19/83	



MIKROCOMPUTER INTERNATIONAL

CONTROL

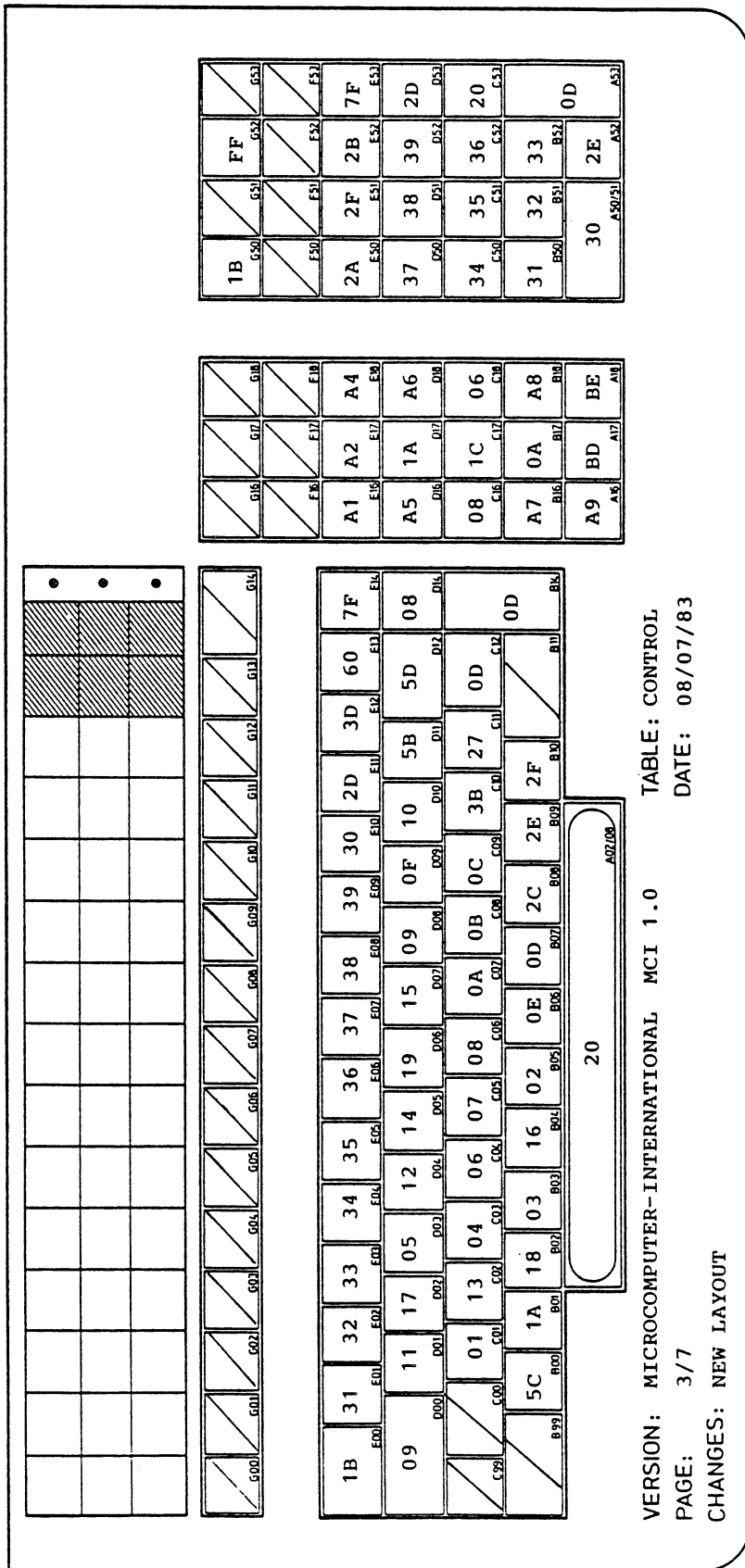


TABLE: CONTROL
DATE: 08/07/83

VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0

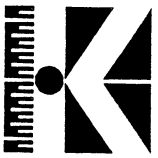
PAGE: 3/7

CHANGES: NEW LAYOUT

1B	FF	
2A	2F	7F
37	38	2D
34	35	20
31	32	33
30	2E	0D

A1	A2	A4
A5	1A	A6
08	1C	06
A7	0A	A8
A9	BD	BE

KEYBOARD	
Part No.	1019/1035
Rev.	
Drawn	11.7.83
Check	17.7.83
KONTRON ELECTRONIC	
Art. No.	1019/1035
Produced in	FR



MIKROCOMPUTER INTERNATIONAL

CAPSLOCK

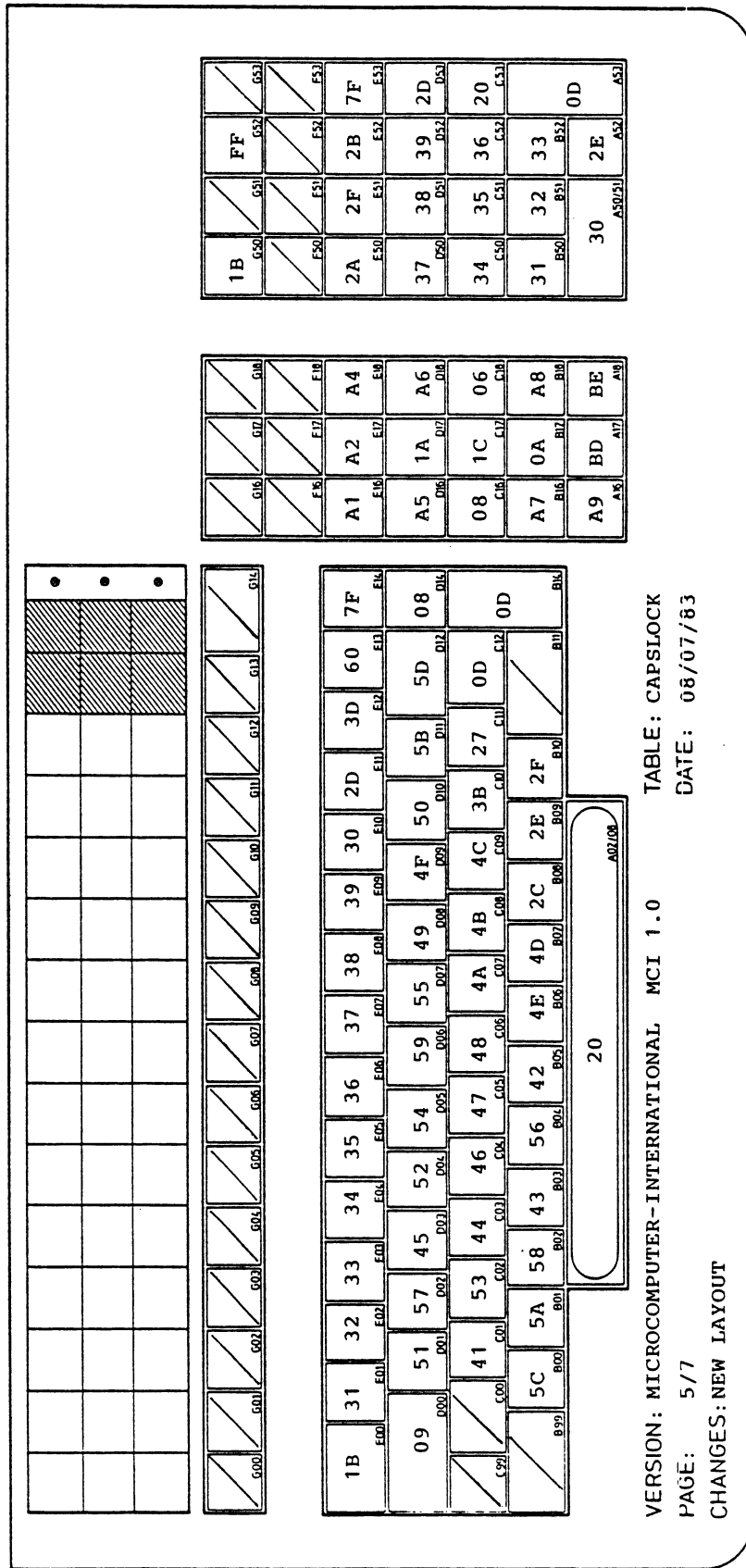


TABLE: CAPSLOCK
DATE: 08/07/83

VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
PAGE: 5/7
CHANGES: NEW LAYOUT

Name		Hauptstadt	
Beam: 31.7.83		12.2.83	
Firma		KONTRON ELECTRONIC	
Nr. 178		1019/1035	
Adressengasse Nr.		In. Größe	



MIKROCOMPUTER INTERNATIONAL

FUNCTION - KEYS

LABEL A, B, C selectable only
with key "F" (KG13)!

13	04	05	18	01	06	11	1A	12	03	07	14	19
90	91	92	93	94	95	96	97	98	99	9A	9B	9C
80	81	82	83	84	85	86	87	88	89	8A	8B	8C

g00	g01	g02	g03	g04	g05	g06	g07	g08	g09	g10	g11	g12	g13	g14
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

e00	e01	e02	e03	e04	e05	e06	e07	e08	e09	e10	e11	e12	e13	e14
d00	d01	d02	d03	d04	d05	d06	d07	d08	d09	d10	d11	d12	d13	d14
c00	c01	c02	c03	c04	c05	c06	c07	c08	c09	c10	c11	c12	c13	c14
b00	b01	b02	b03	b04	b05	b06	b07	b08	b09	b10	b11	b12	b13	b14

f06	f07	f08	f09	f10	f11	f12	f13	f14
f16	f17	f18	f19	f20	f21	f22	f23	f24
f26	f27	f28	f29	f30	f31	f32	f33	f34
f36	f37	f38	f39	f40	f41	f42	f43	f44

g50	g51	g52	g53	g54	g55	g56	g57	g58	g59
f50	f51	f52	f53	f54	f55	f56	f57	f58	f59
e50	e51	e52	e53	e54	e55	e56	e57	e58	e59
d50	d51	d52	d53	d54	d55	d56	d57	d58	d59
c50	c51	c52	c53	c54	c55	c56	c57	c58	c59
b50	b51	b52	b53	b54	b55	b56	b57	b58	b59
a50	a51	a52	a53	a54	a55	a56	a57	a58	a59

TABLE: FUNCTION-KEYS

DATE: 08/07/83

VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0

PAGE: 7/7

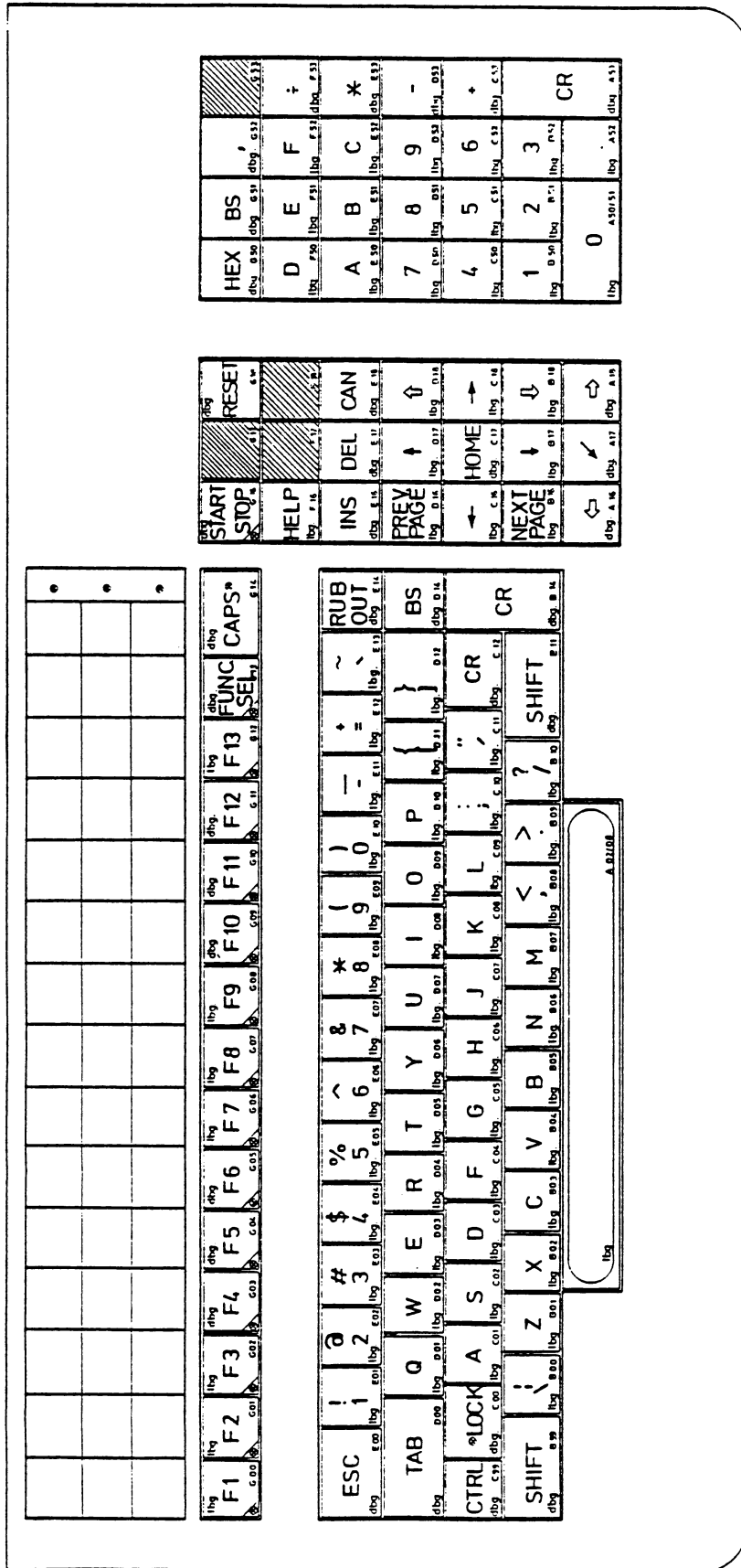
CHANGES: NEW LAYOUT

Name		KEYBOARD	
Reg. No.	117 83	Part. No.	1019 / 1035
Serial No.	117 83	Rev. No.	
Contract	122 83	Contract	
KONTRON ELECTRONIC			
Address	117 83	City	
Telephone	117 83	Country	
Ordering No.	117 83	EU Article	



MEBTECHNIK INTERNATIONAL

LAYOUT



HEX	BS	,	
D	E	F	†
A	B	C	*
7	8	9	-
4	5	6	+
1	2	3	CR
0			

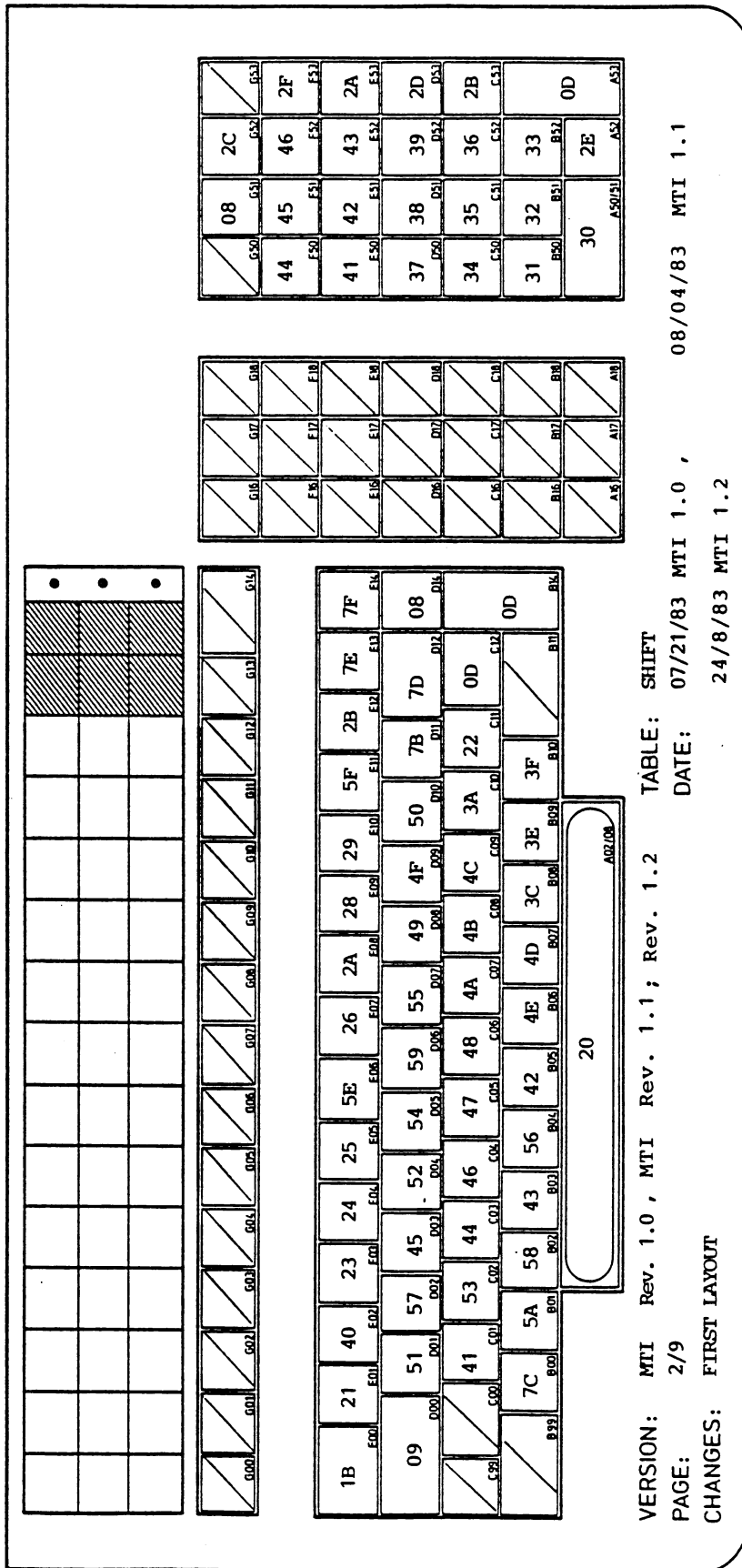
START STOP	RESET		
HELP			
INS	DEL	CAN	
PREV PAGE	↑	↑	
←	HOME	→	
NEXT PAGE	↓	↓	
↶		↷	



KONTRON Ergoline-Tastatur 1035

MEBTECHNIK INTERNATIONAL

SHIFT



VERSION: MTI Rev. 1.0, MTI Rev. 1.1; Rev. 1.2 TABLE: SHIFT
 DATE: 07/21/83 MTI 1.0 , 08/04/83 MTI 1.1
 24/8/83 MTI 1.2

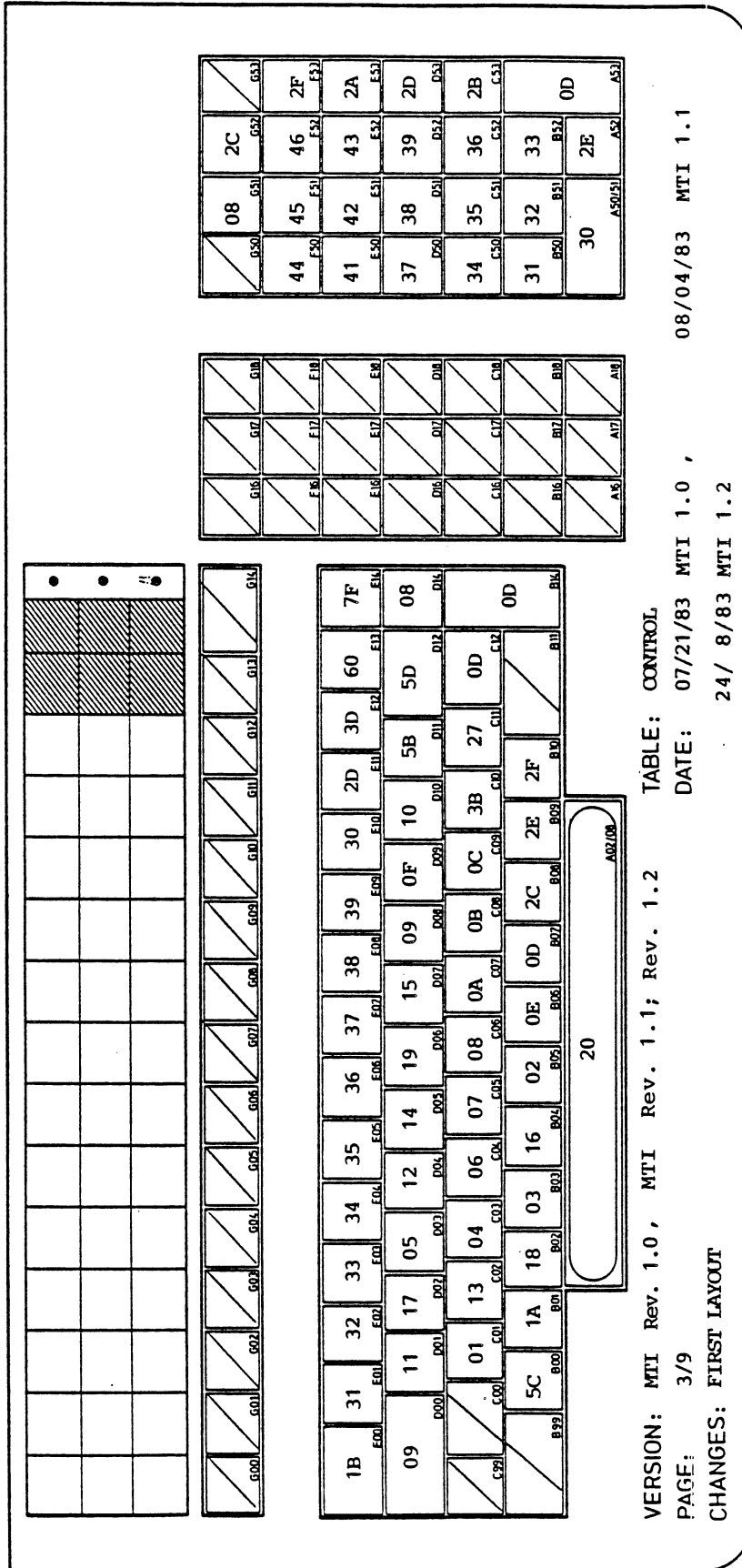
PAGE: 2/9
 CHANGES: FIRST LAYOUT

Type		Name	
Part No.	Rev.	Part No.	Rev.
11 2 83	1.0	11 2 83	1.0
KONTRON ELECTRONIC			
Part No. 1019/1035		Rev. 1.1	
Drawing No. 1019/1035		Rev. 1.1	
Date 08/04/83		Rev. 1.1	
Drawn by MTI		Rev. 1.1	
Checked by MTI		Rev. 1.1	
Approved by MTI		Rev. 1.1	
KEYBOARD			



MEBTECHNIK INTERNATIONAL

CONTROL



VERSION: MII Rev. 1.0, MTI Rev. 1.1; Rev. 1.2 TABLE: CONTROL DATE: 07/21/83 MTI 1.0 , 08/04/83 MTI 1.1

PAGE: 3/9

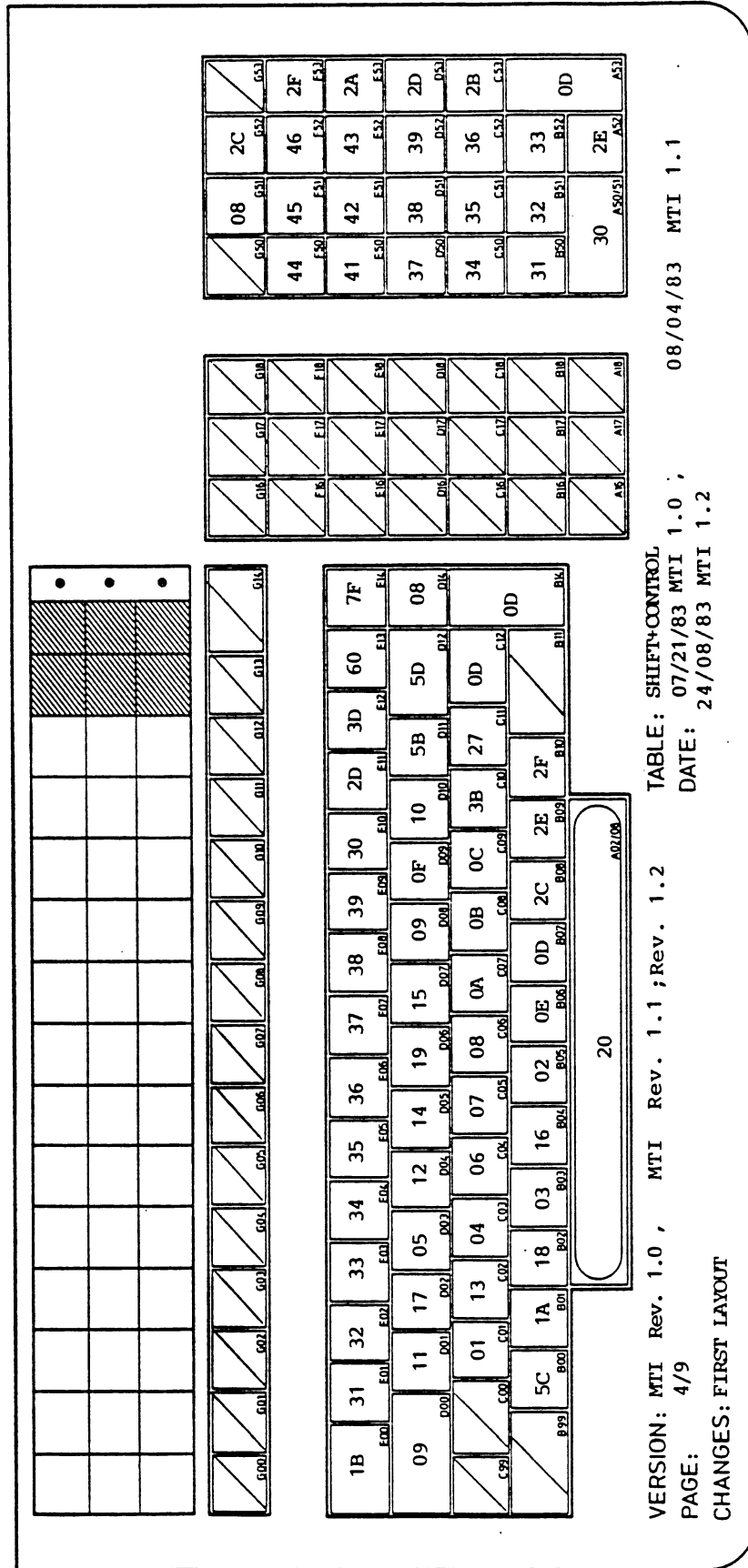
CHANGES: FIRST LAYOUT 24/ 8/83 MTI 1.2

Part No.	1019 / 1035
Rev. No.	1
Part Name	KEYBOARD
Drawn	21.2.83
Checked	22.2.83
Company	KONTRON ELECTRONIC
Address	33137
City	Witten
Country	FR
Telephone No.	
Fax No.	



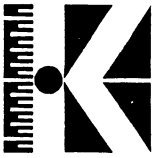
MEBTECHNIK INTERNATIONAL

SHIFT + CONTROL



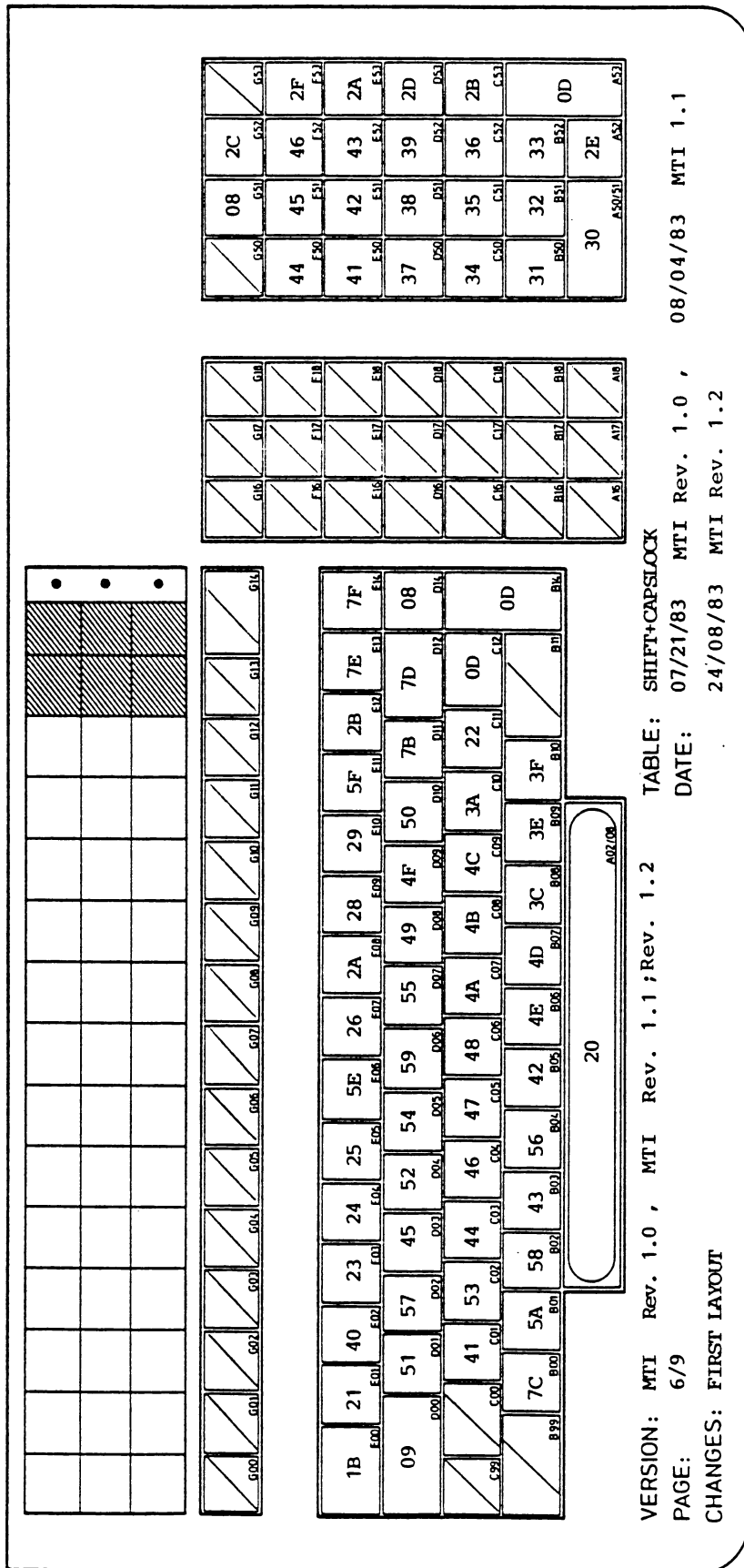
VERSION: MTI Rev. 1.0, MTI Rev. 1.1; Rev. 1.2
 PAGE: 4/9
 CHANGES: FIRST LAYOUT
 TABLE: SHIFT+CONTROL
 DATE: 07/21/83 MTI 1.0 ; 08/04/83 MTI 1.1
 DATE: 24/08/83 MTI 1.2

Name		KEYBOARD	
Item No.	11783	Order No.	
Item Desc.	127283	Part No.	1019/1035
KONTRON ELECTRONIC		Date	
Part No.	11783	Rev.	
Order No.	127283	By	



MEBTECHNIK INTERNATIONAL

SHIFT + CAPSLOCK



VERSION: MTI Rev. 1.0 , MTI Rev. 1.1;Rev. 1.2
 PAGE: 6/9
 CHANGES: FIRST LAYOUT

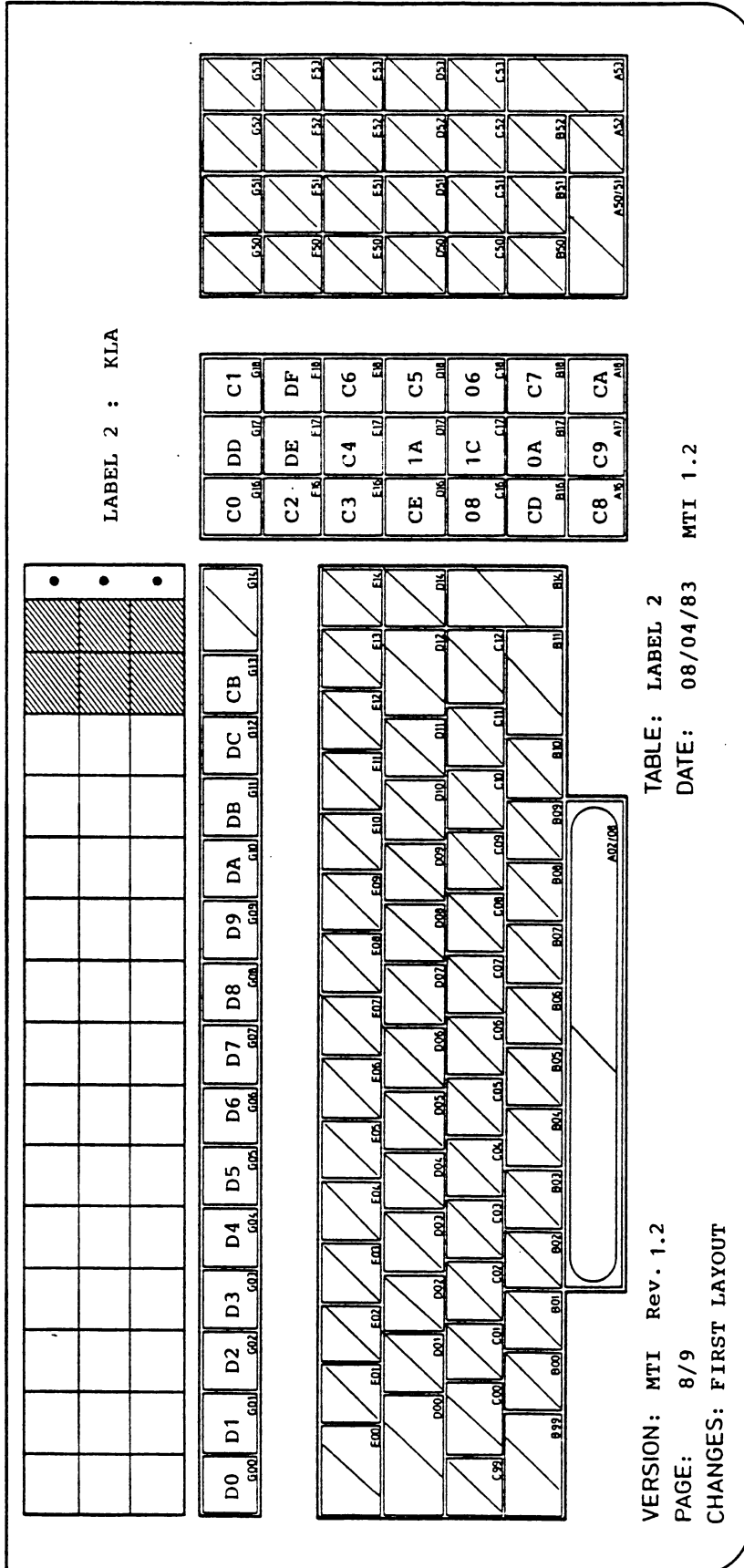
TABLE: SHIFT+CAPSLOCK
 DATE: 07/21/83 MTI Rev. 1.0 , 08/04/83 MTI 1.1
 24/08/83 MTI Rev. 1.2

Name		KEYBOARD	
Matr. No.	1019/1035	Date	
KONTRON		No. Rev.	
KONTRON		No. Rev.	



MEBTECHNIK INTERNATIONAL

FUNCTION LABEL 2



Name		KEYBOARD	
Part No.	1019 / 1035	Rev. No.	1
Drawn	11.7.83	Checked	11.7.83
Appr.	12.12.83	Released	12.12.83
KONTRON		1019 / 1035	
Part No.	1019 / 1035	Rev. No.	1
Drawn	11.7.83	Checked	11.7.83
Appr.	12.12.83	Released	12.12.83

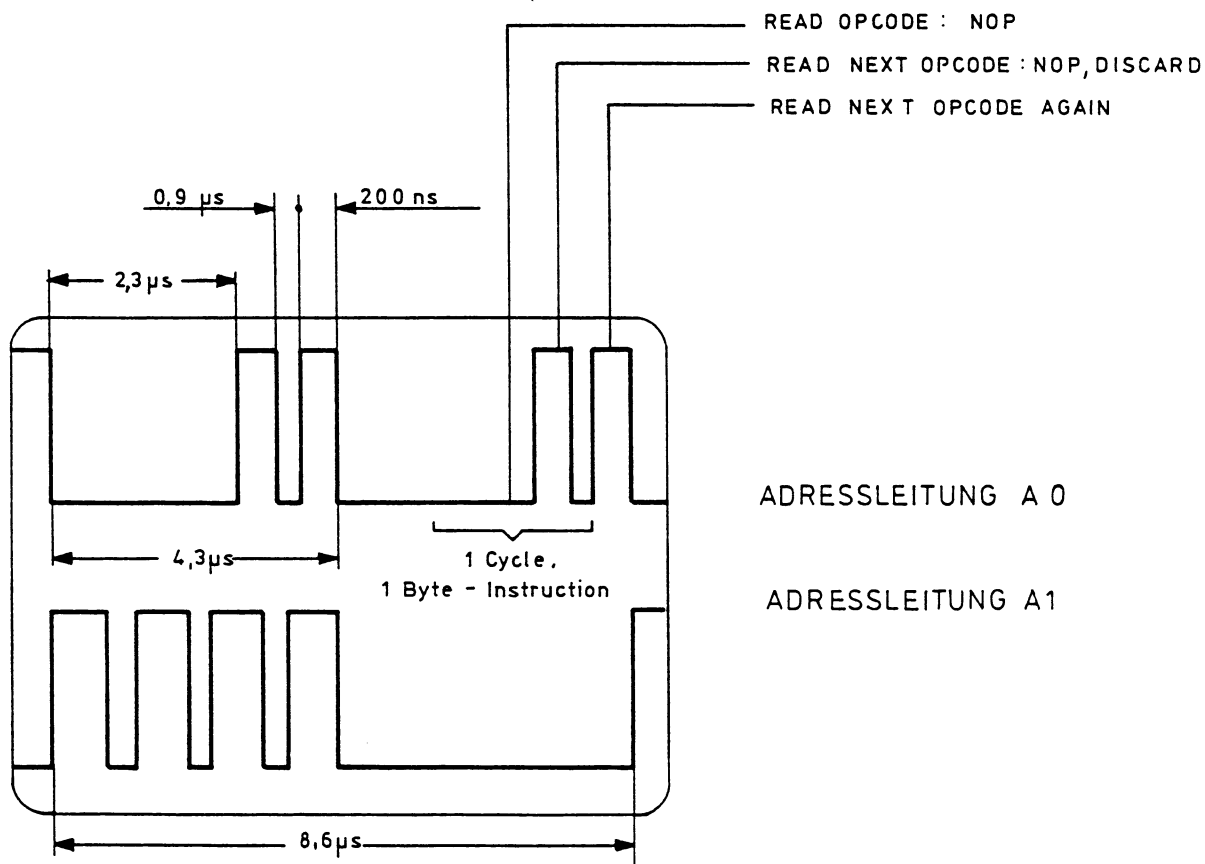


6. Testpromlisting

Die folgenden beiden Testprogramme sollen für die Suche besonders schwieriger Fehler Hilfestellung geben. Dazu sind die Hexcodes des Assemblerlistings in einen EPROM-Programmer einzugeben (z.B. KONTRON MPP/EPP) und für jedes Programm ein eigenes EPROM 27C32A zu programmieren.

6.1 Adreß-Bus-Test

Das gesamte EPROM ist mit "NOP"-Befehlen gefüllt, bei deren Abarbeitung die CPU ihren Program-Counter jeweils um einen Schritt erhöht. Am Ende des EPROMs steht ein Sprung auf den EPROM-Anfang, so daß das Testprogramm als Endlosschleife abläuft und eine Überprüfung der Adreßleitungen mit dem Oscilloscope ermöglicht. Folgendes Oscillogramm zeigt die typischen Signale eines funktionsfähigen Keyboards:





Jede Adressleitung weist dabei gegenüber der vorhergehenden die halbe Frequenz auf. Nicht funktionsfähige Leitungen können deshalb sehr schnell erkannt werden.

Der "H"-Pegel der Rechteckschwingung ist deshalb unterbrochen, da während dieser Phase zwei OPCODE-Fetches erfolgen, ebenso wie beim "L"-Bereich des Signales. Die CPU 8031 holt bei 1Byte-/1Cycle-Befehlen grundsätzlich noch den OPCODE des Befehles auf der nächsthöheren Adresse, der jedoch bei der Ausführung unberücksichtigt bleibt.

```
*****
:*****          TEST-SOFTWARE FOR ERGOLINE-KEYBOARDS 1035 Rev. 1.1          *****
:*****
:*****          A D D R E S S - B U S - T E S T   R e v .   1 . 0          *****
:*****
:*****          COPYRIGHT BY
:*****          KONTRON ELEKTRONIK GMBH,  DEPT. SYSTEME + TECHNOLOGIE
:*****          BRESLAUER STR. 2,   8057 ECHING/MUENCHEN
:*****
:*****          SOFTWARE Rev. 1.0 WRITTEN BY   ANDREAS KRIWANEK   09/18/83   *****
:*****
```

: DESCRIPTION:

```
:-----
:
: THIS TEST-PROGRAM WAS DESIGNED FOR TESTING THE ADDRESS-BUS
: OF THE KEYBOARD WITH AN TWO-CHANNEL-OSCILLOSCOPE. THE EPROM
: IC8 (27C32) IS FILLED WITH "NOP"-OPCODES, WITH THE EXCEPTION
: OF THE LAST THREE MEMORY-LOCATIONS, IN WHICH A UNCONDITIONAL
: BRANCH TO THE FIRST LOCATION OF THE EPROM IS PLACED. BECAUSE
: THE CPU IS FETCHING THE "NOP"-OPCODE IN A INFINITE LOOP, THE
: ADDRESS-BUS-LINES WILL BE INCREMENTED IN STEPS BY ONE, FROM
: THE FIRST EPROM-LOCATION (ADDRESS 0000H) UNTIL THE HIGHEST
: EPROM-ADDRESS (ADDRESS OFFFH), IN THE SAME MANNER LIKE AN TTL-
: BINARY-COUNTER. SO IT'S EASY TO DETECT DEFECT ADDRESS-LINES
: WITH AN OSCILLOSCOPE.
:
```

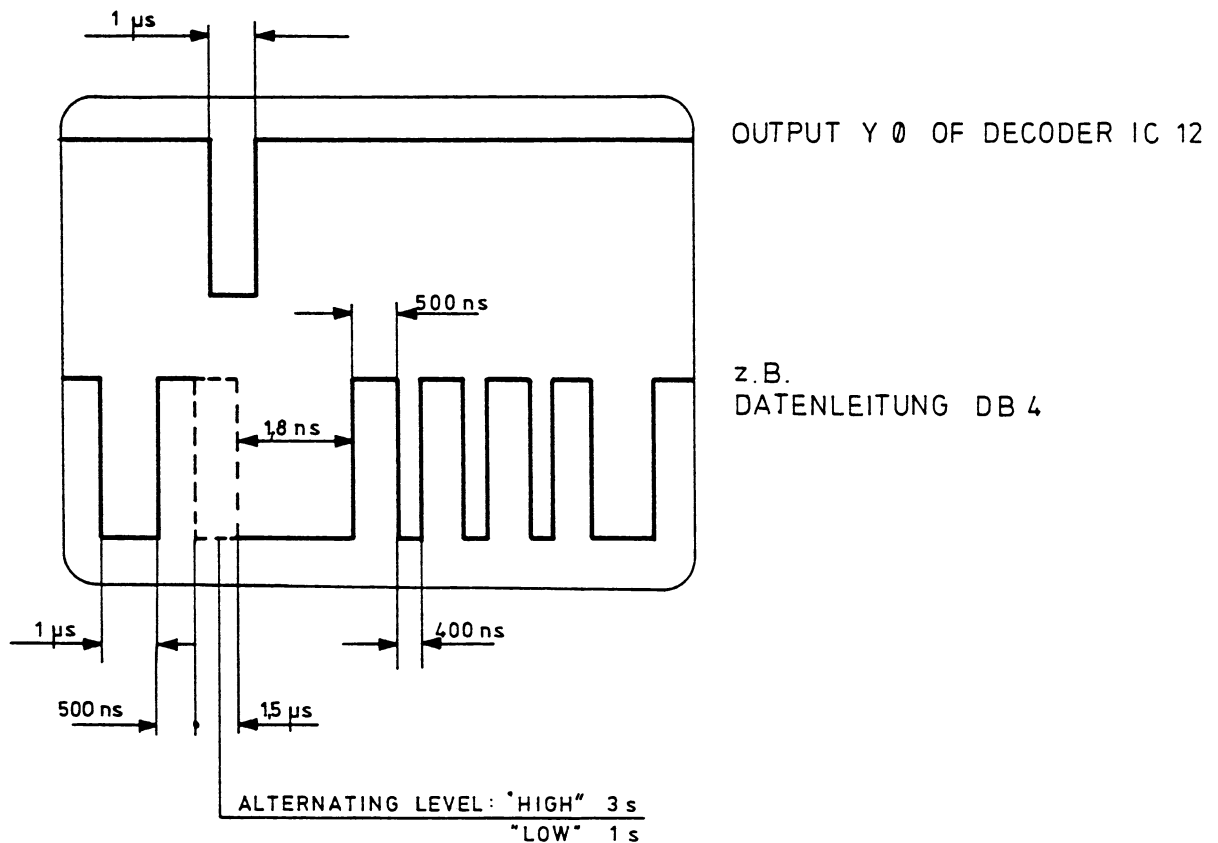
```
0000 00      NOP                ;THE EPROM IC8, ORGANIZED 4Kx8 IS FILLED
0001 00      NOP                ;WITH "NOP"-OPCODES, WITH THE EXCEPTION
0002 00      NOP                ;OF THE LAST THREE MEMORY-LOCATIONS
0003 00      NOP
.
.
.
.
OFFA 00      NOP
OFFB 00      NOP
OFFC 00      NOP
OFFD 020000  LJMP      0000H     ;UNCONDITIONAL BRANCH TO FIRST EPROM-
                                ;LOCATION
                                END
```



6.2 Decoder- und Peripherie-Test

Auch dieses Programm wurde als Endlosschleife konzipiert um Messungen mit dem Oszilloscope zu ermöglichen. Dabei wird laufend ein spezielles Testmuster (1 Bit="L", alle anderen 7 Bits="H") an alle Peripherieeinheiten geschrieben, die an den Ausgängen des Decoders IC12 (74 HC 138) angeschlossen sind. Die Register IC 3,4,5,6 übernehmen das Testmuster und zeigen es mit den LEDs an (Ausnahme IC6). Lediglich der Row-Sense-Buffer IC2 (74 HC 244) wird gelesen statt beschrieben, um einen Buskonflikt zu vermeiden.

Im Programm ist eine Warteschleife installiert, damit die Testmuster für etwa eine halbe Sekunde betrachtet werden können, bevor das Muster sich ändert. Das "L"-Bit des Testmusters wird nach Ablauf der Wartezeit um eine Position nach links rotiert, was sich auf dem Keyboard als eine Art Lauflicht zeigt. Mit dem Scope kann nun einer der acht Decoderausgänge in Verbindung mit einem Datenbit betrachtet werden (Triggerung auf Decoderausgang!). Zur Verdeutlichung der typischen Signale wird im folgenden Oscillogramm der Ausgang Y0 in Verbindung mit dem Datenbit DB4 dargestellt:





KONTRON Ergoline-Tastatur 1035

Die dargestellte Datenleitung wechselt im Bereich unterhalb des aktivierten Decoderausgangs etwa alle 4 Sekunden von "H" auf "L" und verbleibt dort etwa eine Sekunde. Dieser Wechsel ist mit dem Aufleuchten der zur Datenleitung zugehörigen LED identisch. Mit diesem Testprogramm ist es möglich, alle Decoderausgänge und Datenleitungen auf einwandfreie Funktion zu überprüfen.

AVOCET SYSTEMS 8051 CROSS-ASSEMBLER - VERSION 1.09

SOURCE FILE NAME: DECTEST.ASM

```

*****
***** TEST-SOFTWARE FOR ERGOLINE-KEYBOARDS 1035 Rev. 1.1 *****
*****
***** D E C O D E R -   A N D   P E R I P H E R A L T E S T   Rev.1.0 *****
*****
***** COPYRIGHT BY *****
***** KONTRON ELEKTRONIK GMBH,   DEPT. SYSTEME + TECHNOLOGIE *****
***** BRESLAUER STR. 2,   8057 ECHING/MUENCHEN *****
*****
***** SOFTWARE Rev. 1.0 WRITTEN BY ANDREAS KRIWANEK   09/18/83 *****
*****

```

DESCRIPTION:

```

:-----
:
: THIS PROGRAM IS DESIGNED AS INFINITE LOOP FOR TESTING THE KEY-
: BOARD WITH AN OSCILLOSCOPE. A SPECIAL TEST-PATTERN, IN WHICH
: ONLY ONE BIT IS "LOW" AND THE OTHER SEVEN BITS ARE "HIGH", IS
: WRITTEN TO ALL 8 OUPUTS OF THE DECODER IC12. AFTER SCANNING ALL
: 8 OUTPUTS, A DELAY-COUNTER IS DECREMENTED AND THE OUTPUT OF THE
: SAME TEST-PATTERN IS CONTINUED ON ALL 8 DECODER-OUTPUTS.
: IF THE NESTED DELAY-COUNTER REACHES ZERO, THE "LOW"-BIT OF THE
: TEST-PATTERN IS ROTATED ONE POSITION TO THE LEFT, AND THE PRO-
: GRAM CONTINUES THE OUTPUT-LOOP.
:
: THE USER OF THIS PROGRAMM IS ABLE TO TEST ALL OUTPUTS AND LED'S
: OF THE PERIPHERAL REGISTERS IC 3,4,5,6. IT ALLOWS ALSO TO SEE,
: IF ALL DATA-LINES ARE INDEPENDENT FROM ANOTHER (ONLY ONE OUTPUT
: OF A REGISTER IS ALLOWED TO BE ACTIVATED AT THE SAME TIME!).
:

```

```

F7F8          BASEADR EQU      0F7F8H          ;BASE-ADDRESS OF DECODER IC12

0000 74FE     INIT:  MOV      A,#11111110B     ;LOAD INITIAL TEST-PATTERN INTO ACCU
0002 7F00     MOV      R7,#00H                ;SET FIRST LOOP-COUNTER FOR DELAY
0004
0004
0004 7E15     LOOP3:  MOV      R6,#21          ;SET SECOND LOOP-COUNTER FOR DELAY
0006 90F7F8   LOOP2:  MOV      DPTR,#0F7F8H         ;SET DATA-POINTER TO BASE-ADDRESS OF DECODER
0009 F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y0
000A A3        INC      DPTR
000B F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y1
000C A3        INC      DPTR
000D F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y2
000E A3        INC      DPTR
000F F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y3
0010 A3        INC      DPTR
0011 COE0     PUSH     ACC                    ;SAVE TEST-PATTERN ONTO STACK
0013 E0        MOVX     A,DPTR                 ;READ FROM DECODER-OUTPUT Y4
0014 DOE0     POP      ACC                    ;FETCH TEST-PATTERN FROM STACK
0016 A3        INC      DPTR
0017 F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y5
0018 A3        INC      DPTR
0019 F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y6
001A A3        INC      DPTR
001B F0        MOVX     DPTR,A                ;WRITE TO DECODER-OUTPUT Y7
001C
001C DFE8     DJNZ     R7,LOOP2             ;DECREMENT FIRST LOOP, TEST IF ZERO
001E          ;IF NON ZERO, CONTINUE WITH LOOP2!
001E DEE6     DJNZ     R6,LOOP2             ;DECREMENT 2ND LOOP, TEST IF ZERO!
0020          ;IF NON ZERO, CONTINUE WITH LOOP2!
0020
0020 23        RL      A                    ;DELAY FOR TEST-PATTERN FINISHED:
0021          ;ROTATE ZERO IN TEST-PATTERN ONE POSITION TO
0021          ;THE LEFT
0021 80E1     SJMP     LOOP3
0000          END

```



Diese Anleitung beschreibt die
Monitoreinheit 9M15



1. Allgemeines

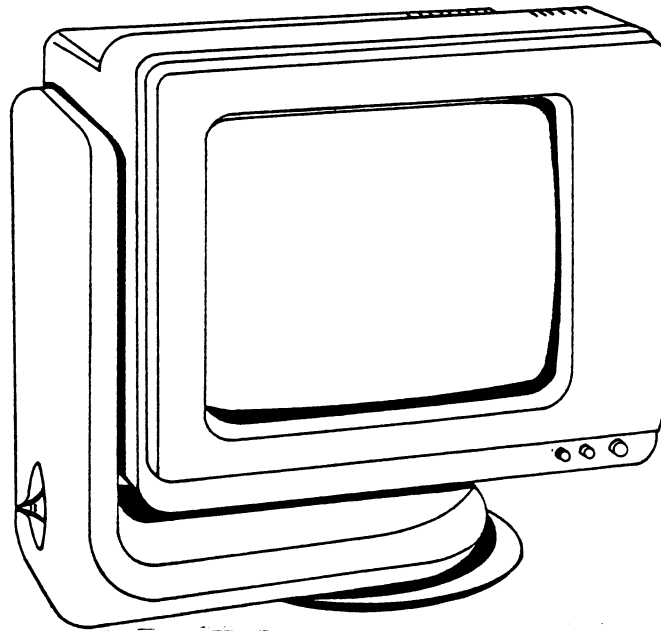
Die Monitoreinheit 9M15 beinhaltet einen 15"-Bildschirm.

Es kommen Bildschirmeinheiten der Firmen

- Panasonic (Typ H-15641 NA)
- AEG-Telefunken (Typ LDM38)

zum Einsatz.

Das Gerät hat eine eigene Spannungsversorgung (Panasonic: Getaktetes Netzteil, AEG: Längsgerichtetes Netzteil).





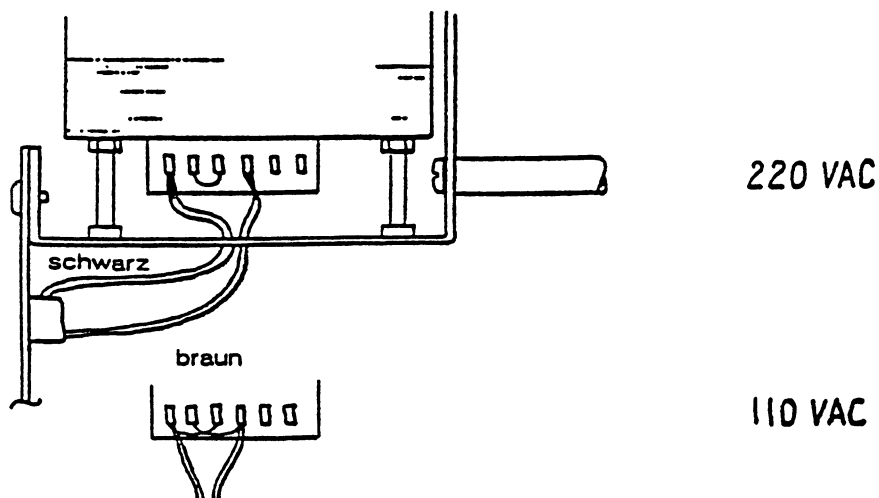
2. Anschlüsse

Die Monitoreinheit wird mit getrennten Synchronisierimpulsen (HSync, VSync, Video) betrieben. Der Anschluß erfolgt an der Rückseite des Gerätes über eine 9-polige Buchse. Die Anschlußbelegung lautet wie folgt:

Buchse	Signalname
1	Video
2	VSync
3	HSync
4	
5	
6	GND
7	Sound.Pot
8	Sound.Out
9	+ 5V

Die Netzspannung wird über ein Netzfilter mit eingebauter Sicherung zugeführt. Die Sicherung kann nach Abziehen des Netzkabels gewechselt werden. Ihr Wert beträgt bei 220 V Netzspannung 0.8 A Mittelträge (bei 110 V 1.6 A Mittelträge). Die Monitore sind für 220 Volt 50...60 Hz voreingestellt. Der Panasonicmonitor kann dank besonderer Auslegung des Schaltnetzteils ohne Änderungen auch an anderen Netzspannungen (90...260 VAC) betrieben werden.

Der AEG-Monitor kann außer an 220 V noch mit 110 Volt betrieben werden. Dazu müssen die Anschlüsse am Trafo im Inneren des Gerätes entsprechend folgender Abbildung umgelötet werden:





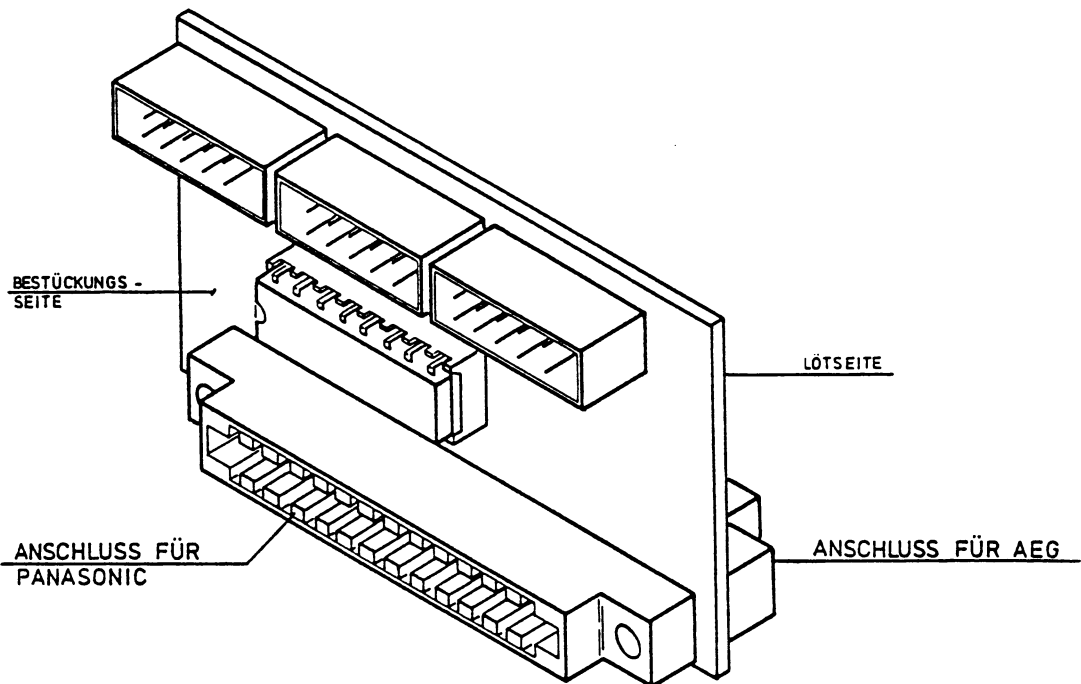
Interne Sicherungen:

Im Netzteil des Panasonic-Monitors befindet sich eine 30 mm lange Netzsicherung. Sie ist nach Ausbau des Netzteils zugänglich. Ihr Wert beträgt bei 220 V Eingangsspannung 2.5 A (entsprechend bei 110 V 5 A).

Die Netzsicherung des AEG-Monitors befindet sich neben dem Netztransformator. Ihr Wert beträgt bei 220 V 0.5 A träge (110 V: 1 A träge).

Anschluß der Monitoreinheit über die Adapterplatine

Um etwaige Leitungsverluste durch lange Anschlußkabel auszugleichen, werden die Eingangssignale durch Schmitt-Trigger-Bausteine wieder auf TTL-Pegel gebracht. Diese Bausteine befinden sich auf einer Adapterplatine, die direkt an die Monitorplatine angesteckt wird. Da die Anschlußleisten der Monitoreinheiten AEG und Panasonic genau spiegelverkehrt zueinander sind, muß die Adapterplatine wie folgt eingesteckt werden:



Beim Panasonic-Monitor wird diese Platine derart auf die Panasonic-Platine aufgesteckt, daß die Bauteileseite der Adapterplatine zur Bildröhre hinzeigt.

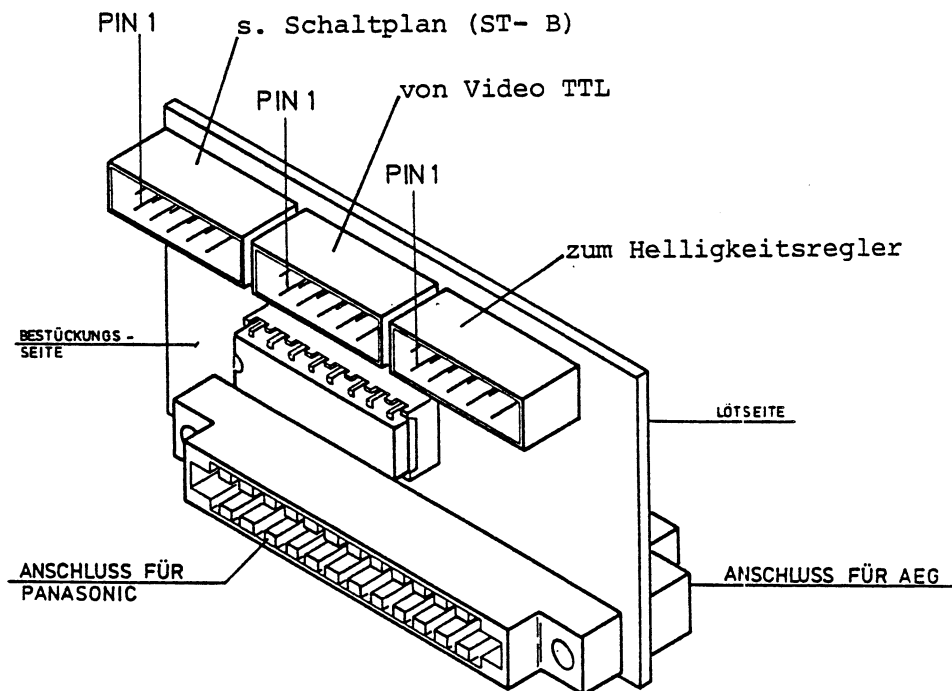
Beim AEG-Monitor ist der Steckverbinder an der Rückseite der Platine zur Verbindung aufgelötet.

Auf der Adapterplatine selbst befinden sich drei Steckverbinder, an die folgende Kabel angeschlossen werden:

- Helligkeitsregler
- Video-Eingangssignal
- Lightpen (falls vorhanden)

Wichtig: Die Flachbandkabel müssen so eingesteckt werden, daß die rot markierte Seite auf PIN 1 des jeweiligen Steckers zeigt.

Folgendes Bild zeigt eine Ansicht der Monitoradapterplatine mit den Anschlüssen:





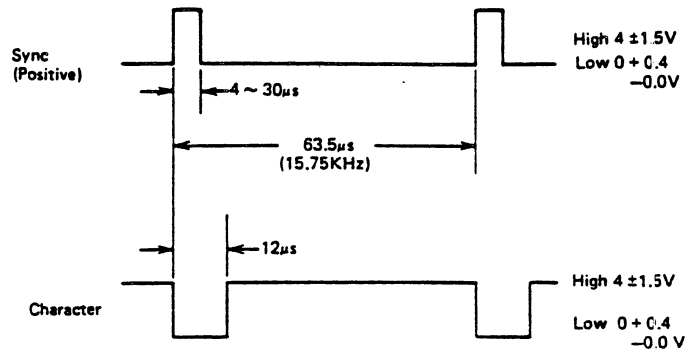
3. Spezifikationen

	! Panasonic !	A E G
1. Stromversorgung	eigene Stromversorgung	
2. Eingangssignal Video-Input	Schwarzpegel	0 + 0.4/- 0.0 V
	Weißpegel	4 +/- 1.5 V
Impedanz	> 200 Ohm	
3. Vertical Sync	Positiver Puls	
Pulsrate	50/60 Hz	
Amplitude	Low: 0 + 0.4 V/- 0.0 V	High: 4 +/- 1.5V
Impedanz	> 200 Ohm	
4. Horizontal Sync	Positiver Puls	
Pulsrate	18.96 kHz	! 15.625 KHz
Amplitude	Low: 0 + 0.4 V/- 0.0 V	High: 4 +/- 1.5 V
Impedanz	> 2 kOhm	> 40 pF
5. Video-Verstärker Bandbreite	25 MHz	
An-/Abstiegszeit	15/15 ns typ	
6. Auflösung	900 Zeilen !	
7. Linearitäts- abweichung	max. 10 % (hor/ver)	
8. Geometrie- verzerrung	max. 1.5 %	
9. Beschleuniger- spannung	17.5-20 kV	! max. 18.5 KV
10. Arbeitsumgebung Betriebs- temperatur	0...55 Grad C	
Lagertemperatur	-40 + 65 Grad C	
Feuchtigkeit	5...90 % nicht kondensierend	
11. Bildröhre	370HXB31N	! M38-328...

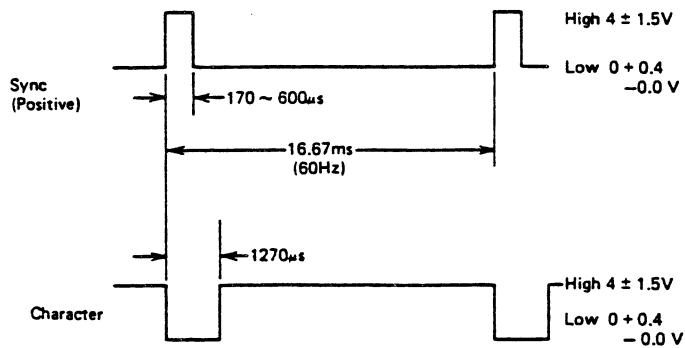


Die Eingangssignale müssen folgenden Bedingungen genügen:

Horizontal Sync



Vertikal Sync



Note: Time Tolerance : $\pm 0.1\%$

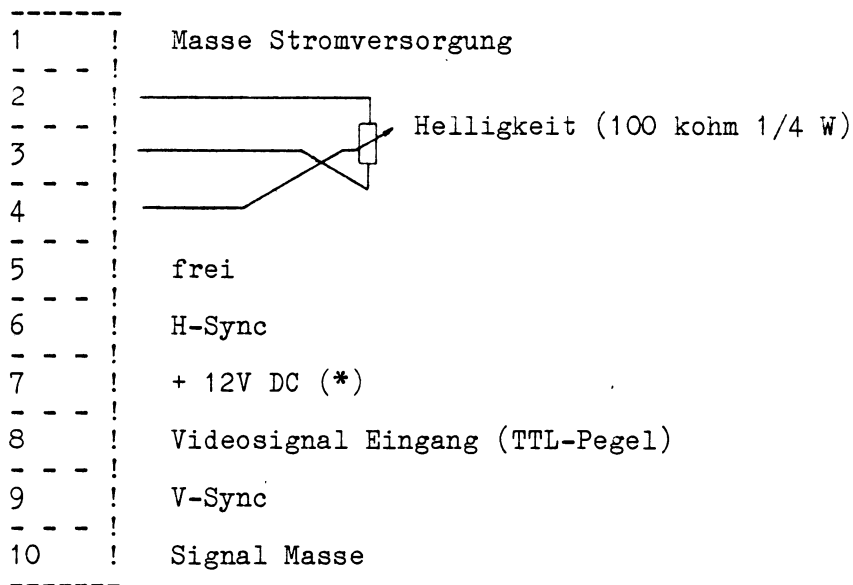


4. Steckerbelegung

Die Monitore Panasonic und AEG unterscheiden sich nur durch ihre Steckerbelegung des Signalsteckers. Die betreffende Steckerbelegung entnehmen Sie bitte folgenden Tabellen.

Beachten Sie stets den eingezeichneten Verpolschutz.

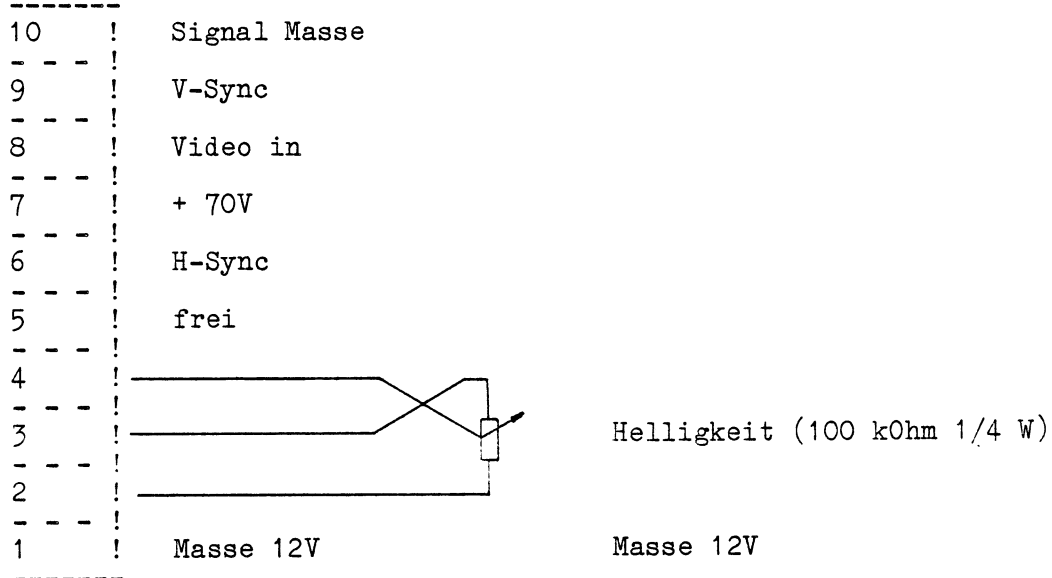
Panasonic H-15641 NA



(*) Der Pin Nr. 7 ist intern über einen 2.7 kOhm/1W-Widerstand mit + 70 Volt verbunden. Dies stellt die Versorgung der Kontrolleuchte (24 Volt/20 mA) dar. Die Kontrolleuchte ist im Netzschalter an der Frontseite des Gerätes untergebracht.



AEG



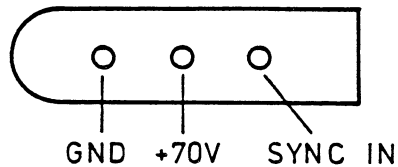
Helligkeit (100 kOhm/ 1/4W)

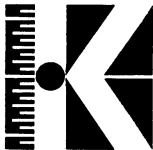
Passender Anschlußstecker:

- * Viking # 2 VKI OS/101
- * Amphenol # 225-21031-101
- * Hirose # CRzE-20DA-3.96 E
- * oder entsprechende

Verpolungsschutz zwischen Pin 9 und Pin 10 anbringen!

Beim Panasonicmonitor erfolgt die Spannungsversorgung durch das eigene Netzteil über einen eigenen Stecker:





5. Abgleichanleitung

5.1 Allgemeines

Zur Einstellung der Bildschirme (Linearität, Focus etc.) eignen sich Testmuster, die auf den Schirm geschrieben werden. Dies kann entweder mit einem Mustergenerator oder einem System KONTRON PSI 9xxx durchgeführt werden.

1. Beschreiben des Schirms unter Zuhilfenahme des Testdebuggers:

Dazu:

- System starten und sofort
- Testdebugger mit CNTRL K aufrufen
- dann kann nach Erscheinen des Promptzeichens (TD>) die Befehlsfolge

0 31 48

eingegeben werden. Der gesamte Bildschirm wird mit dem Buchstaben "H" (= 48 Hex in der ASCII-Tabelle) vollgeschrieben.

2. Beschreiben des Schirms mit einem einfachen Graphikmuster (Gitter):

Dieses Muster wird durch ein Basicprogramm mit folgendem Listing erzeugt:

```
10 K=8:L= 2*K
20 OPEN #9: "$GRAP"
30 PLOT 0,0,0
40 PLOT 511,255,4
50 FOR I=0 TO 255 STEP K
60 PLOT 511,I,1
70 IF I<=255-K PLOT 0,I+K,0
80 NEXT I
90 PLOT 0,0,0
100 FOR J=0 TO 511 STEP L
110 PLOT J,255,1
120 IF J<=511-L PLOT J+L,0,0
130 NEXT J
140 GOTO 140
```



5.2 Einstellung des Panasonic-Monitors

5.2.1 Versorgungsspannung (stets zuerst überprüfen)

Bei der Panasonic-Version, die mit eigenem Netzteil ausgerüstet ist, geschieht dies in drei Schritten:

1. Einstellregler VR72 bis zum Anschlag im Uhrzeigersinn drehen.
2. Mit Einstellregler VR71 die Ausgangsspannung auf 72V einstellen.
Gemessen wird diese Spannung zwischen der Sicherung des Monitorboards und Masse.
3. Nun stellen Sie die Ausgangsspannung mit Regler VR72 auf 70V ein.

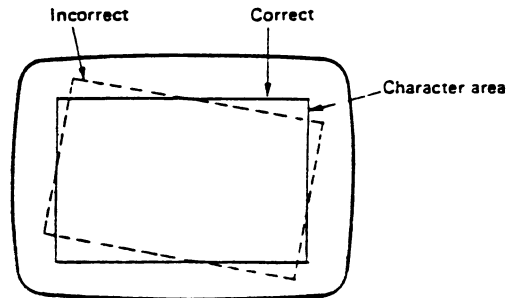
Diese Einstellung sollte bei belastetem Netzteil, also mit angeschlossenem Monitor durchgeführt werden. Unbelastet können die angegebenen Spannungen höhere Werte annehmen.

Die folgenden Angaben beziehen sich auf die häufigsten Bildfehler des Monitors. Diese Fehler können mit Hilfe von Magneten, die sich auf der Ablenkeinheit befinden, oder durch Verstellen von Einstellreglern auf der Monitorplatine behoben werden.



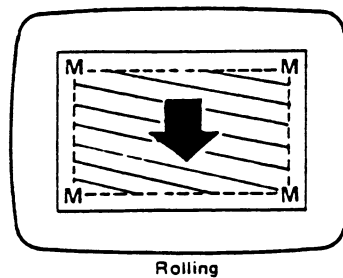
5.2.2 Bildwinkel

Lösen Sie die durch eine Schelle gehaltene Ablenkeinheit und verdrehen Sie sie, bis ein waagrecht stehendes Bild erreicht wird.

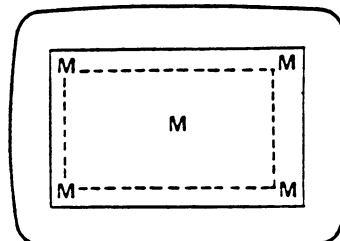


5.2.3 Vertikaler Bildfang

Verdrehen Sie Einstellregler VR31, bis das Bild einrastet.



Rolling

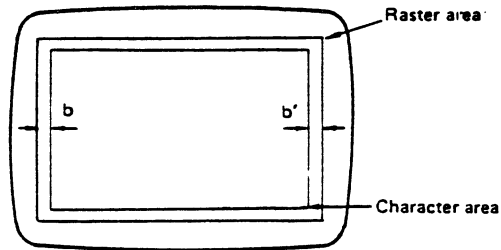


Locking in



5.2.4 Horizontaler Bildfang

Verdrehen Sie Regler VR41, bis Sie die im Bild gezeichneten Verhältnisse erreichen.



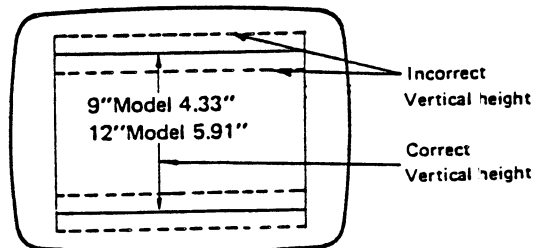
Zur Einstellung der Daten

- Bildhöhe
- Bildbreite
- Helligkeit

sollte das Gerät 30 Minuten warmgelaufen sein.

5.2.5 Bildhöhe

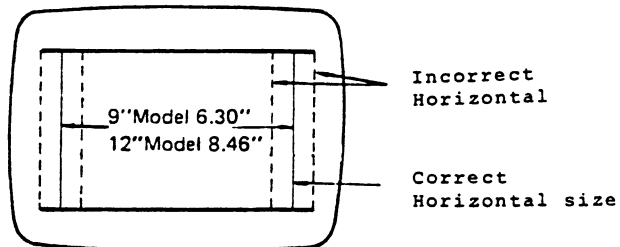
Mit Regler VR32 wird die zu beschreibende Fläche laut Bild eingestellt.





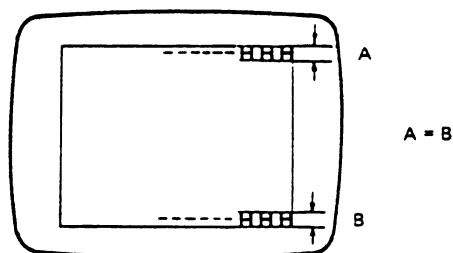
5.2.6 Bildbreite

Die Breite der zu beschreibenden Bildfläche wird mit Spule L403 wie im Bild gezeigt eingestellt.



5.2.7 Vertikale Linearität

Regler VR33 so verstellen, bis alle Buchstaben auf dem Bildschirm die gleiche Höhe aufweisen.

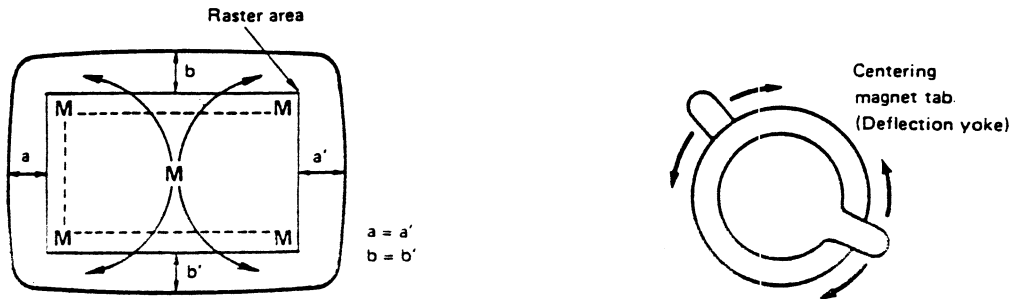




5.2.8 Abgleich des Zentriermagneten

Verdrehen Sie die Zentriermagnete auf der Ablenkeinheit so gegeneinander, bis das Zeichenfeld wie im Bild gezeigt zentriert ist.

Vor diesem Abgleich muß der horizontale Bildfang eingestellt sein.



5.2.9 Dynamischer Fokus-Abgleich

VR64 in Mittelstellung. Dann mit Oszilloskop und 2.5 pF-Tastkopf die Spannung an G4 verfolgen und wie gezeigt auf 300 V einstellen.

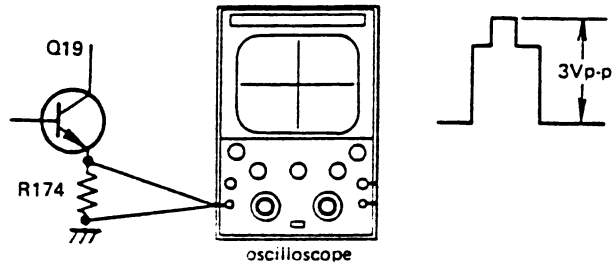


with L406.



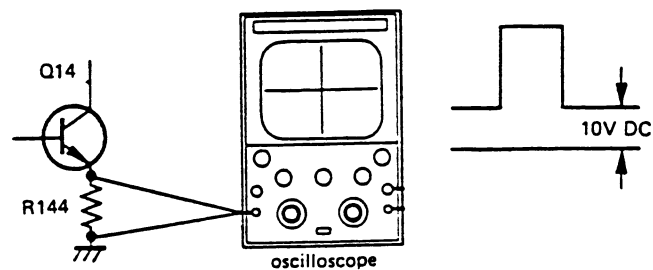
5.2.10 Fokus-Abgleich

Mit Regler VR64 stellen Sie eine optimale Bildschärfe ein.



5.2.11 Hintergrundhelligkeit

Zu diesem Abgleich muß der Kontrastregler auf MIN und der Helligkeitsregler auf MAX stehen. Nun VR67 so verstellen, bis das Raster leicht leuchtet.

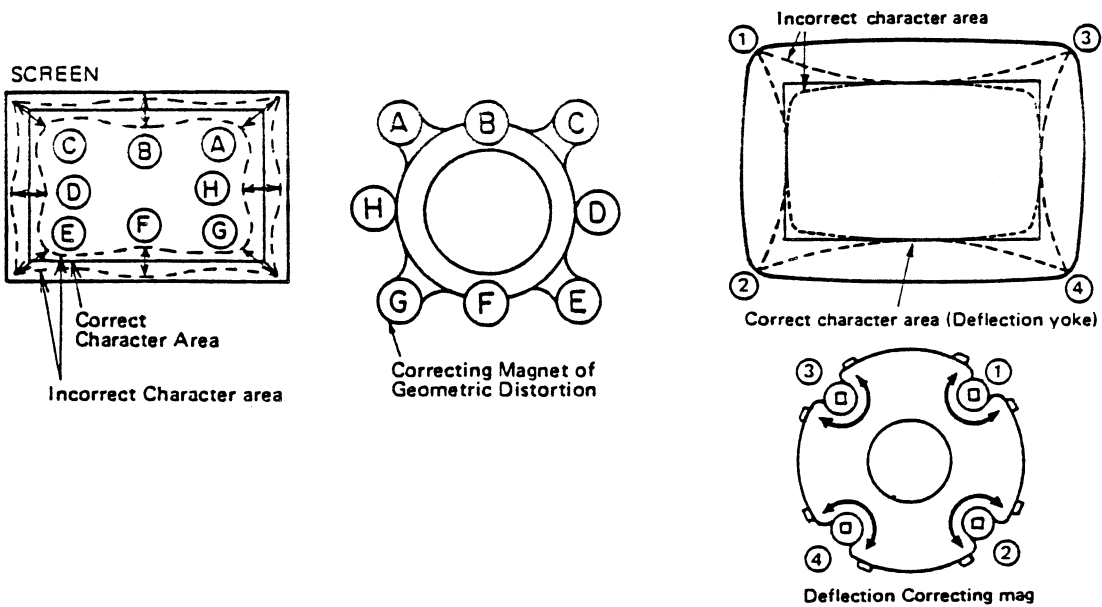


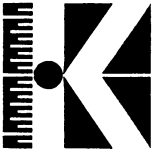


5.2.12 Geometrische Verzerrungen

Auf dem Röhrenhals befinden sich je nach Typ entweder 4 oder 6 Korrekturmagnete.

Durch Verdrehen jedes einzelnen Magnetes lassen sich Verzerrungen beseitigen. Die durch jeden Magnet beeinflussbaren Bildbereiche ergeben sich aus folgendem Bild:





5.2.13 Weitere Bildverzerrungen

Schwimmt das Bild auf dem Schirm, so hat dies seine Ursache in fehlenden Abschirmblechen.

Meist ruft ein schlecht abgeschirmter Zeilentrafo bzw. ein ungünstig angebrachtes Netzteil diese Effekte hervor.

Weiterhin sind noch Bildverzerrungen möglich, die von Röhren- oder Elektrodenfehlern herrühren.

Diese Fehler können ebenfalls mit Hilfe von Magneten behoben werden, erfordern jedoch einen erheblichen Zeitaufwand und sind sehr schwer zu beseitigen. Der Elektronenstrahl ist nicht im Zentrum, sondern nach rechts, links, oben oder unten verschoben.

Diese Fehler können auch auftreten, wenn sich das Videobild im Zentrum, das Raster jedoch außerhalb des Zentrums befindet.

Solche Fehler können außerdem auch dann auftreten, wenn sich die Ablenkspule nicht in ihrer korrekten Position befindet oder wenn sie durch fremde Magnetfelder beeinflusst wird.



5.3 Abgleich des AEG-MONITORS LDM38

Auf der nächsten Seite ist die Lage aller Einstellregler ersichtlich. Die Sollwerte und die betreffenden Einstellpunkte gehen aus folgender Tabelle hervor:

Prüfgeräte: Digitalmultimeter

Signalgenerator: Testbild 1 Gittermuster
(bzw. System) Testbild 2 24 Reihen je 80 Zeichen
Testbuchstaben H

Effektivvoltmeter
Hochspannungs Meßgerät

Spannungsversorgung: 220 VAC +/- 10 %, 50...60 Hz

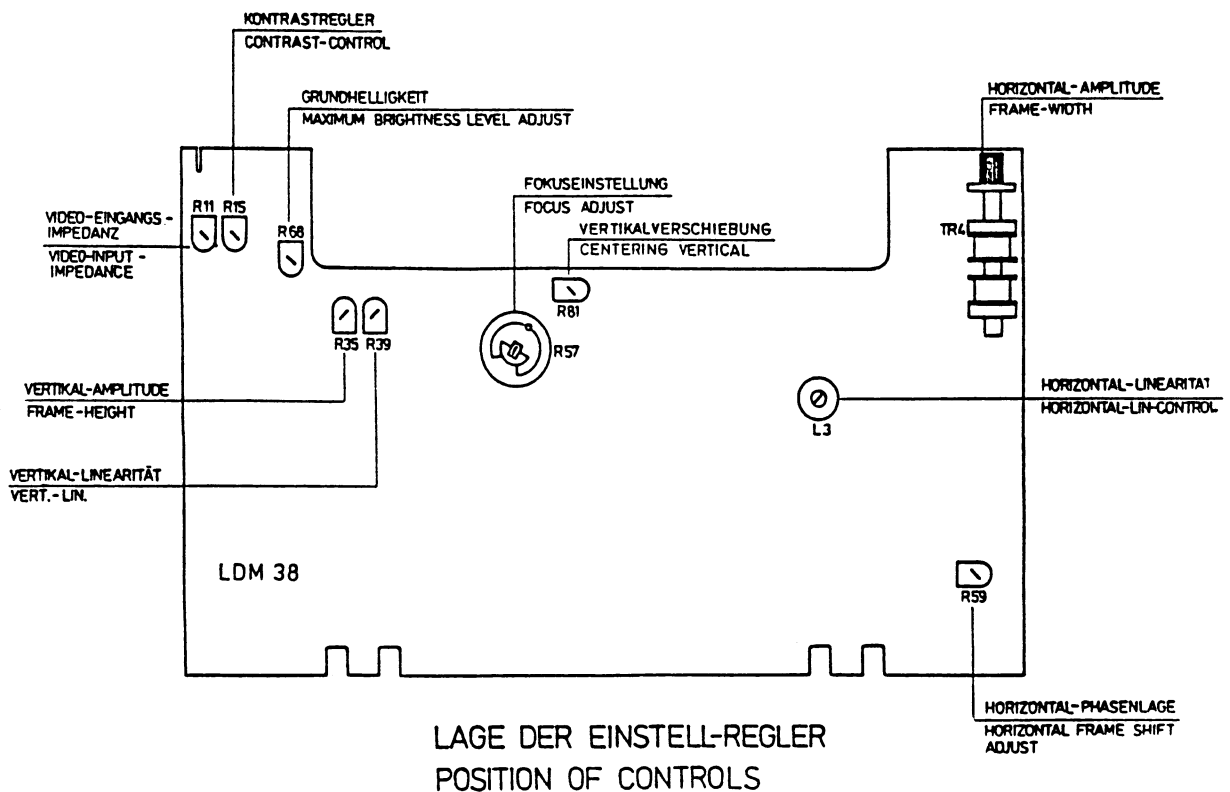
Vorbereitung: R 11 Rechtsanschlag,
R 15 Linksanschlag

! Test !	! Parameter !	! Testbild !	! Testpunkt !	! Einstellung durch !	! Anforderung !
1	Gleichspg.	1	Pluspol C2 gegen Masse	keine Einstellung	70V +/- 2V
2	V-Amplitude	2	Schirm	R 35	
3	V-Linearität	1	Schirm	R 39	
4	Grundhelligkeit	2	Schirm	R 68 (ext. Helligkeitsregler auf max.)	Grundraster gerade sichtbar
5	Hor.-Phase	2	Schirm	R 59	Bild symmetr. zum Bildschirm
6	H-Amplitude	2	Schirm	TR 4	
7	H-Linearität	1	Schirm	L 3	
8	Kissenverzeichnung	2	Schirm	Permanentmagnete an Ablenkspule	Verzeichnung besser 2% nach EIA Std. RS 412 A



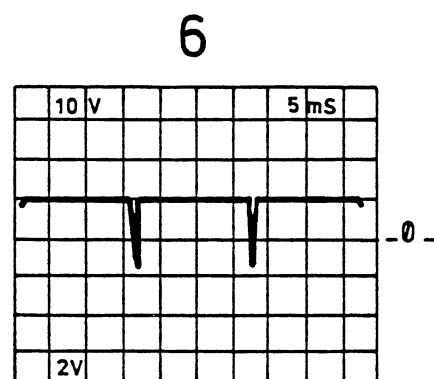
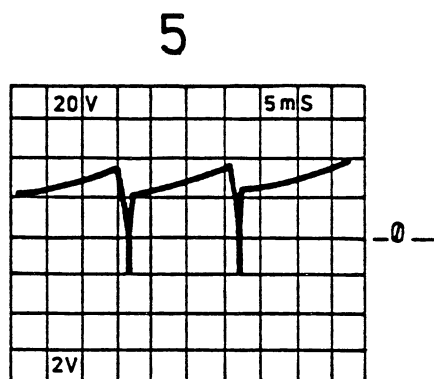
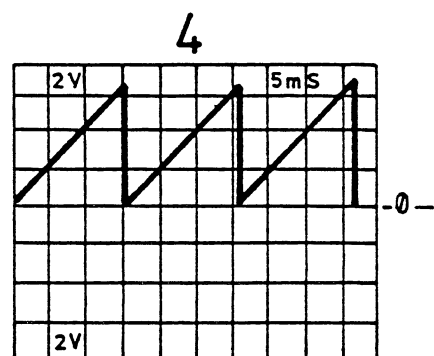
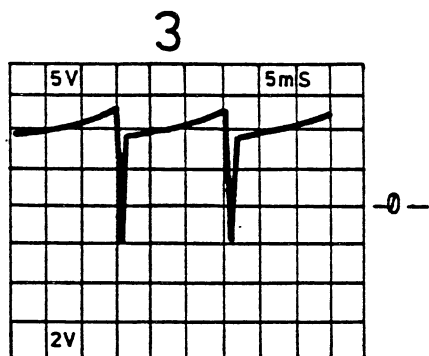
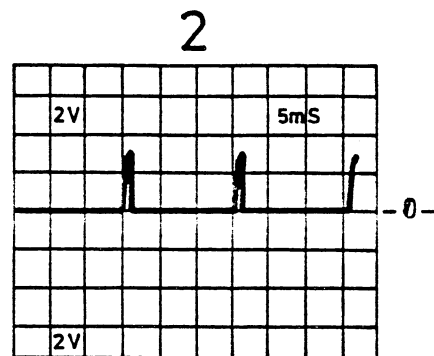
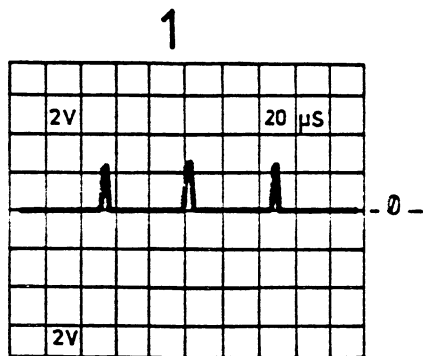
9	Raster- zen- trierung	1	Schirm	Ringmagnete an Ablenkspule	Mittel- linien hor. und vert. gerade
10	Vertikal- ver- schiebung	2	Schirm	R 81 (Option)	Bild symmetr. zum Bild- schirm
11	Bild- schärfe	2	Schirm	R 57	
12	Heiz- spannung	2	PIN 1/8 Bildrö.- sockel	keine Ein- stellung	6 - 6,6 V eff
13	Hoch- spannung	2	Anode d. Bildrö./ Masse	keine Ein- stellung	18.5 kV max.

AEG-Monitor: Lage aller Einstellregler:



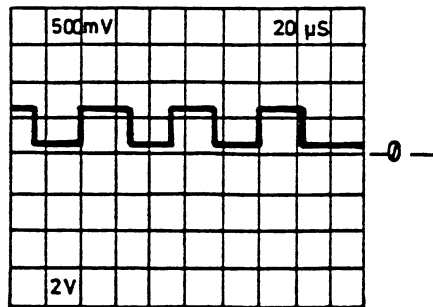


Im Schaltplan des AEG-Monitors sind 11 Testpunkte ersichtlich. Die entsprechenden Oszillographenbilder gehen aus folgenden Abbildungen hervor.

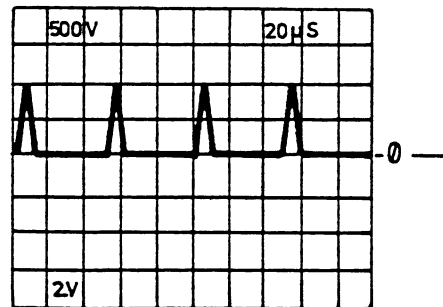




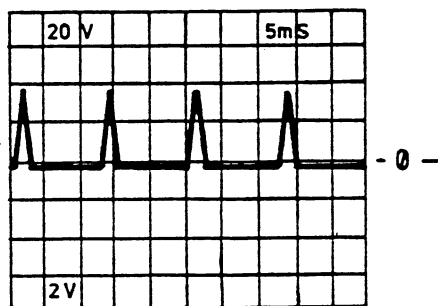
7



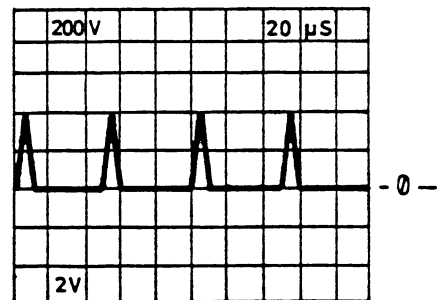
8



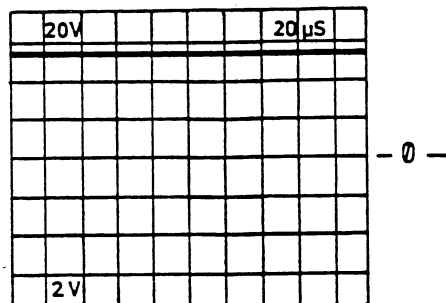
9



10

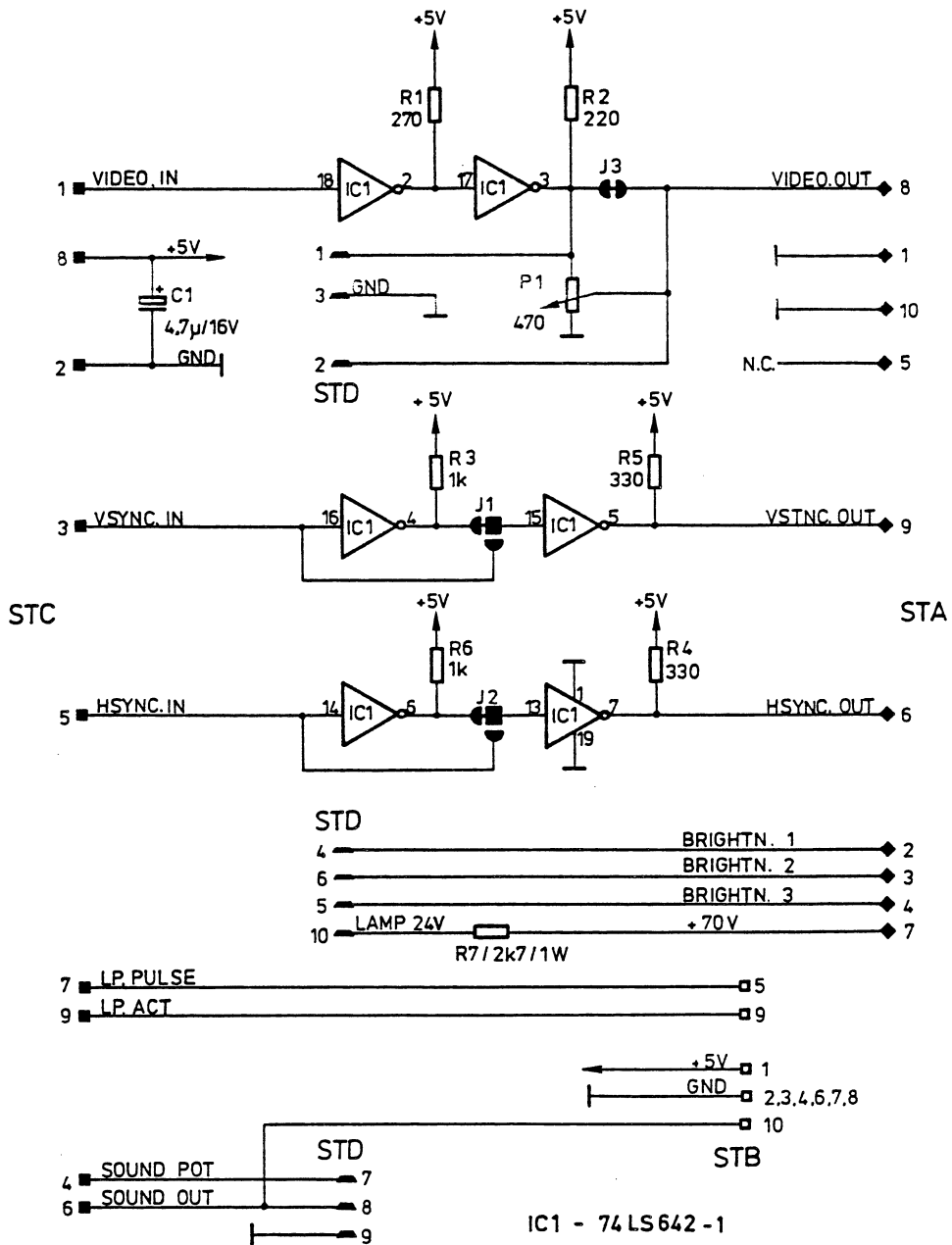


11



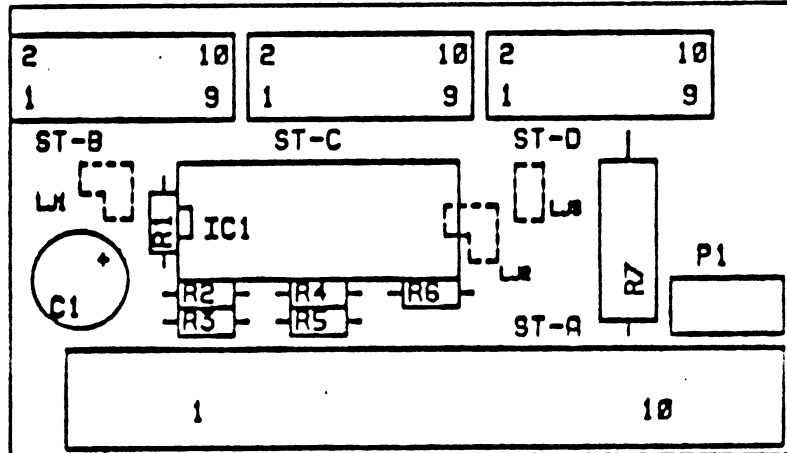


Anhang: Schaltplan Adapterplatine



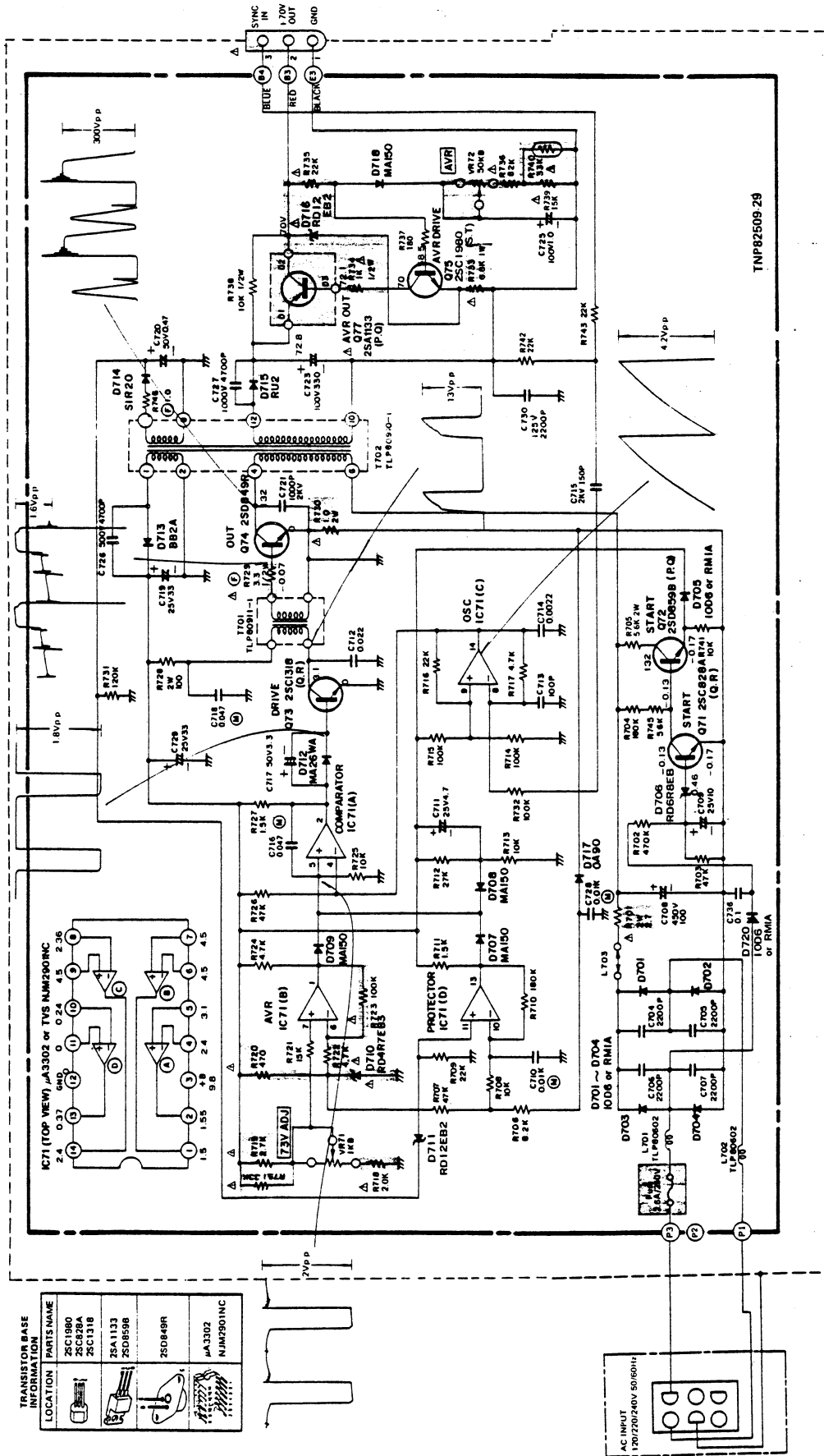


Anhang: Bestückungsplan Adapterplatine



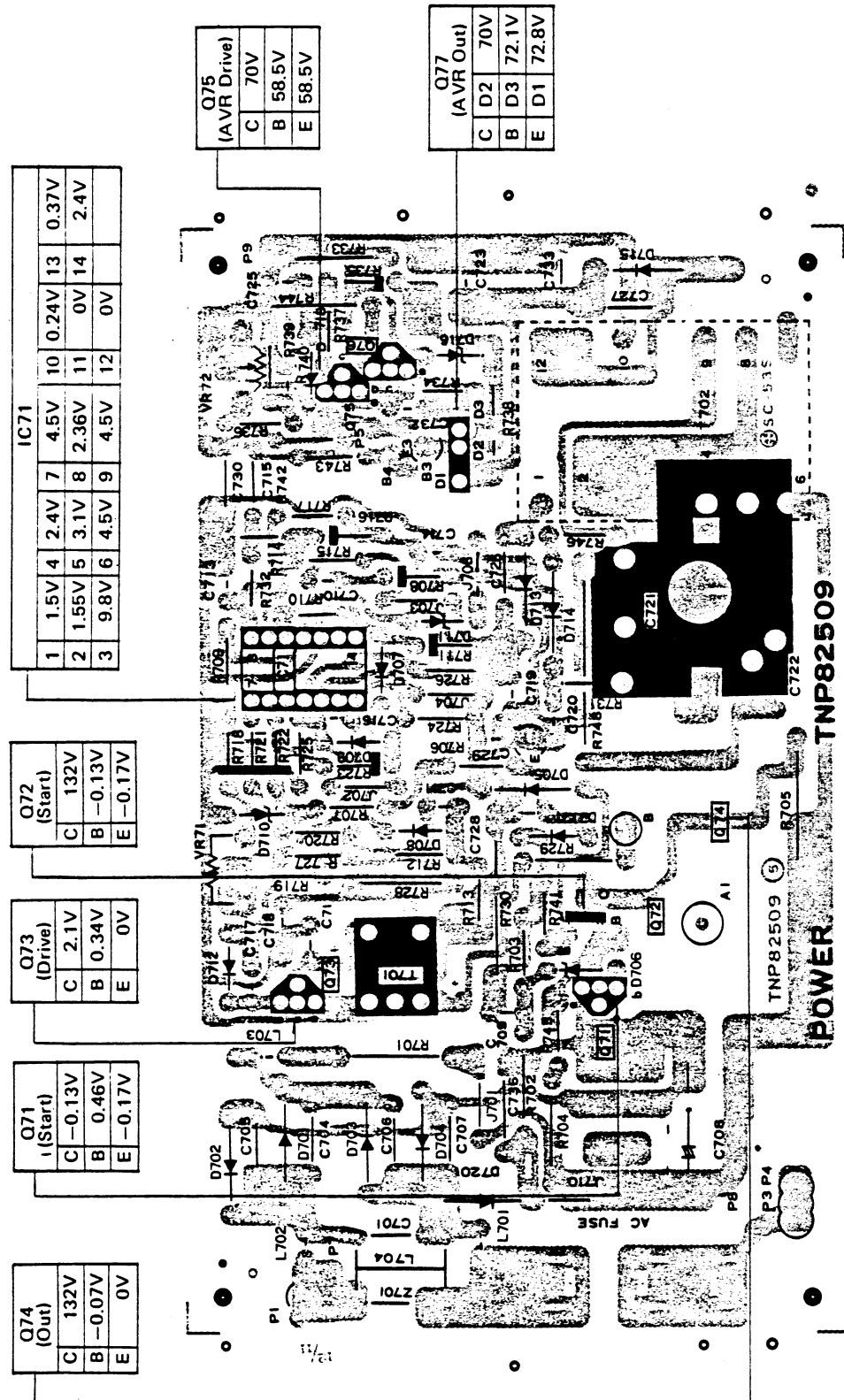


Anhang: Schaltplan Netzteil Panasonic



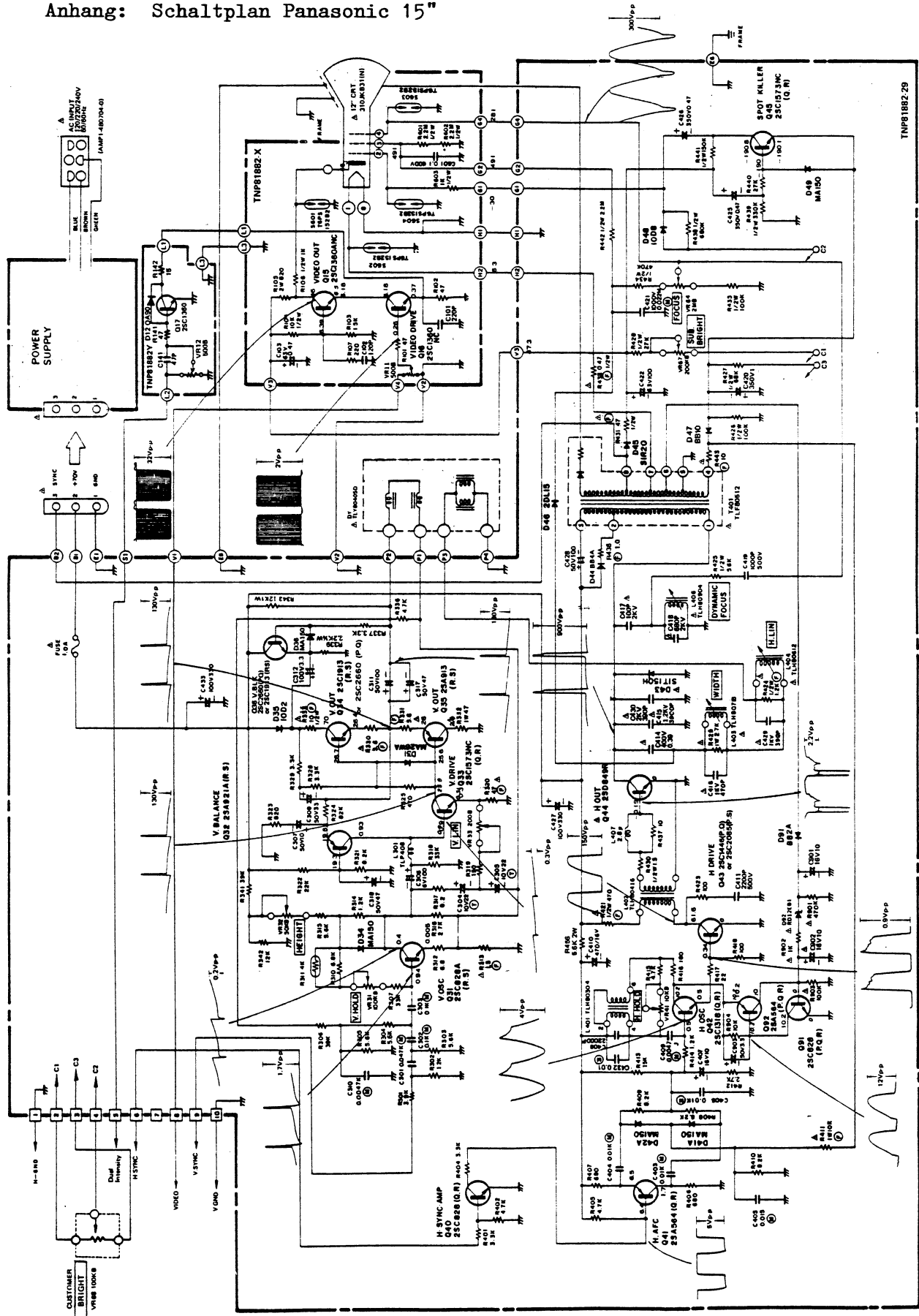


Anhang: Bestückungsplan Netzteil Panasonic





Anhang: Schaltplan Panasonic 15"





Anhang: Bestückungsplan Panasonic 15"

Q16 (Video Drive)		Q15 (Video out)	
C	6.18V	C	46V
B	0.26V	B	6.39V
E	0.37V	E	6.5V

CRT SOCKET P.C.B

Q34 (V. OUT)	
C	70V
B	26.7V
E	26.4V

Q35 (V. OUT)	
C	26V
B	25.6V
E	2.0V

Q41 (V. AFC)	
C	6.5V
B	6.4V
E	1.7V

Q32 (V. BAL)	
C	0.98V
B	19.3V
E	19.8V

Q40 (H. Sync)	
C	4.9V
B	0.33V
E	0V

Q30 (H. Sync)	
C	8.3V
B	8.26V
E	0.03V

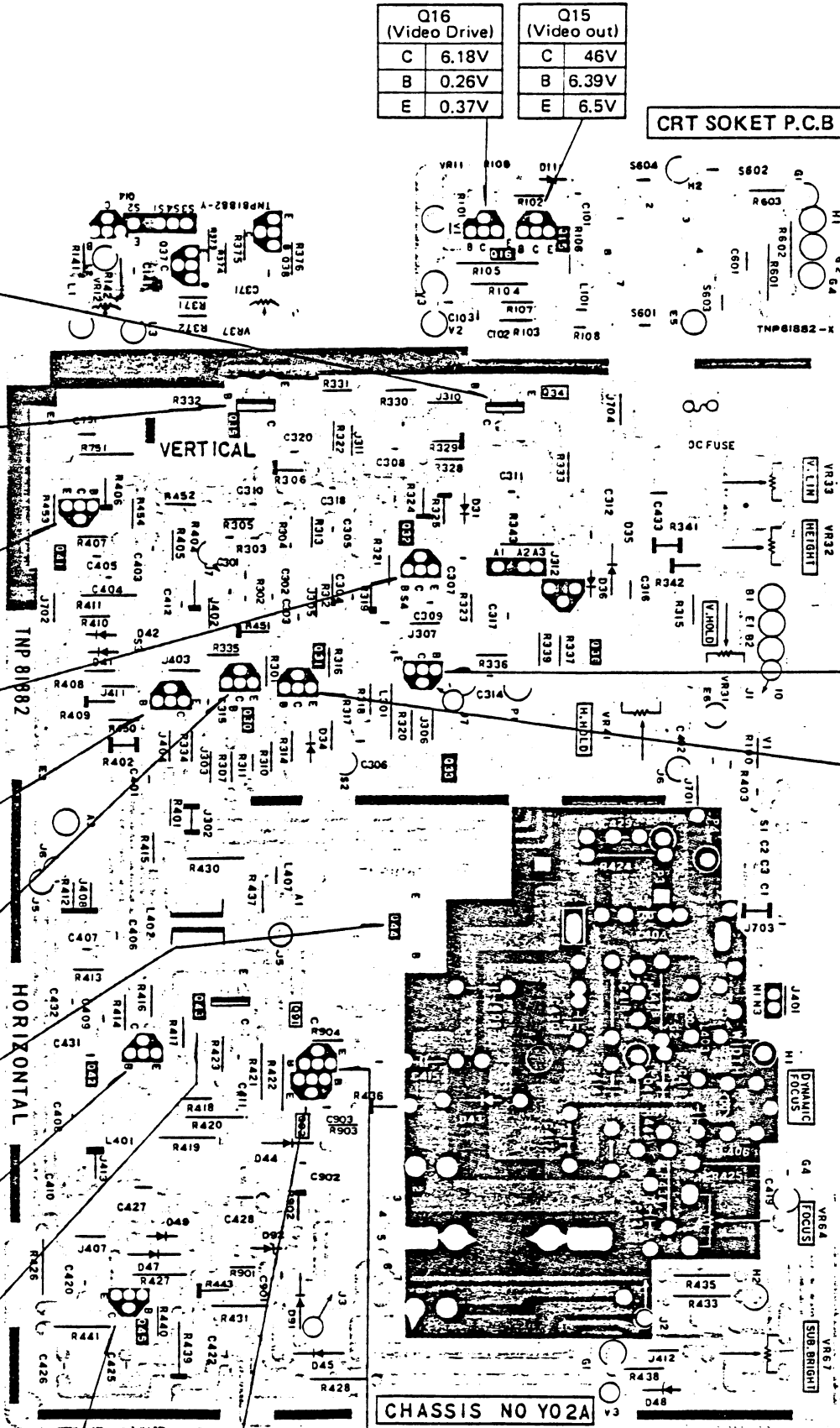
Q44 (H. OUT)	
C	-
B	0.19V
E	0V

Q42 (H. OSC)	
C	10.2V
B	0.5V
E	0.5V

Q43 (H. DRIVE)	
C	61.6V
B	0.34V
E	0V

Q33 (V. Drive)	
C	25.9V
B	0.9V
E	0.3V

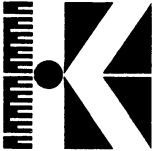
Q31 (V. OSC)	
C	0.4V
B	0.9V
E	0.005V



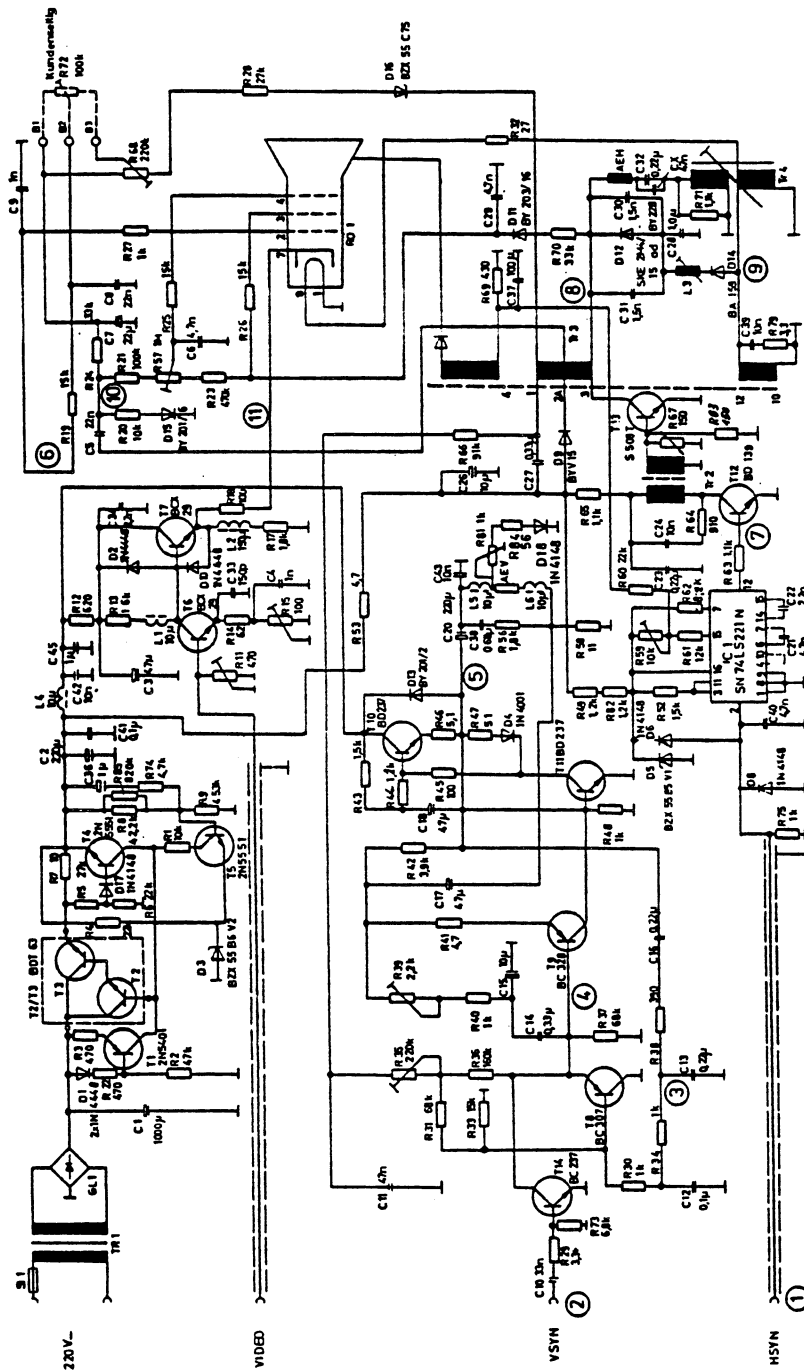
Q45 (SPOT KILLER)	
C	190.8V
B	190V
E	-190V

Q92 (H. PROTEC)	
C	10.2V
B	10.2V
E	0V

Q91 (H. PROTEC)	
C	10.2V
B	0V
E	0V



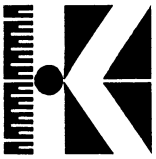
Anhang: Schaltplan AEG-Monitor LDM-38



9. STROMLAUFPLAN LDM 38



Stromversorgung der Computerbox der Systeme
KONTRON PSI 980/9xxx



Inhaltsverzeichnis

1.	Allgemeines	1
2.	Pinbelegung der Netzteile	4
3.	Batteriepufferung	5
4.	Rückseite des Netzteilkäfigs	6
5.	Leistungsaufnahme der Systemkomponenten	8
6.	Schaltpläne	9
7.	Bestückungsplan	14



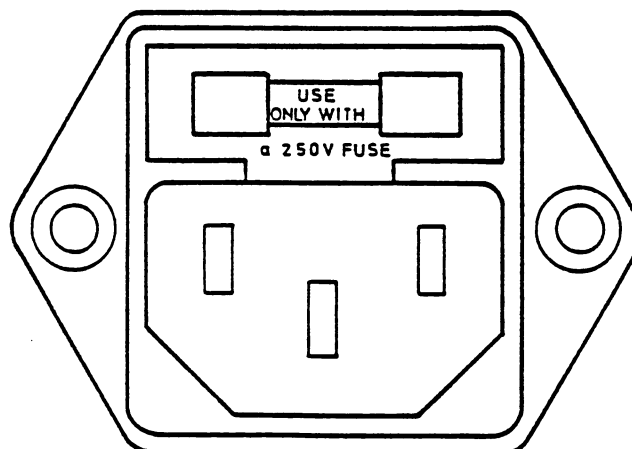
1. Allgemeines

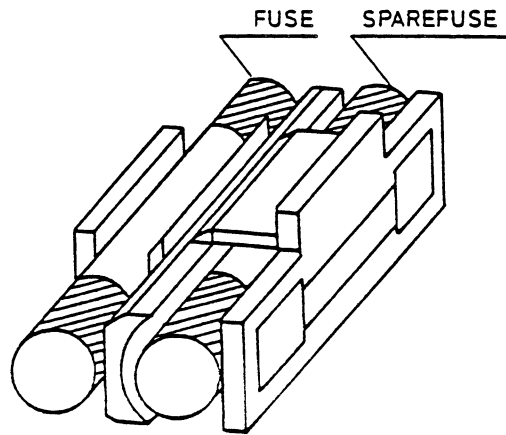
In den Systemen der Serie Kontron PSI 980/9xxx finden primärgetaktete Netzteile mit folgenden Daten Verwendung:

TYP	P100 (PSR-K-75/51)	P100	P104
Ausgangs- Spannungen	5V/17A	12V/7A +/- 15V/0.3A	5V/8A 12V/5.5A +/- 15V/0.4A
Schaltplan auf Seite	NT-9	NT-12 + NT-13	NT-10 + NT-11
PSI 980	x	x	
PSI 9xxx	x		x

Primärgetaktete Netzteile besitzen gegenüber herkömmlichen längs-geregelten Stromversorgungsteilen den Vorteil eines sehr hohen Wirkungsgrades. Er beträgt bei den verwendeten Schaltreglern ca. 80 %. Die Wärmeproduktion der Netzteile hält sich somit in Grenzen.

Die Stromzuführung erfolgt über einen Netzfilter zur Störungs-unterdrückung mit eingebauter Netzsicherung (2.5 A Mittelträge). Die Sicherung ist nach Abziehen des Netzkabels von außen zu-gänglich. Der Sicherungshalter kann mit Hilfe eines Schraubenziehers herausgezogen werden. In diesem Sicherungshalter ist ebenfalls eine Ersatzsicherung enthalten.





Die Netzteile sind kurzschlußfest.

Die Strombegrenzung für die Ausgangsspannungen 5V und 12V läßt sich über Trimpotentiometer einstellen. Ebenso lassen sich diese Ausgangsspannungen in gewissen Grenzen variieren. Der Regelbereich beträgt ca. - 10% bis + 6% der Sollspannung. Die Lage der Einstellregler für die verschiedenen Netzteiltypen ist in den folgenden Abbildungen ersichtlich.

Die Ausgangsspannungen +/- 15 Volt sind fest eingestellt und können nicht verändert werden.

Hinweis: Die Ausgangsspannungen +/- 15 Volt sind nur dann vorhanden, wenn der + 12 Volt-Ausgang des Netzteiles belastet wird. Dies geschieht automatisch, falls die Computerbox mit einem Festplattenlaufwerk ausgestattet ist. Beim System Kontron PSI 980 Q/M2 ist dies jedoch nicht der Fall. Deshalb wird bei diesem System der 12V-Ausgang mit einem Widerstand 18 Ohm 11 Watt belastet. Dieser Widerstand muß zur Wärmeableitung am Chassis befestigt werden.

Es muß außerdem darauf geachtet werden, daß die Strombegrenzung der Netzteile nicht auf einen zu geringen Wert eingestellt wird. Dies könnte bei möglichen kurzzeitigen Spitzenlasten zu Spannungseinbrüchen und somit zum Programmausstieg führen.

An der Frontplatte der Netzteile befindet sich für jede der getakteten Ausgangsspannungen (5 und 12 Volt) eine Leuchtdiode zur Spanningskontrolle.



Servicebeschreibung Stromversorgung

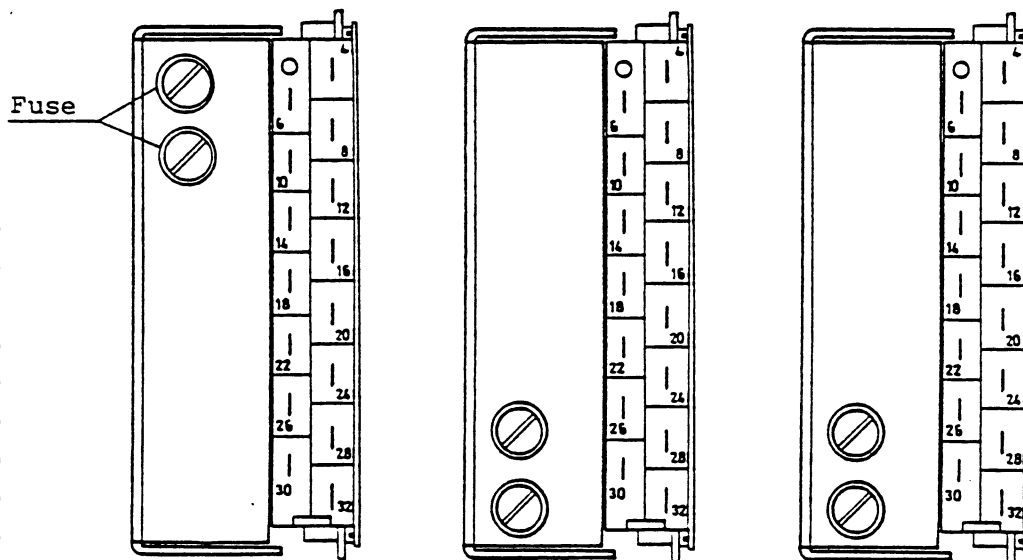
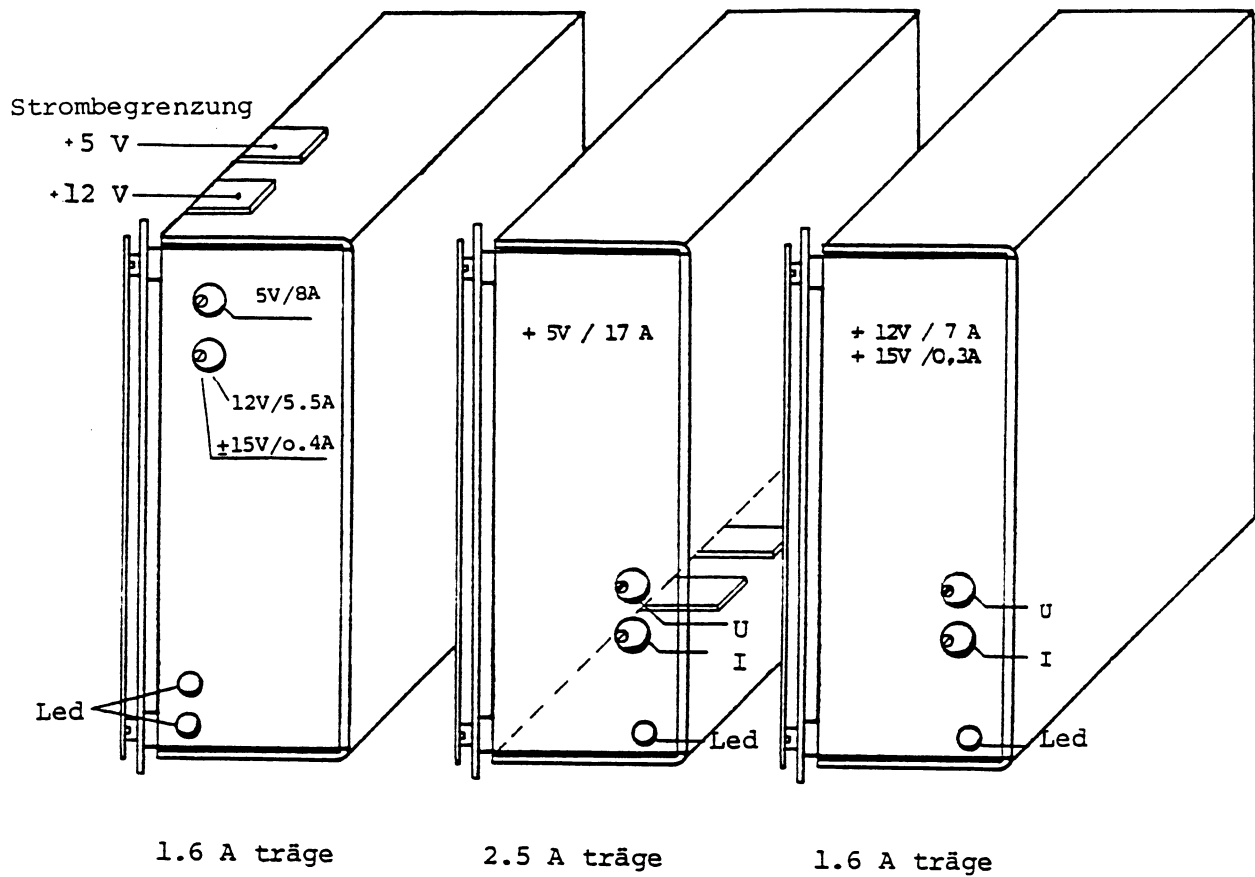


Abb.: Front- und Rückansicht der Netzteile



2. Pinbelegung des Anschlußsteckers der Netzteile

Sämtliche beschriebene Netzteile sind pinkompatibel. Natürlich sind an den Ausgangspins nur Spannungen vorhanden, wenn diese auch vom Netzteil erzeugt werden.

Pin	!	Bezeichnung
32	!	Schutzleiter
30	!	Netz 220 V (Phase)
28	!	Netz 220 V (Rückleiter)
26	!	evtl. Powerfail
24	!	evtl. Shutdown
22	!	- 15V
20	!	+ 15V
18	!	- 12V
16	!	+ 12V
14	!	5V-Masse
12	!	+ 5V
10	!	5V-Masse
8	!	+ 5V
6	!	- Fühler 5V
4	!	+ Fühler 5V

Der Pin 32 (Schutzleiter) ist etwas länger als die restlichen Pins.

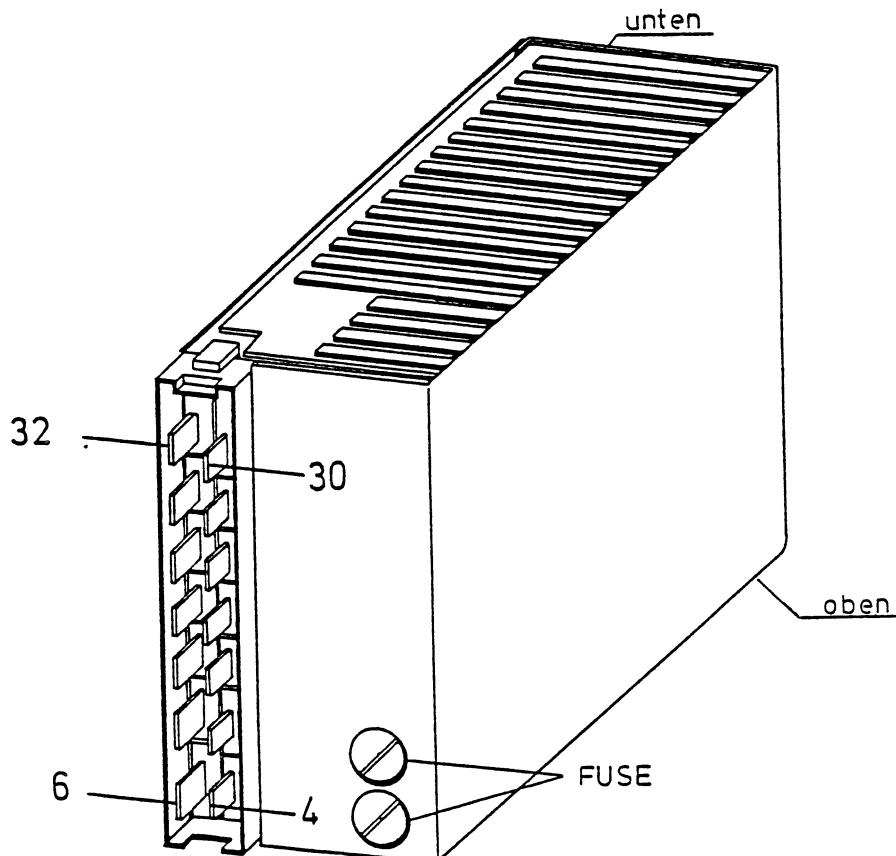


Abb. Steckerleiste der Netzteile



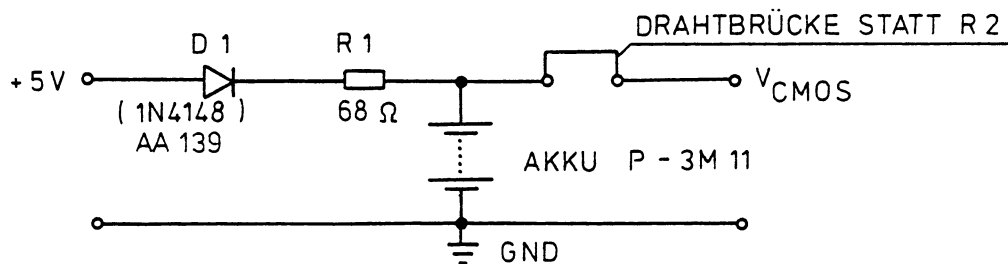
3. Batteriepufferung

Die beiden Netzteileinschübe sind in einem Metallkäfig eingebaut, an dessen Rückseite die Batteriepufferplatine angeschraubt ist. Diese Platine nimmt die beiden Steckerleisten zum Anschluß der Netzteile auf.

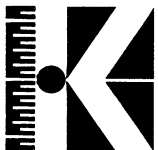
Die Batteriepufferung besteht aus einem NiCd-Akku (3,6 V 110 mAh) sowie der zugehörigen Ladeschaltung. Diese Batteriepufferung gewährleistet auch bei abgeschaltetem Gerät das Vorhandensein der Spannung VCMOS. Sie wird zum Weiterarbeiten des Uhrenschaltkreises auf dem TCB/IOV-Board benötigt.

Auf der Rückseite der Platine befinden sich die Steckverbinder zum Anschluß der im System vorhandenen Komponenten. Die Belegung ist auf der nächsten Seite ersichtlich.

Schaltplan der Pufferschaltung:



Der maximale Ladestrom beträgt ca. 12 mA, der Dauerladestrom beträgt max. 3.7 mA. Als Diode wird der Germaniumtyp AA 139 verwendet. Siliziumdioden sollten wegen ihrer höheren Schwellspannungen nicht verwendet werden.



4. Rückseite des Netzteilkäfigs

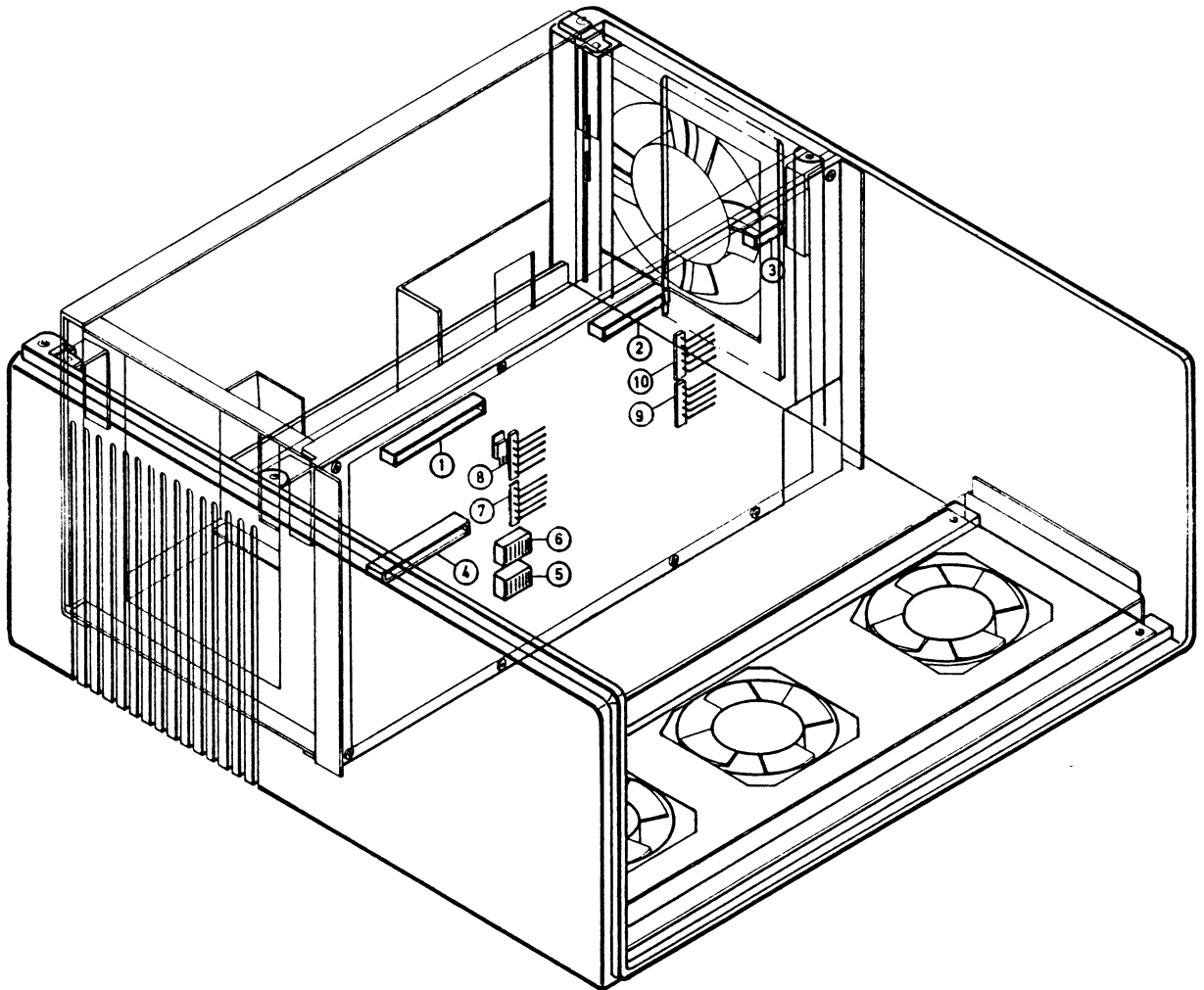
Die mit "L" ("R") versehenen Spannungen werden vom linken (rechten) Einschubnetzteil von vorne gesehen bereitgestellt. Die neben den Spannungen angegebenen Vermerke bezeichnen die angeschlossenen Baugruppen innerhalb des Systems:

- F1, F2 Floppy-Laufwerke
- BR Verbindung zur Busplatine
(rechter Stecker, siehe Bild auf folgender Seite)
- BL Verbindung zur Busplatine
(linker Stecker, siehe Bild auf folgender Seite)
- W Festplattenlaufwerk (bzw. Belastungswiderstand - siehe Hinweis auf Seite 2)
- C Festplattencontroller

F2	!	+ 12V	L		+ 12V	L	!	W
F2	!	+ 5V	L		+ 5V	L	!	W
F2	!	GND			GND		!	W
F1	!	+ 12V	L		+ 12V	L	!	C
F1	!	+ 5V	L		+ 5V	L	!	C
F1	!	GND			GND		!	C
BR	!	+5V a	L		+ 12V	L	!	BL
BR	!	+5V a	L		+ 15V	L	!	BL
BR	!	+5V b	R		S +5V a	L	!	BL
BR	!	+5V b	R		- 12V	L	!	BL
BR	!	+5V b	R		- 15V	L	!	BL
BR	!	GND			S +5V b	R	!	BL
BR	!	GND			S GND		!	BL
BR	!	GND			VCMOS		!	BL
BR	!	GND			NC		!	
BR	!	GND			NC		!	
BR	!	GND			NC		!	

!	220V	220V	220V	220V	220V	!
!	IN	OUT	OUT	OUT	OUT	!

Anschluß der Lüfter



Zuordnung der Anschlüsse auf der Busplatine:

1	SASI 1	7	Reihe a Pin 6-10
2	Floppy	8	Reihe a Pin 1-5
3	RESET etc.	9	Reihe b Pin 6-10
4	SASI 2	10	Reihe b Pin 1-5
5	SW 2 (DAISY-CHAIN)		nur auf TCB/Bus 980
6	SW 1 (DAISY-CHAIN)		nur auf TCB/BUS 980

Pin	Reihe a	Reihe b
1	+12V	+5V (Slot 1)
2	+15V	+5V (Slot 1)
3	+5V Sense 2	+5V (restl. Slots)
4	-12V	+5V (restl. Slots)
5	-15V	+5V (restl. Slots)
6	+5V Sense 1	GND
7	GND Sense	GND
8	VCMOS	GND
9	-RESET.IN	GND
10	-AC Fail	GND



5. Leistungsaufnahme der Systemkomponenten

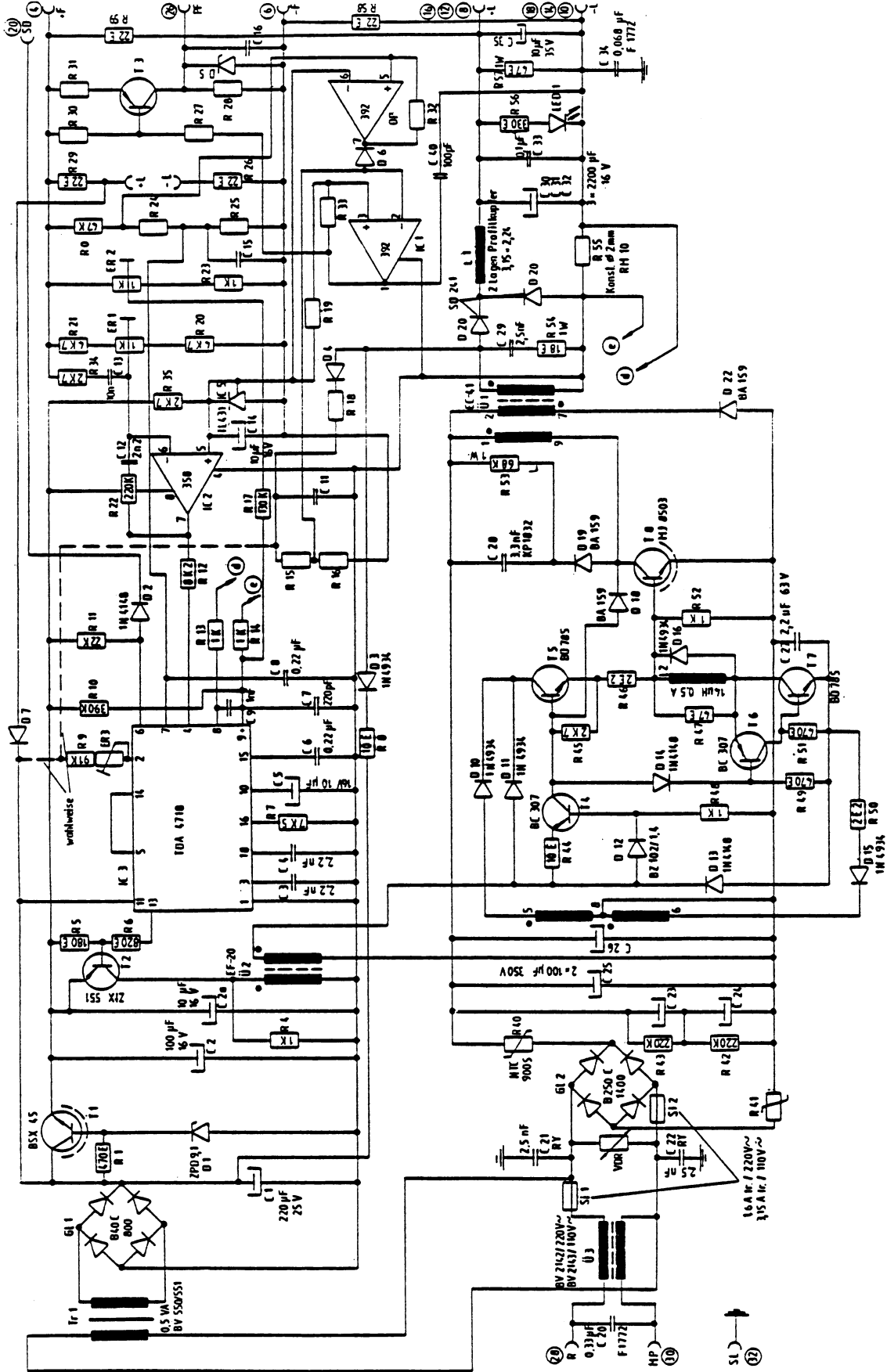
Sollten sich die Sollspannungen der Netzteile nicht einstellen lassen, so muß überprüft werden, ob einige Komponenten zu viel Strom ziehen und somit ein Netzteil in den Bereich der Strombegrenzung treiben. Anhand folgender Tabelle können Sie die Stromaufnahme der einzelnen Systemkomponenten kontrollieren. Die angegebenen Werte stellen dabei typische gemessene Ströme dar, die etwas variieren können.

Komponente	Stromaufnahme in A		bei Spannung +/- 15V
	+ 5V	+ 12V	
TCB/Z80	3.0	0.1	0.04
TCB/IOV	2.5	0.1	0.04
SUN 68000	4.0	-	-
SUN Memory	6.0	-	-
HD ST412	1.0	1.8 (4.5)	-
HD MS4020	1.0	1.5 (3.5)	-
DTC 510A	2.6	-	-
SQ 306R	1.0	0.7 (1.5)	-
FD M4853	0.8	1.0	-
Ergo-Keyboard	0.3	-	-

Die Werte in Klammern sind Maximalwerte, die nur kurzzeitig beim Hochfahren der Harddisklaufwerke auftreten. Nach dem Hochfahren haben die nicht eingeklammerten Werte Gültigkeit.



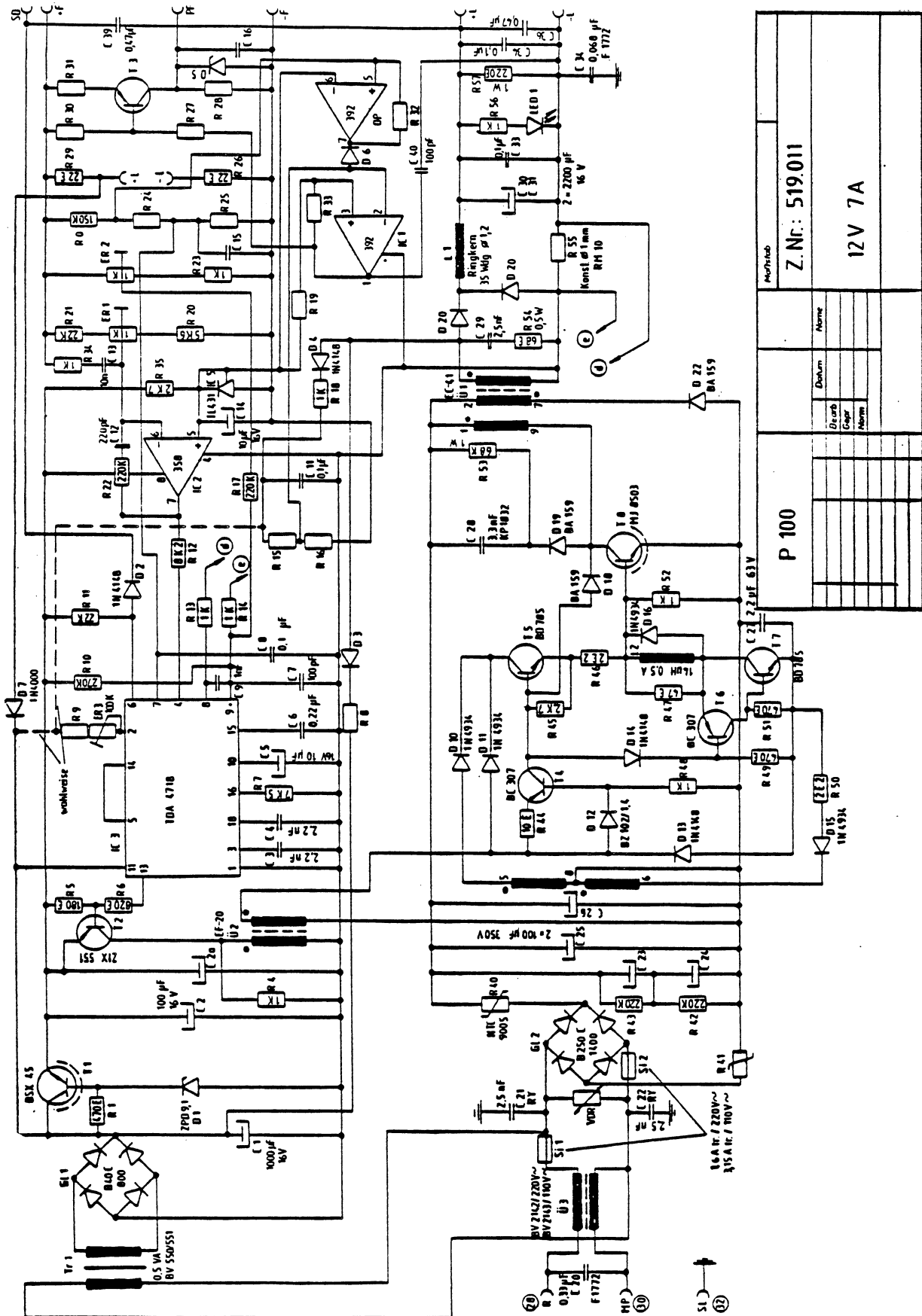
6. Schaltpläne



Z. Nr. 519. 010 5 V / 15 A



Servicebeschreibung Stromversorgung



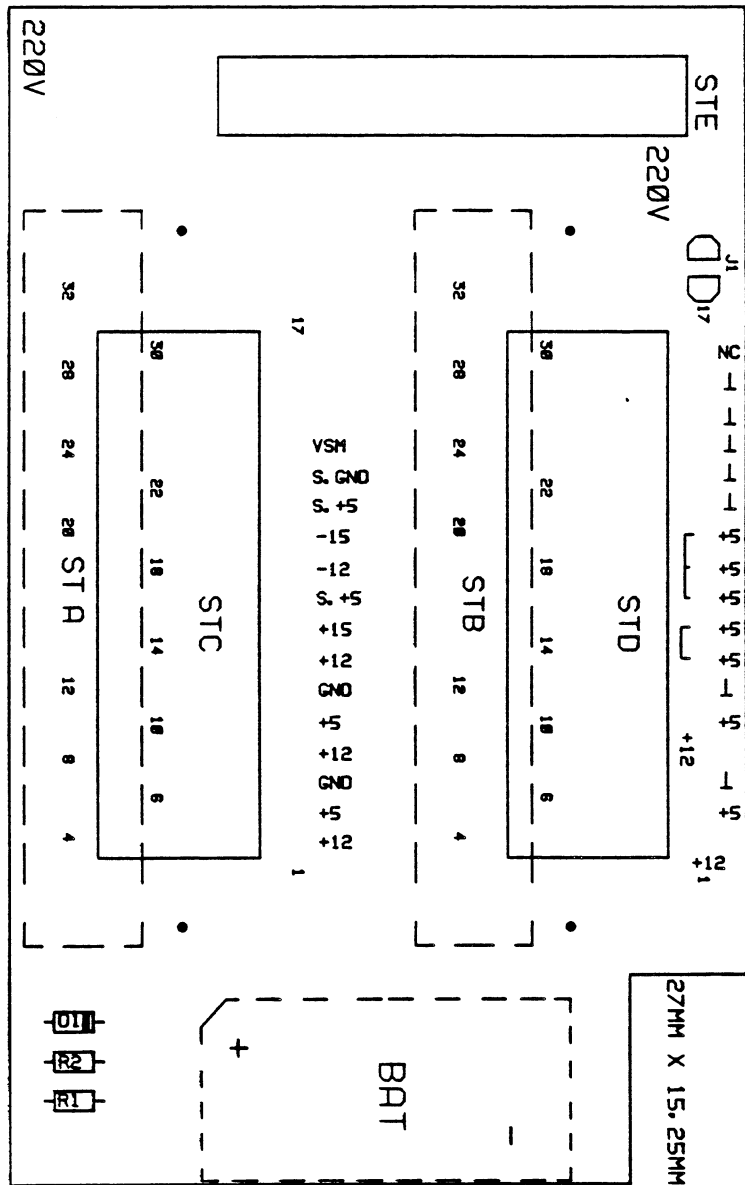


7. Bestückungsplan Netzteil



152,5MM X 96MM

P490 1.2 NETZTEILPL/PSI 980 BESTUECK.PLAN





Diese Beschreibung soll dem Servicetechniker einen Einblick in das SUN 68000 Board geben, das in den Systemen KONTRON PSI 9068/9868 Verwendung findet. Außerdem wird eine Fehlereingrenzung sowohl auf dem SUN 68000 Board als auch auf dem SUN 68000 Memory Expansion Board beschrieben.



Inhaltsverzeichnis

	Seite
1. Systembeschreibung	2
2. Allgemeines	3
3. Fehlerdiagnose	4
3.1 Test mit Diagnoseproms	6
3.2 Test mit Systemsoftware	9
4. Zusammenstellung aller Jumper	11
5. Lage aller Jumper auf SUN 68000	12
6. Schaltpläne SUN 68000 Bestückungsplan SUN 68000	13
7. Schaltpläne Speichererweiterung Bestückungsplan Speichererweiterung	19



1. Systembeschreibung SUN 68000 Board

Prozessor

Motorola 68000 mit 10 MHz Taktfrequenz

Speicher

RAM: 256 KByte mit Byte-Parity, das über den Anschluß P2 bis auf 2 MByte erweiterbar ist.

PROM: Vier 28-polige Sockel zur Aufnahme von EPROMs des Typs 2732 oder 2764.

Ein-/Ausgabe

Zwei programmierbare RS 423 serielle I/O-Kanäle mit RS-232 Pinbelegung. 5 programmierbare 16-Bit Zeitgeber und einen 16 Bit Eingangsport.

Anschlußbus

Voll kompatibel zum IEEE-796 Bus (entspricht dem INTEL MULTIBUS).

Elektrischer Anschluß

Nur eine Versorgungsspannung: +5 V DC $\pm 5\%$ max. 5 A

Abmessungen

Breite	30.48 cm
Höhe	1.27 cm
Tiefe	17.15 cm

Arbeitsumgebung

0...50 Grad C

1 MByte Speichererweiterungskarte

Speicher

max 1MByte RAM mit Byte-Parity

Elektrischer Anschluß

+ 5V DC $\pm 5\%$ max 7A

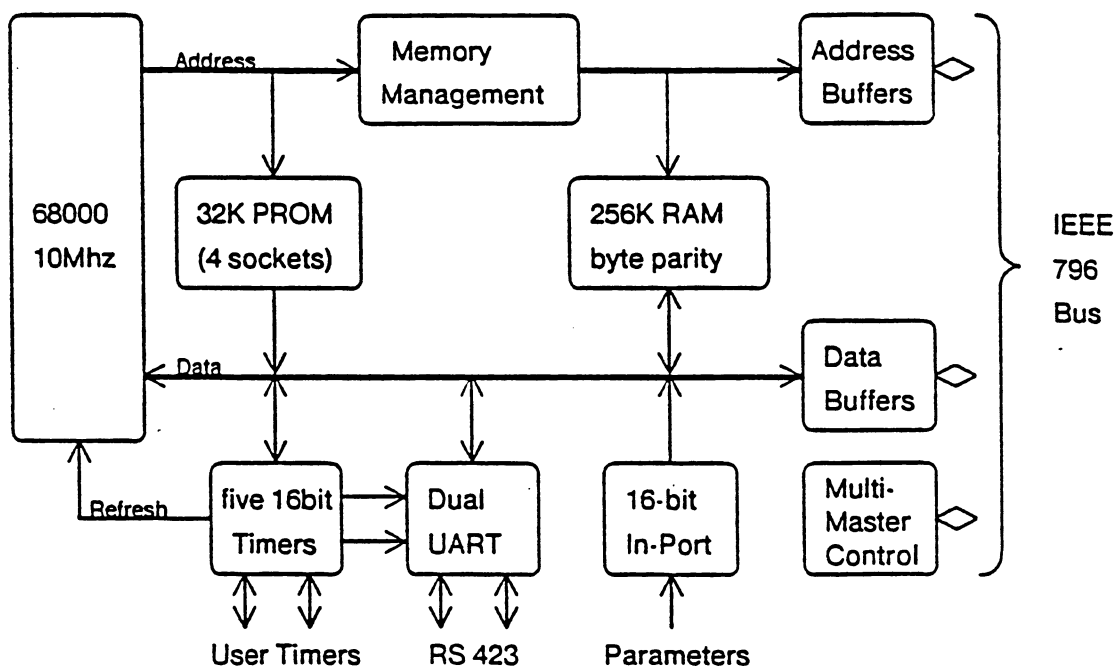
Anschlußbus und Abmessungen wie SUN 68000 Board



2. Allgemeines

Das SUN 68000 Board basiert auf dem Prozessor Motorola MC68000 mit 32-Bit Architektur. Der 68000-Chip beinhaltet unter anderem 8 32-Bit Adressregister, 8 32-Bit Datenregister sowie einen 32-Bit Programmzähler.

Den groben Aufbau der Platine verdeutlicht folgendes Bild, das einen Überblick über die Architektur der Baugruppe gibt:



Über den P2-Anschluß (dies ist die kürzere der beiden Anschlußleisten) kann der interne 256 KByte-Speicher bis auf 2 MByte erweitert werden. Mit einem zusätzlichen 768 KByte Speichererweiterungsboard werden 1 MByte Gesamtspeicher, mit einem weiteren 1 MByte Erweiterungsboard werden 2 MByte Gesamtspeichervolumen erreicht.

Das Prozessorboard enthält einen UART- (Universal Asynchronous Receiver and Transmitter-) Baustein (Intel 8274 oder NEC 7201), einen 5-fachen Zähler-/Zeitgeberbaustein (AMD 9513), sowie einen allgemeinen 16-Bit Eingabeport.



3. Fehlerdiagnose

Bei der vorliegenden Baugruppe handelt es sich um ein sehr komplexes System, das im Fehlerfall einen oft nicht abschätzbaren Zeitaufwand zur Reparatur benötigt. Da es sich auch hier um ein Board in Multilayertechnologie handelt, ist bei eventuellen Lötarbeiten höchste Vorsicht geboten.

Anhand der im Hause beim Service dieses Boards gesammelten Erfahrungen sollen hier nur Messungen bzw. Tests wiedergegeben werden, die eine eigene Reparatur sinnvoll erscheinen lassen.

Es ergibt sich die Schwierigkeit, Messungen an einem kompletten laufenden System durchzuführen, da sich die SUN-Platinen unterhalb der TCB-Platinen befinden. Dies macht den Zugang zur Bauteilebene der Platinen unmöglich.

Der Einsatz eines Extenderboards hingegen führt unweigerlich zum Absturz des Systems, da das Übersprechen zwischen den Leiterbahnen eines Extenders aufgrund der hohen Taktfrequenz von 10 MHz zu groß ist. Außerdem macht sich die Leitungskapazität störend bemerkbar.

Durch vorhandene Testsoftware für die SUN-Boards ist es jedoch möglich, das SUN-System isoliert ohne TCB-Boards zu testen.

Erfahrungsgemäß beruht der Ausfall des Systems stets auf dem Versagen derselben Bauteile. In der folgenden Test- und Diagnoseanleitung wird aus diesem Grund nur auf diese Bauteile eingegangen.

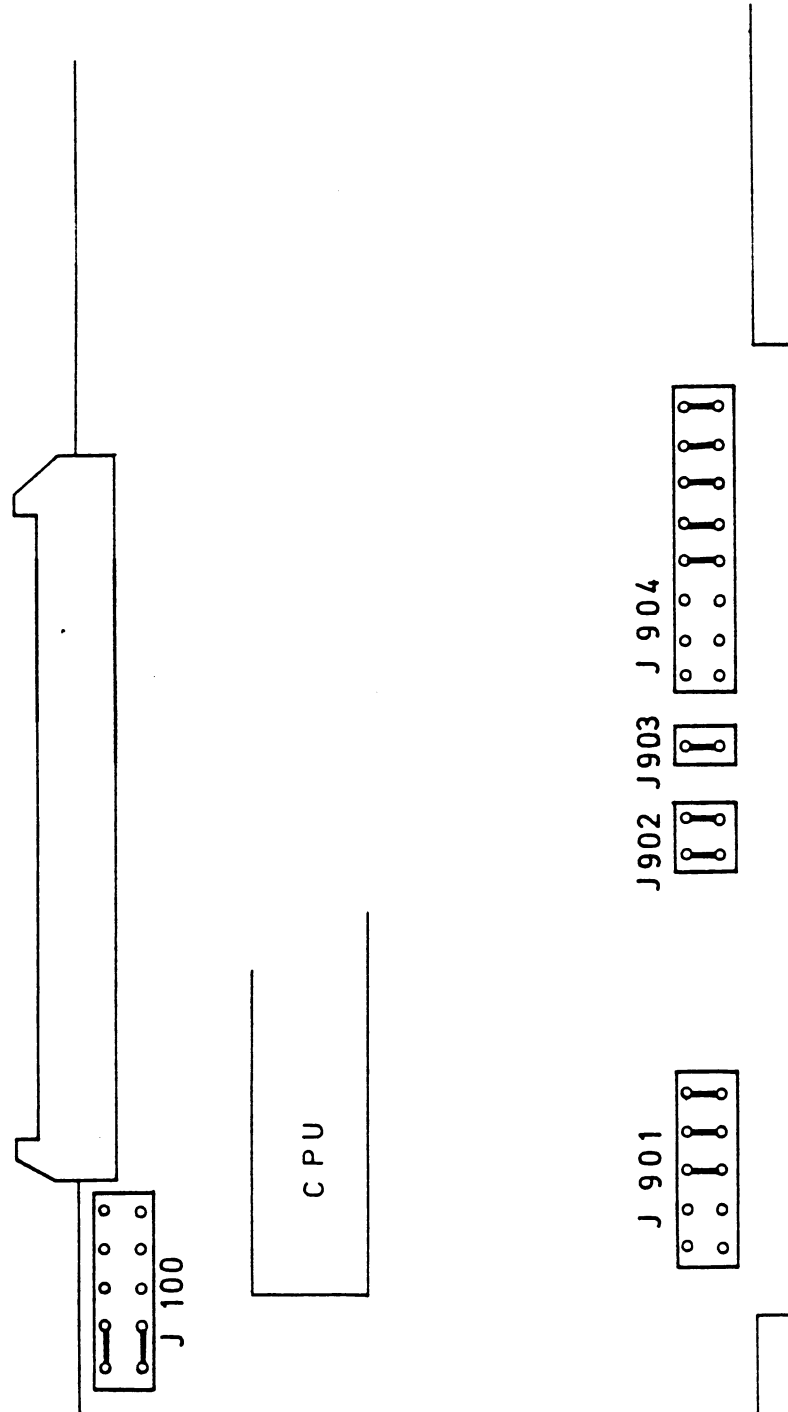
Die meisten Ausfälle haben ihre Ursache in defekten Speicherchips - sowohl auf dem SUN 68000 Board als auch auf den Speichererweiterungsbaugruppen - und in einer defekten Taktversorgung des SUN 68000 Boards.



Test des SUN - Systems

Vor einem Test des Systems sollten Sie alle Jumperstellungen überprüfen.

Die Lage aller Jumper und Schalter mit den entsprechenden Voreinstellungen, wie sie in Systemen der Serie KONTRON PSI 9068/9868 konfiguriert werden, geht aus folgenden Abbildungen hervor:





3.1 Test mit Diagnoseproms

Zum Test des Systems sind zwei Diagnoseproms erhältlich. Sie tragen die Bezeichnungen

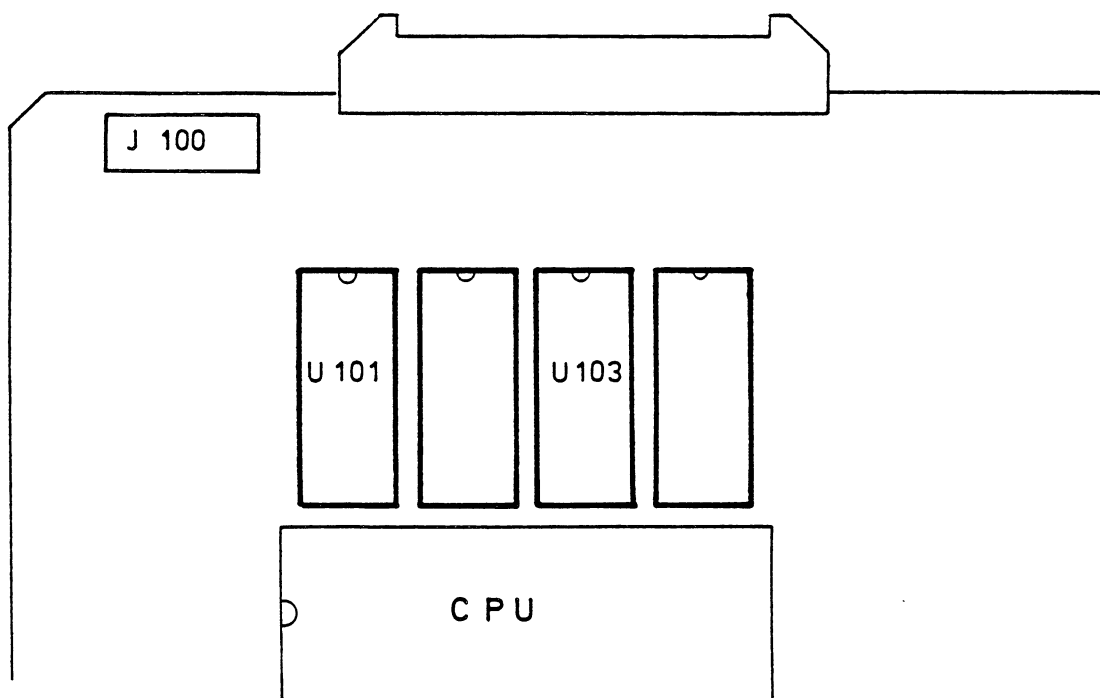
- DIAG 0/0 und
- DIAG 0/8

Beide Proms können über uns bezogen werden.

Ein Test des Systems sollte in folgender Reihenfolge durchgeführt werden:

1. Schritt:

Das PROM U101 wird gegen das PROM DIAG 0/0 und das PROM U103 wird gegen das PROM DIAG 0/8 getauscht. Die Lage der PROMS geht aus folgender Abbildung hervor:



Um Fehleinwirkungen von anderen Boards im System zu vermeiden, sollten sich nur noch die SUN-Boards im System befinden - also alle restlichen Boards herausziehen!

Achtung: Bei allen Arbeiten an der Hardware wie z.B. PROM-Wechsel, Wechsel eines Boards usw. muß das System unbedingt spannungslos gemacht werden!

2. Schritt:

Nun schließen Sie ein ASCII-Terminal mit 9600 Baud an den Port A des SUN-68000 Boards an. Dieser Port entspricht dem Anschluß SIO E an der Rückseite des Gerätes.



3. Schritt:

Gerät einschalten.

Das Diagnoseprogramm wird nun automatisch ablaufen. Ein fehlerfreier Ablauf des Diagnoseprogrammes wird durch folgende Meldungen auf dem Bildschirm des angeschlossenen Terminals angezeigt:

```
UART & TIMER ok
NO BAD INTERRUPTS
TO
T1T2T3T4T5T6T7T8T9
T21T22T23T24T25T26T27T28T29
TESTING A:000000 TO A:040000 <--
T41T42T43T44T45T46T47T48T49T50T51
T61
TEST DONEx
```

Diese Meldungen erscheinen, falls nur das CPU-Board eingesteckt ist. Falls das Speichererweiterungsboard eingesteckt ist, erscheint statt der gekennzeichneten Meldung die folgende Meldung:

```
TESTING A:000000 TO A:100000
```

Der Test wird nun von neuem ausgelöst.

Falls eines der Boards defekt ist, wird die oben gezeigte Meldung natürlich nicht in vollem Umfang erscheinen.

In der folgenden Zusammenstellung soll ein Bezug zwischen einzelnen Meldungen und defekter Hardware hergestellt werden:

-Die Meldung **UART & TIMER OK** erscheint nicht:

mögliche Ursachen:

Takt defekt. In solchen Fällen ist meist der 19.66 MHz Oszillator U400 neben der CPU defekt.

An Pin 15 der CPU muß ein Takt von 10 MHz anliegen.

An Pin 1 des ICs U105 (D7201 bzw. I8274) muß ein 5 MHz Takt anliegen. Ebenso muß an Pin 6 des ICs U301 (AM9513) ein 5 MHz Takt anliegen.

Falls dies alles nicht zutrifft, so ist höchstwahrscheinlich die Takterzeugerschaltung mit dazugehörigem Teiler (U401) oder aber einer der oben erwähnten Schaltkreise defekt.

-Die Meldung **NO BAD INTERRUPTS** erscheint nicht:

mögliche Ursachen:

Ein noch im System eingestecktes Board erzeugt einen (falschen) Interrupt. Es müssen also alle im System eingesteckten Boards der Reihe nach herausgezogen werden, damit das defekte Board erkannt werden kann.



-Die nächsten Teststroutinen überprüfen nun

- das "Context-Register" (T0),
- die "Segment-Maps" (T1...T9),
- die "Page-Maps" (T21...T29),
- das "RAM-Memory" (T41...T51),
- das 64K-RAM-Memory der Parity-Bits (T61)

Das Multibus-Memory wird natürlich nur getestet, falls auch eine Speichererweiterungsbaugruppe eingesteckt ist.

Um nun fehlerhafte Bauteile im Speicherbereich lokalisieren zu können, wird bei einem Speicherfehler eine Meldung nach folgendem Muster auf dem Monitor ausgegeben:

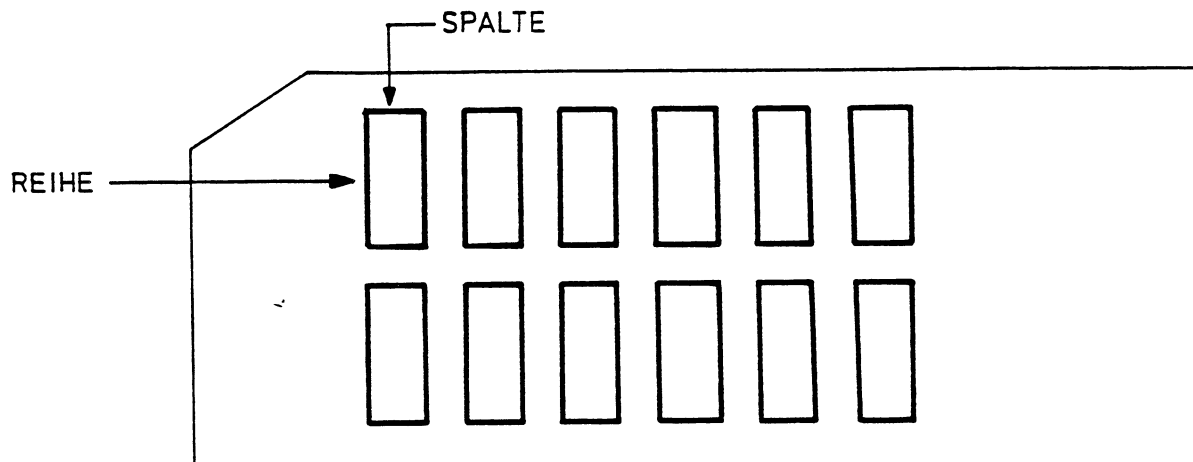
BAD 64K A:02E802 W:AAAA R:2AAB MO100 MO208

Bei diesem Beispiel wurde die Kombination AAAA auf die Adresse 02E802 eingeschrieben, aber 2AAB ausgelesen.

Die Hinweise MO100 und MO208 bezeichnen die Lage der defekten Speicherbausteine. Bei allen Speicherbausteinen handelt es sich um 64K-150ns-RAM-Bausteine.

Bedeutung der Verschlüsselung:

z.B.: M 0 2 0 8
 ! ! !---!
 ! ! !
 ! ! !--- Spaltennummer des Bausteins
 ! ! !
 ! !-----! Reihennummer des Bausteins
 ! !----- 0: 68000-Board
 1: Erstes Speichererweiterungsboard
 2: Zweites Speichererweiterungsboard





3.2 Test mit Systemsoftware

Ein Speichertest des Systems läßt sich auch über ein Testprogramm, das im UNIX-System auf dem Winchesterlaufwerk abgespeichert ist, durchführen.

Der Test wird folgendermaßen durchgeführt:

1.Schritt:

System einschalten und eventuell die Harddisk warmlaufen lassen (ca. 10 Minuten).

2.Schritt:

System mit

```
>bimemtest
```

booten.

3. Schritt:

Nun fragt das System nach dem Speicherbereich, in dem ein Speichertest durchgeführt werden soll:

- 1 --- Test Physical & Multibus Memory
- 2 --- Test Physical Memory only
- 3 --- Test Multibus Memory only

Dabei bedeutet "Physical Memory": Speicher auf CPU-Board
"Multibus Memory": Speichererweiterungen

Im Normalfall muß jetzt also "1" eingegeben werden.

4. Schritt:

Nun muß die erste freie Adresse oberhalb des durch das Betriebssystem belegten Speichers eingegeben werden. Sie beträgt nicht wie in der Benutzerführung des Programms beschrieben 3F96, sondern 3F98 Hex. Diesen Wert müssen Sie nun als "Top of memory" eingeben.

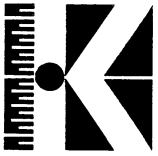
5. Schritt:

Der Test läuft nun automatisch ab und wird im Fehlerfall direkt auf den defekten Schaltkreis hinweisen. Ein erfolgreicher Test wird folgende Meldung erzeugen (z.B. bei 1MByte Speicher):

```
Begin pass xy, Parity on  
(Testing Ox3F98 thru Ox100000) test 12345678910 End pass  
No errors  
Begin pass yz, Parity off  
(Testing Ox3F98 thru Ox100000) End pass  
No errors
```

Im Fehlerfall erscheint eine Meldung nach folgendem Muster:

```
Bad 64K on Memory Expansion Board #1 Socket U1113  
Variable Test. Wrote 6E. Read 7E. Adr 4006E
```

Hier ist der Speicherschaltkreis Nr. U113 auf dem ersten Erweiterungsboard defekt.

U1113 bedeutet:

```
U   1   1   13
    !   !   !
    !   !   Spaltennummer
    !   !
    !   Zeilennummer
    !
Extensionboard (0: CPU-Board
                1: Extensionboard Nr. 1)
```



4. Zusammenstellung aller Jumper auf dem 68000-Board

P2 Serieller Port:

P2.RxD	J100 1-2	Verbindet P2.RxD mit DTE
P2.TxD	J100 3-4	Verbindet P2.TxD mit DTE
P2.RxD	J100 1-3	Verbindet P2.RxD mit DCE
P2.TxD	J100 2-4	Verbindet P2.TxD mit DCE

PROM Typ:

2764/2732	J100 7-8	Verbindet U101...U104 (23) mit A12
2716	J100 5-6	Verbindet U101...U104 (23) mit VCC

Byte-Order Select 68000 Byte Order ist voreingestellt

AO=-LDS	J801 1-2	Multibus Byte Order
AO=-JDS	J801 3-4	68000 Byte Order

Multibus Signalooptionen

voreingestellt wie folgt:
68000 ist RESET-Master
68000 ist CCLK Clock-Master
68000 ist BCLK Clock-Master
CBRQ Common Bus Request gestattet
BPRN Bus Priority In ist angelegt

-B.INIT	J901 1-2	Drive INIT vom Multibus falls gesteckt, J901 3-4 entfernen
-B.INIT	J901 3-4	Führt INIT zum Multibus
-B.BCLK	J901 5-6	Führt BCLK zum Multibus
-B.BPRN	J901 7-8	BPRN für letzten Master in der Kette auf LOW
-B.CBRQ	J902 3-4	Erlaubt allgemeinen Bus Request
-B.CBRQ	J902 1-2	Multibus wird nach jedem Zugriff aufgegeben
-B.CCLK	J903 1-2	Führt CCLK auf den Multibus

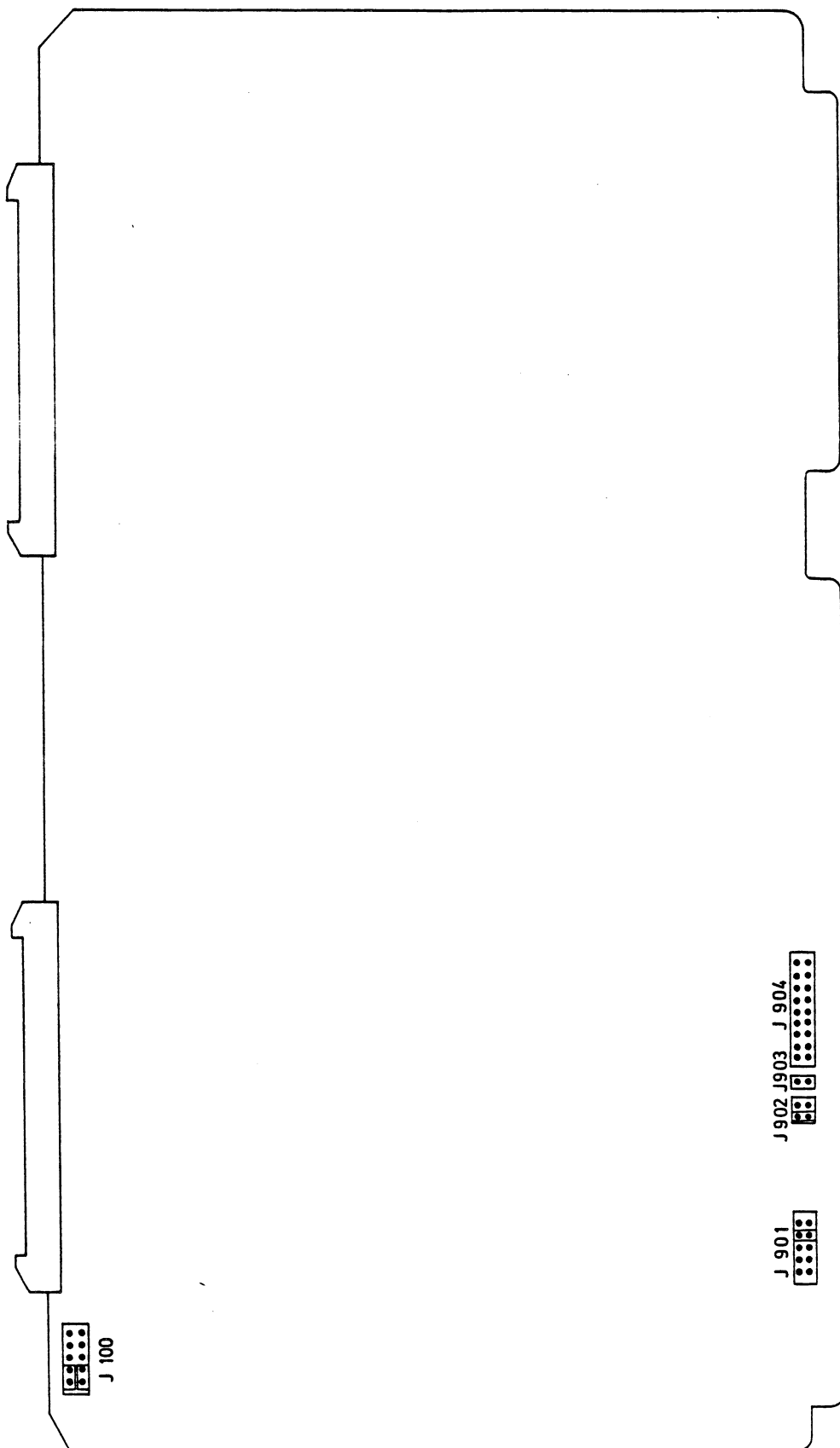
Interruptebenezuteilung wie folgt vorverdrahtet

B.int7	J904 1-2	NMI, benutzt der Refresh-Timer
B.INT6	J904 3-4	vom Timer2 benutzt
B.INT5	J904 5-6	vom UART benutzt
B.INT4	J904 7-8	
B.INT3	J904 9-10	
B.INT2	J904 11-12	
B.INT1	J904 13-14	
B.INT0	J904 15-16	unbenutzt

Alle Jumperfelder gehen aus der Abbildung auf der nächsten Seite hervor.

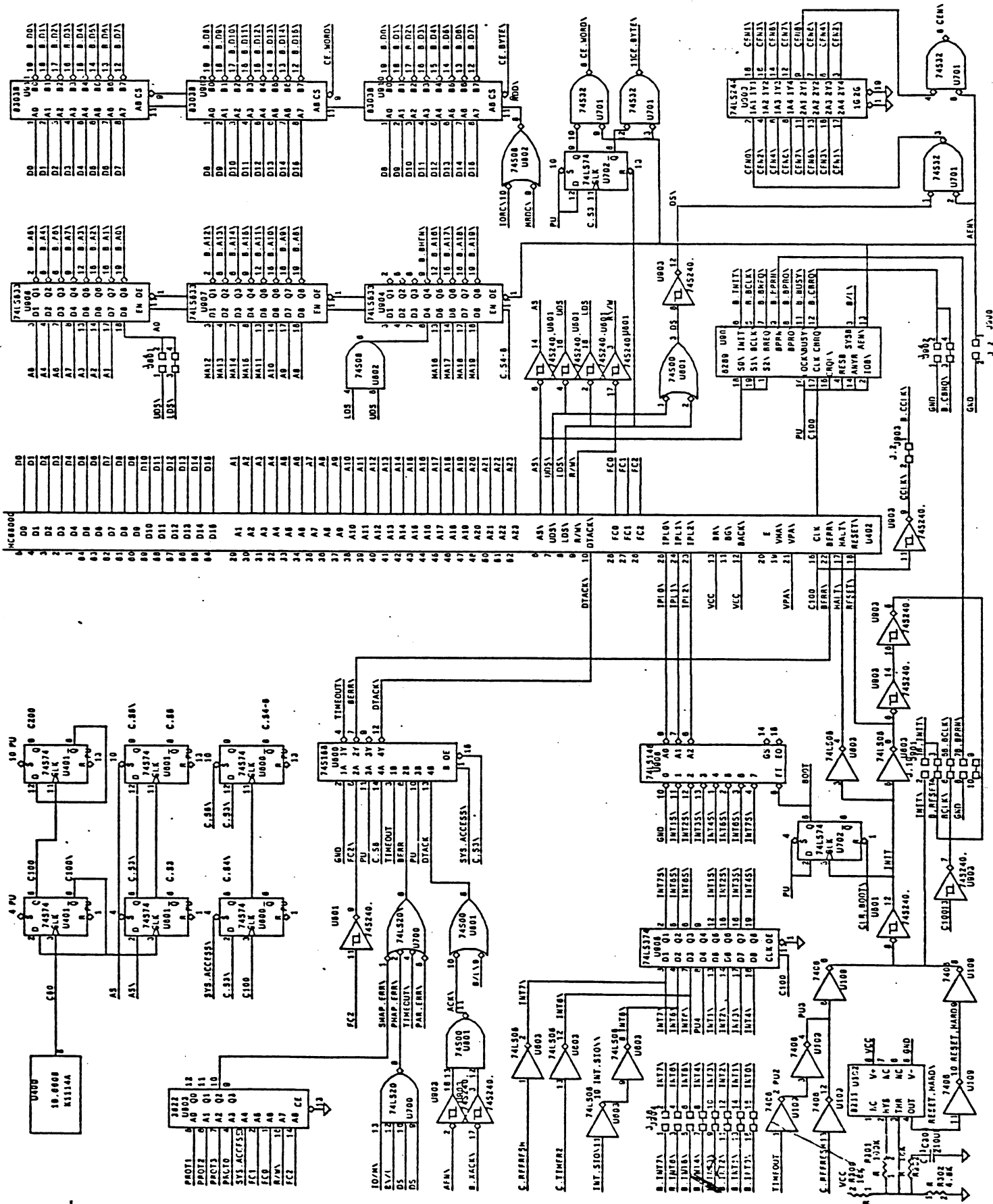


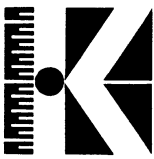
5. Lage aller Jumper auf dem 68000-Board mit Pinbezeichnungen



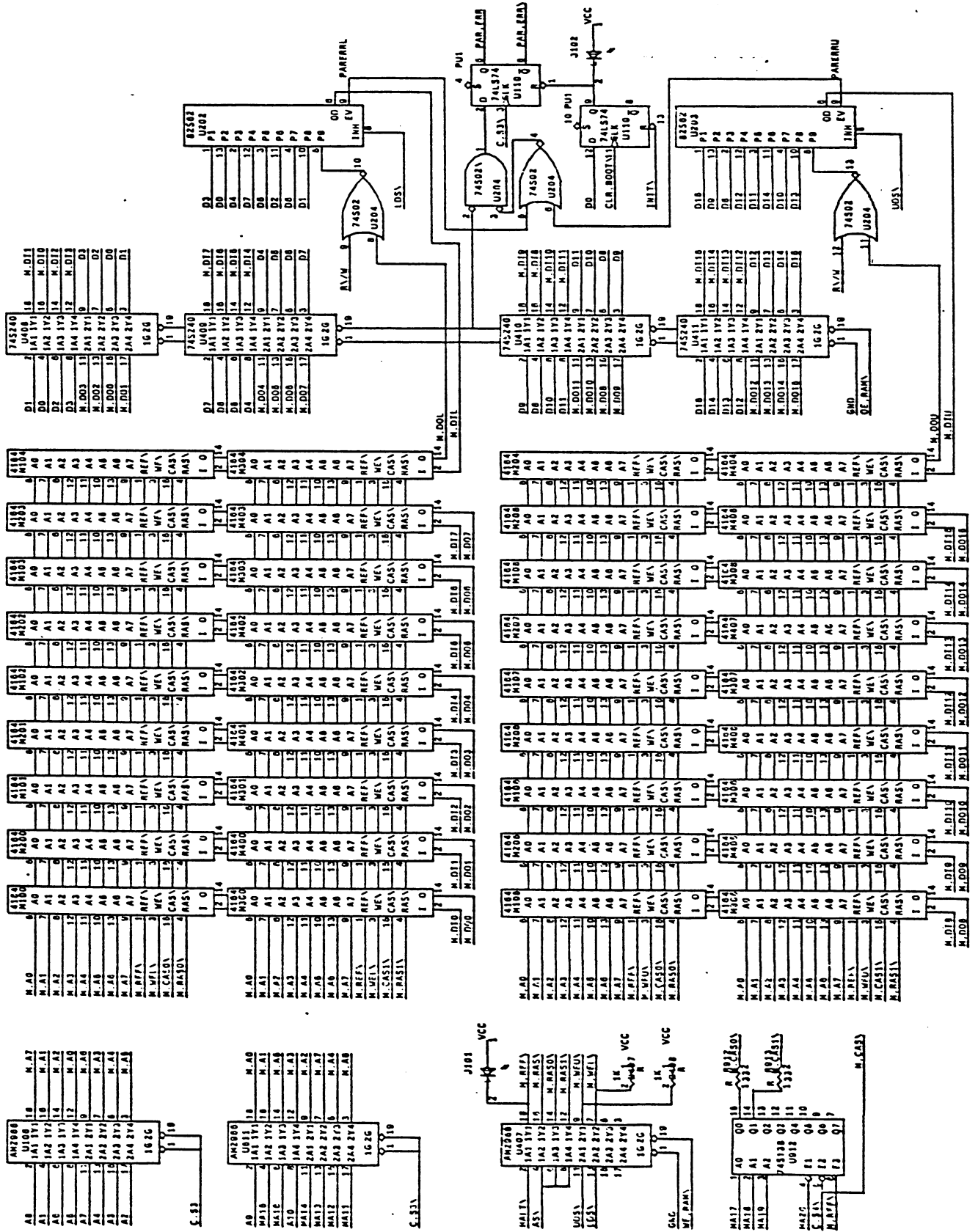


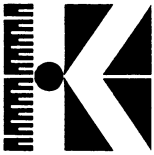
6. Schaltpläne zum 68000-Board



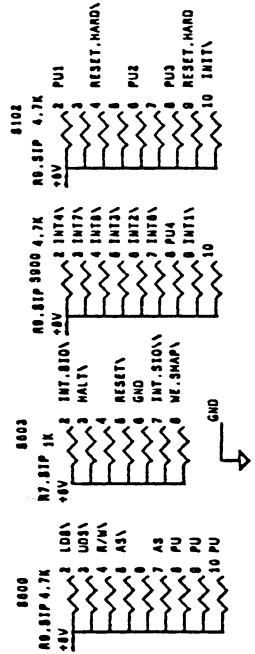
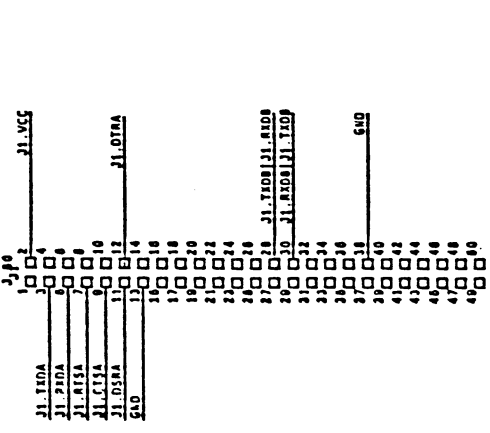
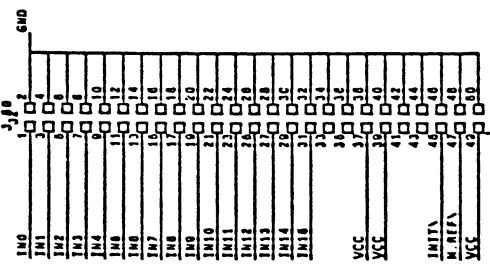
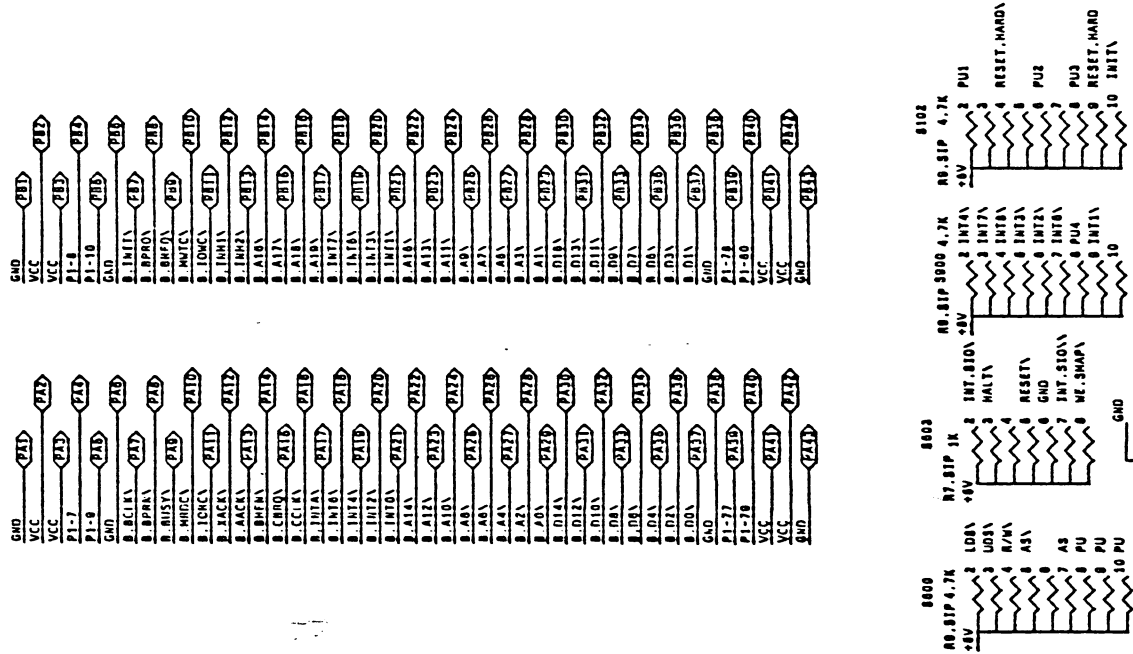
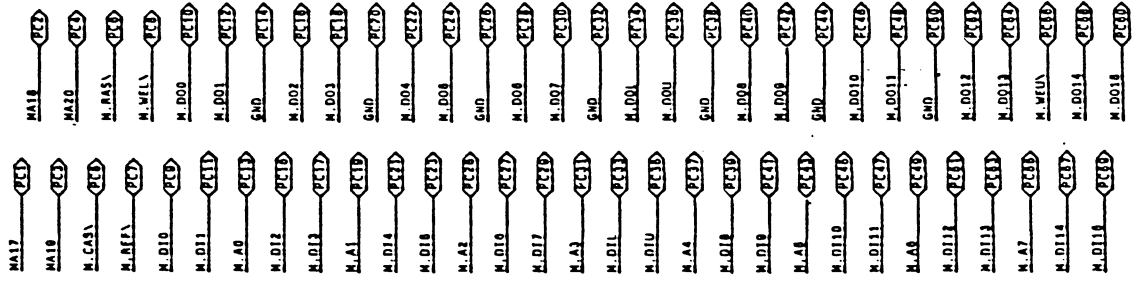


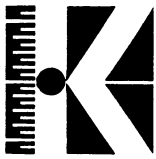
Servicebeschreibung SUN 68000 Board



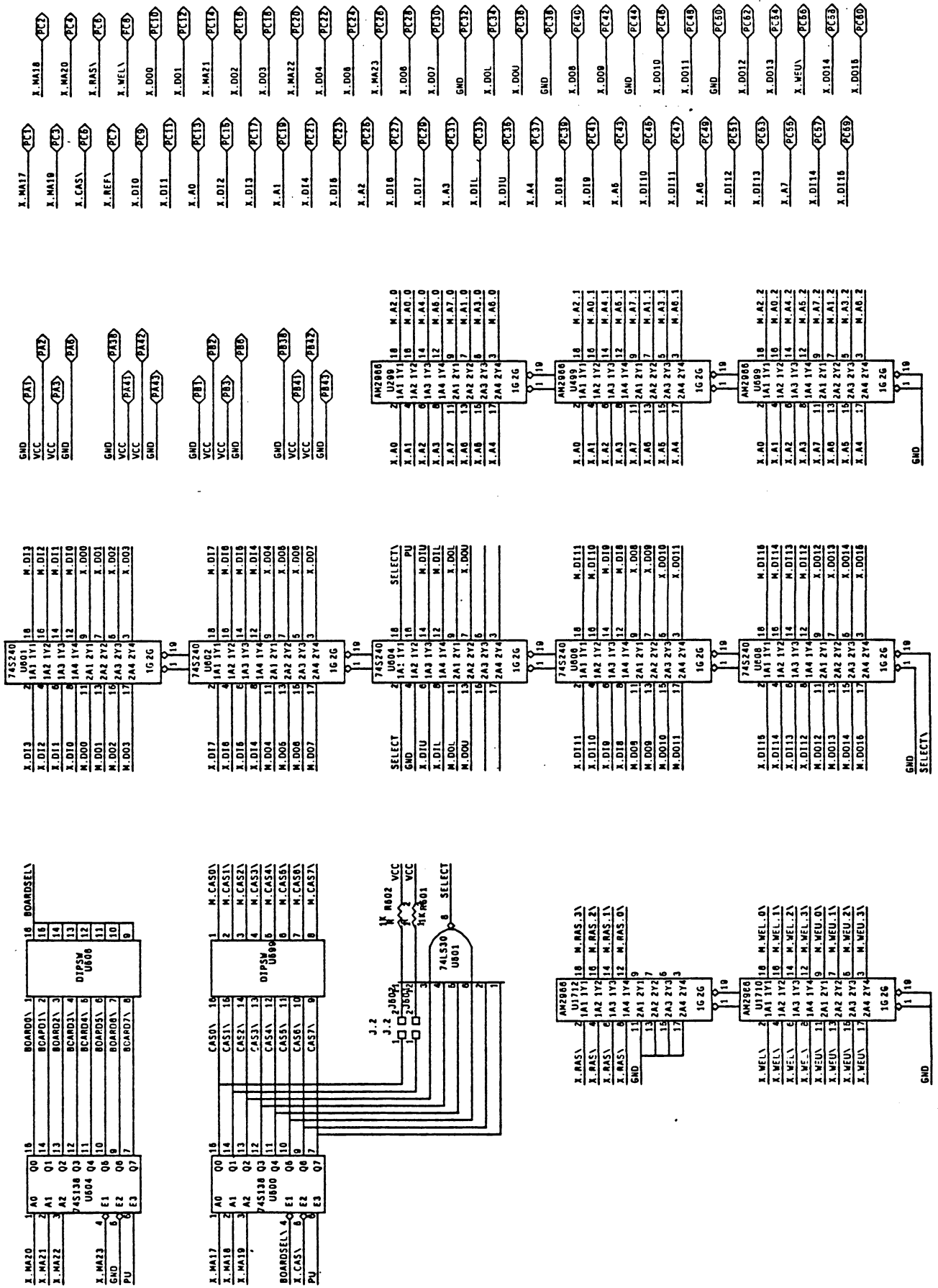


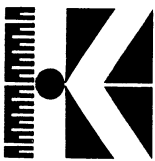
Servicebeschreibung SUN 68000 Board



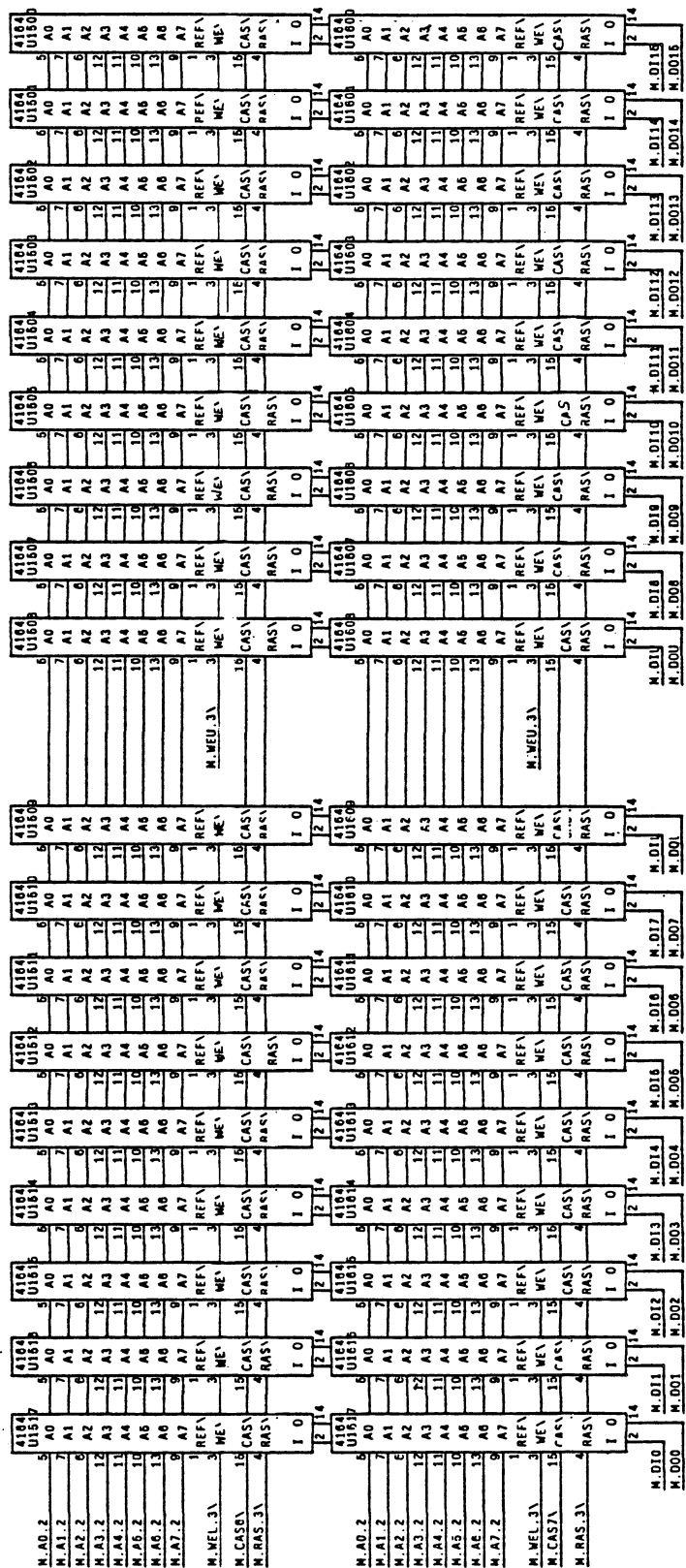
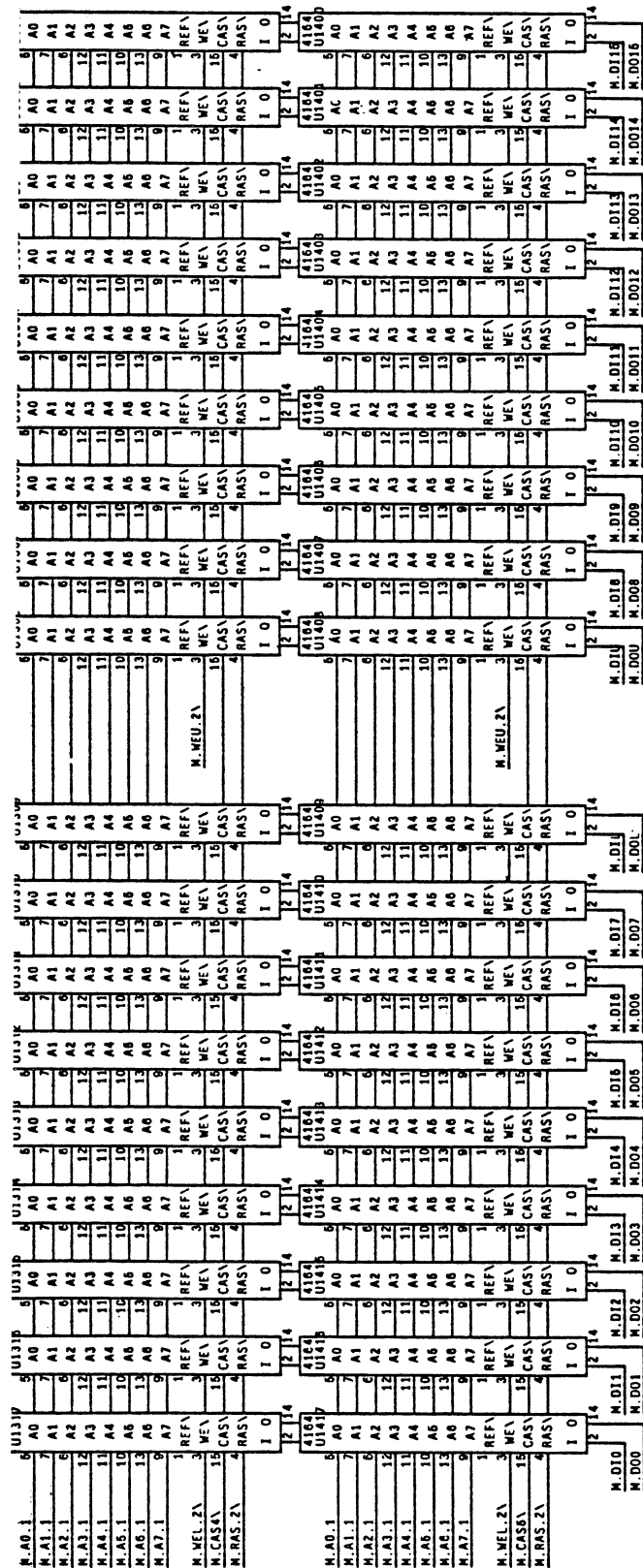


Servicebeschreibung SUN 68000 Board



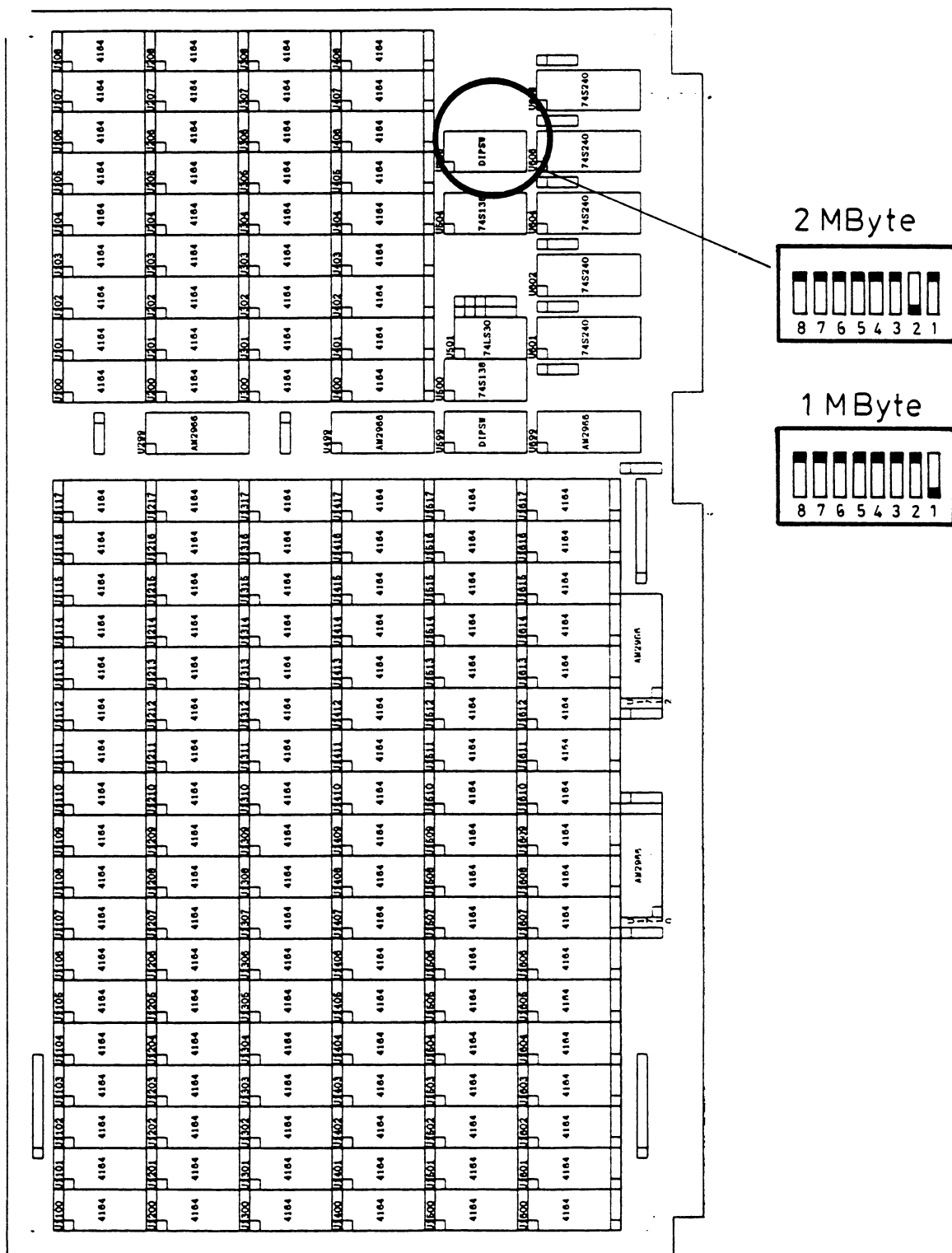


Servicebeschreibung SUN 68000 Board





Servicebeschreibung SUN 68000 Board



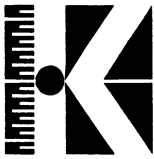


```
*****  
*                                     *  
*           K D T   R e v .  6       *  
*                                     *  
*           T C B   / Z 8 0         *  
*                                     *  
*           T e s t - D e b u g g e r   H a n d b u c h  
*                                     *  
*****
```

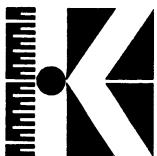
Eching, den 28.04.1983

Beschriebene Version : 6.20

KONTRON Mikrocomputer GmbH



INHALTSVERZEICHNIS:		SEITE
1.	Allgemeines	
1.1	Einführung	4
1.2	Sonderfunktionen	4
1.2.1	ESC-Taste	4
1.2.2	Abbruch durch beliebige Taste	5
1.2.3	Erkennen von externer Hardware über serielle Schnittstelle	5
1.3	Zeichenerklärung	5
2.	Kommandoeingaben	
2.1	Aufbau eines Kommandos	6
2.2	Fehlermeldungen	7
3.	Kommandos	
3.1	Again	8
3.2	Compare Memoryblocks	8
3.3	Display Memory	9
3.3.1	Display Mode	9
3.3.2	Alter Mode	9
3.4	Do-Kommando	10
3.5	Display Port	10
3.6	Go by Error	10
3.7	Stop by Error	11
3.8	Fill Memory	11
3.9	Floppy Control-Mode	12
3.10	Go-Kommando	12
3.11	In-Loop Port	13
3.12	Jump-Kommando	13
3.13	Betriebssystem laden	13
3.14	Locate	13
3.15	Local-Mode	14
3.16	Move	14
3.17	Memory-Mapper Programmierung	15
3.18	Memory-Test	15
3.18.1	Memory-Test in einer Speicherbank	16
3.18.2	Memory-Test über alle Speicherbänke	17
3.19	Output-Loop-Port	18
3.20	Serielle Schnittstelle ausschalten	18
3.21	Serielle Schnittstelle einschalten	19
3.22	Overlay einschalten	19
3.23	Pause-Kommando	19
3.24	Prom-Ram Umschaltung	20
3.25	Read-Loop Memory	20
3.26	Recalibrate Drive	20
3.27	Read Sektor	20
3.28	Read Track	21
3.29	Set Memory	22
3.30	Set Port	22



	Seite
3.31 Set Refresh Time	23
3.32 Testprogramm aufrufen	23
3.33 Write-Loop Memory	23
3.34 Write-Read-Loop Memory	24
3.35 Write Sektor	24
3.36 Write Track	25
4. Systemaufrufe und Einsprungpunkte	
4.1 Kaltstart	26
4.2 Warmstart	26
4.3 Monitorausgabe	27
4.4 Eingabe eines ASCII-Zeichens mit Echo	27
4.5 Prüfung auf Eingabe eines ASCII-Zeichens	28
4.6 Eingabe eines ASCII-Zeichens	28
4.7 Ausgabe eines Textes in einer neuen Zeile	29
4.8 Ausgabe eines Textes an der Cursorposition	29
4.9 Ausgabe von 2 Bytes als 4 ASCII-Zeichen	30
4.10 Ausgabe eines Bytes als 2 ASCII-Zeichen	30
4.11 Cursorposition auf Anfang der nächsten Zeile	31
4.12 Ausgabe von 3 Leerzeichen	31
4.13 Ausgabe von 2 Leerzeichen	31
4.14 Ausgabe von einem Leerzeichen	32
4.15 Abfrage auf Eingabe zur Programmunterbrechung	32
4.16 Programmabbruch mit Meldung	33
4.17 Einlesen in einen Eingabepuffer	34
4.18 Auslesen eines Zeichens aus dem Eingabepuffer	34
4.19 Eingabe-Pufferzeiger hochzählen	35
4.20 Eingabe-Pufferzeiger herunterzählen	35
4.21 Non-Maskable-Interrupt Einsprungpunkt	35
5. RAM-Speicheradressen	
5.1 Status	37
5.2 Letzte Eingabe	37
5.3 Scroll-Adresse Bildschirmausgabe	38
5.4 Cursor-Adresse Bildschirmausgabe	38
5.5 Eingabe Pufferzeiger	38
5.6 Refresh Zeit Konstante	38
5.7 Warteschleife für Memorytest	38
5.8 NMI Service Routine	39
5.9 Warteschleife für Monitorausgabe	39
5.10 Cursor EIN-AUS	39
5.11 Invert Screen Flag	39
5.12 Serielle Ausgabe	40
5.13 Escape-Routine	40
6. Erläuterung zu PROM	
6.1 Autostart	41
6.2 Arbeiten mit Vektor	42
6.3 Fehlermeldungen Floppy	42
6.3.1 Format	42
6.3.2 Drive not ready	43
6.3.3 Read not possible	43
6.3.4 CRC-Error	43
6.3.5 Disk write protected	43



6.4	Disktest	44
7.	Tabellen	
7.1	Kommandos	45
7.2	Drive-ID Tabelle	46
7.3	Steuerzeichen	47



1. Allgemeines:

1.1 Einführung

Der nachfolgend beschriebene Testdebugger ist aus der Notwendigkeit entstanden, die produzierten KDT-Platinen nicht nur einem GONOGO Test zu unterziehen, sondern um einerseits Testprozeduren ablaufen zu lassen, andererseits um einfache Maschinenprogramme direkt einzugeben und zu testen. Somit soll die Fehler-Diagnosezeit auf ein Minimum reduziert werden.

Der Testdebugger besteht aus 2 Proms. Prom 1 enthält eine Grundsoftware mit den Kommandos, Initialisierung, Verwalter, Kommandointerpreter, Bildschirmausgabe usw. und ist für sich alleine voll funktionsfähig. Prom 2 enthält die Disk-Software (siehe auch 6.3). Die Software kann das Vorhanden sein von Proms erkennen und meldet Zugriffe auf nicht vorhandene Software mit

* NOT IMPLEMENTED *

Der Testdebugger kann nach einem RESET mit CTRL-K aufgerufen werden. Am Bildschirm erscheint der Text :

```
TESTDEBUGGER VERSION : (Versionsnummer) (Datum)
TD>
```

Die derzeit (25.04.83) aktuelle Version ist 6.20.

Der Testdebugger ist in vier verschiedenen Ausführungen verfügbar:

- Video 60 Hz , SIO-Kanal B aktiv (für PSI 9XXX-Systeme)
- Video 50 Hz , SIO-Kanal B aktiv
- Video 60 Hz , SIO-Kanal A aktiv
- Video 50 Hz , SIO-Kanal A aktiv (für KLA)

SIO-Kanal A aktiv bedeutet, daß Ein/Ausgabe über die serielle Schnittstelle SIO A möglich ist und die Kommandos ON und OF auf diese Schnittstelle wirken (siehe 3.20 u. 3.21).



1.2 Sonderfunktion

Die Funktion von CTRL-Q, CTRL-R, CTRL-S, CTRL-T und CTRL-W siehe Tabelle 6.5.

1.2.1 ESC-Taste

Die ESC-Taste bewirkt einen sofortigen Abbruch des Programms und einen Warmstart. Eine Ausnahme bilden die Floppy-Disk Zugriffe, bei denen die ESC-Funktion unwirksam ist.

Hinweis: Da die ESC-Funktion einen sofortigen Abbruch des Programms zur Folge hat, können immer dann Probleme auftreten, wenn eine Interrupt-Service-Routine unterbrochen wird.

1.2.2 Abbruch durch beliebige Taste

Bei den Kommandos Nr. 2,3,18 (siehe Tabelle 6.1) kann die Ausführung durch Drücken einer beliebigen Taste (außer "ESC", siehe 1.2.1 und außer CTRL-R, -S, -T, -W siehe 6.5) abgebrochen werden. Es wird jedoch erst an einer für die Ausführung des jeweiligen Kommandos sinnvollen Stelle abgebrochen. Eine Unterbrechung ist mit "W" möglich. Danach führt die Eingabe einer beliebigen Taste (außer "ESC", siehe 1.2.1 und außer CTRL-R, -S, -T, -W siehe 6.5) zum Abbruch, eine Eingabe von "W" läßt das Kommando weiterarbeiten.

1.2.3 Erkennen von externer Hardware über serielle Schnittstelle

Nach einem Reset oder Kaltstart (siehe 4.1) wird das DTR-Signal der seriellen Schnittstelle (A oder B) zuerst auf Low (aktiv) und dann auf High (inaktiv) programmiert. Wenn auf diesen Low-High Übergang ein angeschlossenes Gerät mit "ACK" (ASCII 06H) antwortet, so wird im Testdebugger auf eine Laderoutine gesprungen und auf Eingaben über die serielle Schnittstelle (9600 BAUD) gewartet. Damit besteht die Möglichkeit, über die serielle Schnittstelle ein Testsystem für beliebige Funktionen anzuschließen.



1.3 Zeichenerklärung

- <CR> bedeutet Eingabe von CARRIAGE RETURN (ASCII ODH). Dies geschieht mit Hilfe der "RETURN"-Taste, bei manchen Tastaturen auch als "NEW LINE" bezeichnet.
- H Eine Hexadezimalzahl (auch Hexzahl genannt) wird durch ein "H" hinter der Zahl gekennzeichnet.
- CTRL- Die Angabe "CTRL-" bedeutet, daß eine Taste zusammen mit der CONTROL-Taste zu drücken ist.



2. Kommandoeingaben

2.1 Aufbau eines Kommandos

Formal besteht jede Kommandoeingabe (jedes Kommandofeld) aus einem Identifikationsfeld (ID-FELD), einem Parameterfeld (P-Feld), sowie den dazwischenliegenden Trennzeichen (TZ).

Es ergibt sich das folgende Format für ein Kommando:

```
<---ID-Feld---><-----Parameterfeld----->  
KOMMANDOAUFRUF TZ P1 TZ P2 TZ ...Pi TZ ...Pn <CR>
```

Das ID-Feld muß mit einem Großbuchstaben (A bis Z) beginnen und reicht formal bis zum ersten Trennzeichen (TZ1). Da der Kommandointerpreter in der Regel nur ein, höchstens aber zwei Zeichen zur Identifikation eines Kommandos benötigt (siehe Punkt 3), bleiben eventuell vorhandene weitere Zeichen im ID-Feld bedeutungslos.

Beispiel:

```
Die Eingaben:      D 9000 100  
                   DISPLAY 9000 100  
                   DXYZ 9000 100
```

bewirken alle den Ausdruck von 100H Bytes ab Adresse 9000H.

Als Trennzeichen (TZ) dürfen nur Leerzeichen (ASCII-CODE 20H) verwendet werden, wobei deren Anzahl zwischen den Parametern keine Rolle spielt. Das Parameterfeld ist für verschiedene Kommandos optional. Es enthält mit Ausnahme des Register- und des Setkommandos (ASCII-Mode) nur hexadezimale Zahlenwerte (Ziffern 0...9 und die Zeichen A...F). Die Eingabe des Parameterfeldes ist formatfrei, d.h. führende Nullen brauchen nicht mit eingegeben zu werden.

Beispiel:

```
Die Eingaben      9  
                  09  
                  009  
                  0009
```

sind gleichbedeutend und werden als vierstellige Hexadezimalzahl 0009H angenommen.



Bei mehr als vier Zeichen werden lediglich die letzten vier berücksichtigt. Entsprechendes gilt auch dann, wenn das Monitorprogramm nur 2 hexadezimale Zeichen als Eingabe erwartet. Es können pro (logischer) Zeile mehrere Kommandos hintereinander eingegeben werden. Der Zeilenpuffer des Debuggers ist 255 Bytes groß, das entspricht mehr als drei Zeilen des Sichtschirmes.

Zur Trennung zweier Kommandos dient das Semikolon (ASCII-Code 3BH). Der ASCII-Code ODH (<CR>, Taste RETURN) schließt die Kommandozeile ab.

Es ergibt sich das folgende Format für eine Kommandozeile:

<-----logische Zeile (255 Bytes max)----->

TD> KOMMANDO 1;KOMMANDO 2;...;KOMMANDO i;...;KOMMANDO n<CR>

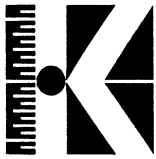
2.2 Fehlermeldungen

Bei Kommandos, deren Format nicht richtig angegeben ist, erscheint:

* FORMAT ? *

Bei Eingaben, welche nicht als Kommandos erkannt werden:

* NOT IMPLEMENTED *



3. Kommandos

3.1 A = AGAIN

FORMAT: A <CR>

Beispiel: A <CR>

Das zuletzt abgearbeitete Kommando mit Ausnahme der Kommandos Nr. 1, 13, 14, 29, 30 (siehe Tabelle 6.1) wird wiederholt.

3.2 CP = COMPARE MEMORYBLOCKS

FORMAT: CP (Blockadresse1) (Blockadresse2) (Blocklänge) <CR>

Beispiel: CP 3000 C000 100 <CR>

Zwei Memoryblöcke können miteinander verglichen werden. Dabei wird der Inhalt von Adresse 3000H mit dem Inhalt von Adresse C000H verglichen, der Inhalt von Adresse 3001H mit dem Inhalt von Adresse C001H usw.

Die beiden letzten zu vergleichenden Speicherstellen sind in diesem Beispiel 30FFH und C0FFH (= 100H Länge).

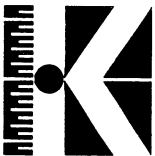
Der gesamte Vergleich beider Blöcke wird 255 mal ausgeführt.

Bei der ersten Nichtübereinstimmung wird die Ausführung abgebrochen und eine Fehlermeldung mit folgenden Angaben ausgegeben:

- Soll- und Istwerte der nicht übereinstimmenden Speicherplätze
- Nummer des Durchlaufs, bei welchem der Fehler aufgetreten ist.

Dabei ist zu beachten, daß bei einem Fehler eine Abprüfung auf "Stop by Error" (siehe 3.7) durchgeführt wird.

Mit der Eingabe von "W" kann der Vergleich unterbrochen und ebenso wieder weitergeführt werden, mit einer beliebigen Taste wird die Ausgabe unterbrochen (siehe 1.2.2).



3.3 D = DISPLAY MEMORY

3.3.1 Display Mode

FORMAT: D (Startadresse) (Länge) <CR>
oder: D (Startadresse)-(Endadresse) <CR>

Beispiel: D 100 10 <CR>
oder: D 100-10F <CR>

Mit Display Memory werden die Adresseninhalte zeilenweise (10H je Zeile) mit ASCII-Äquivalent ausgegeben. Entspricht eine Hexzahl einem ASCII-Zeichen, wird dieses zwischen * * an der entsprechenden Stelle ausgegeben. Ein Text läßt sich somit leicht als solcher erkennen.

Mit der Eingabe von "W" kann die Ausgabe unterbrochen und ebenso wieder weitergeführt werden, mit einer beliebigen Taste wird die Ausgabe unterbrochen (siehe 1.2.2).

3.3.2 Display and Alter mode

FORMAT: D (Adresse) <CR>

Beispiel: D 5300 <CR>

Die Angabe der Adresse ist optional (Voreinstellung : Adresse=0). In diesem Modus arbeitet das D-Kommando interaktiv, d.h. nach dem Ausdruck des Speicherinhalts kann der Benutzer wahlweise den Inhalt des angezeigten Speicherplatzes verändern und/oder auf den nächsten/vorhergehenden Speicherplatz weiterschalten. Der Abbruch einer derartigen "Display and Alter Sequenz" erfolgt mit dem Zeichen "Q" (Quittierung).

Ausgabeformat: (Adresse) (Daten)

Fünf Funktionen können nun durch die Eingabe folgender Zeichen bzw. Zeichenfolgen veranlaßt werden:

<CR>	Weiterschalten und Ausdruck des Inhalts der Speicherstelle Adresse +1
^ <CR>	Weiterschalten und Ausdruck des Inhalts der Speicherstelle -1
xx <CR>	Ersetzen des Inhalts von Adresse durch den Wert xx mit anschließendem Weiterschalten auf Adresse +1
xx Q <CR>	wie oben mit anschließendem Abbruch der Kommandos
Q <CR>	Abbruch des Kommandos.



3.4 DO = DO-KOMMANDO

FORMAT: DO (Startadresse) <CR>

Beispiel: DO 3000 <CR>

Mit diesem Kommando wird die auf der Startadresse 3000H stehende Befehlsfolge abgearbeitet. Dabei können mehrere Befehle, mit Strichpunkt (;) getrennt, aneinander gereiht werden. Rekursiv - Aufrufe sind gestattet.

Beispiel: S 3000 /CP 5000 6000 100;D 2000-2030;DO 3000 <CR>

Hierbei stellt "DO 3000" den Rekursivaufruf dar, d.h. den Aufruf auf sich selbst (Schleifenbildung).

3.5 DP = DISPLAY PORT

FORMAT: DP (Portadresse) <CR>

Beispiel: DP 2 <CR>

Der Port mit der Adresse 02H wird ausgelesen und angezeigt.

Hinweis: Der Statusport mit der Adresse 1CH darf nur beschrieben und nicht gelesen werden. Ein Lesevorgang auf diesem Port hat den Absturz der Hardware zur Folge.

3.6 EG = GO BY ERROR

FORMAT: EG <CR>

Beispiel: EG <CR>

Durch den Befehl "EG" (GO BY ERROR) wird die Funktion "ES" (STOP BY ERROR, siehe 3.7) wieder gelöscht.

GRUNDEINSTELLUNG nach Reset: STOP BY ERROR



3.7 ES = STOP BY ERROR

FORMAT: ES <CR>

Beispiel: ES <CR>

Durch den Befehl "ES" (STOP BY ERROR) wird die Funktion "GO BY ERROR" wieder gelöscht.

Nach Eingabe von ES (STOP BY ERROR) wird bei einem auftretenden Fehler beim Abarbeiten eines der Befehle 2, 17 oder 18 (siehe Tabelle 6.1) das Programm abgebrochen. Ebenso wird die Bearbeitung einer DO-Kommandofolge (siehe 3.4) abgebrochen.

GRUNDEINSTELLUNG nach Reset : STOP BY ERROR

3.8 F = FILL MEMORY

FORMAT: F {Startadr.} {Länge} {Daten} <CR>
oder : F {Startadr.}-{Endadr.} {Daten} <CR>

Beispiel: F 5000 100 AA <CR>
oder: F 5000-50FF AA <CR>

Mit dem Fill-Kommando können beliebige Speicherbereiche mit einer Konstanten gefüllt werden. In unserem Beispiel wird der Speicher von Adresse 5000H bis 50FFH mit dem Datum AAH gefüllt.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 44FFH als Arbeitsspeicher. Auf diesen Bereich dürfen keine schreibenden Zugriffe gemacht werden.

Hinweis: Füllen des Speichers mit einer Datenfolge ist mit dem Move-Kommando möglich (siehe 3.16).



3.9 FC = FLOPPY CONTROL

FORMAT: FC (Disk-ID) (Spur in dezimal) <CR>

Beispiel: FC 1 20 <CR>

Die angegebene Spur 20 des Drive 0 (Mini double density ohne DMA, siehe 6.2) wird gelesen.

Dieses Kommando dient z.B. zur Reparatur von Laufwerken oder des Datenseparators. Folgende Unterkommandos sind hier möglich (Reaktionszeit liegt bei max. 2 Sekunden):

- I ---> gehe auf nächsthöhere Spur (IN)
- O ---> gehe auf nächstniedere Spur (OUT)
- Q ---> zurück in Testdebugger (QUIT)

Bei einer Überschreitung der Bereichsgrenzen (< Spur 0 oder > maximaler Spur) wird nichts getan.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

3.10 G = GO TO ADDRESS

FORMAT: G (Adresse) <CR>

Beispiel: G 2000 <CR>

Ein Maschinenprogramm ab Adresse 2000H wird gestartet. Dieses wird wie ein Unterprogramm behandelt, d.h. beim Finden eines RET Befehls (0C9H) wird ein Rücksprung zum Testdebugger ausgeführt.



3.11 I = PORT INPUT LOOP

FORMAT: I (Portadresse) <CR>

Beispiel: I 2 <CR>

Der Port mit der Adresse 02H wird laufend gelesen.

Dieses Programm dient für Messungen und erzeugt ein feststehendes Bild auf dem Oszilloskop.

Abbruch erfolgt mit der ESCAPE-Taste.

3.12 J = JUMP

FORMAT: J (Adresse) <CR>

Beispiel: J 6000 <CR>

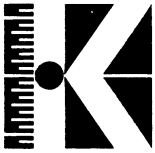
Wie GO-Kommando (siehe 3.10).

3.13 K= BETRIEBSSYSTEM LADEN

FORMAT: K <CR>

Beispiel: K <CR>

Lädt das Betriebssystem (z.B. KOS, CPM).



3.14 L = LOCATE

FORMAT: L (Startadresse) (Länge) (Daten) <CR>
oder : L (Startadresse) - (Endadresse) (Daten) <CR>

Beispiel: L 5000 2001 33 22 <CR>
oder: L 5000-7000 33 22 <CR>

Im Speicherbereich 5000H bis 7000H wird die BYTE-Kombination 33H 22H gesucht. Wird diese Kombination gefunden, so wird am Monitor ein Adressbereich von 30H um die gefundenen Daten ausgegeben.

3.15 LL = LOCAL

FORMAT: LL <CR>

Beispiel: LL <CR>

Jedes eingegebene Zeichen wird am Monitor ausgegeben, ohne eine Kommando-Ausführung zu bewirken (nur Echo).

Anwendungsbeispiel:

Kommentar zu einem z.Zt. laufenden Dauertest, Mitteilung an einen z.Zt. abwesenden Terminalbenutzer, Austesten von Anzeigeformaten oder Keyboardfunktionen.

Hinweis: Beim Drücken der <CR>-Taste erfolgt ein CARRIAGE RETURN (ASCII ODH) ohne LINE FEED (ASCII OAH).

Abbruch des LOCAL-Zustandes erfolgt mit der ESCAPE-Taste.

3.16 MO = MOVE

FORMAT: MO (Quelladresse) (Zieladresse) (Länge) <CR>

Beispiel: MO 3000 C000 300 <CR>

Der Speicherinhalt von Adresse 3000H bis 32FFH wird in den Speicherbereich C000H bis C2FFH kopiert.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Auf diesen Bereich dürfen keine schreibenden Zugriffe gemacht werden.



Hinweis: Mit dem Move-Kommando ist es auch möglich, den Speicher mit einer Folge von Daten zu füllen.

Beispiel: S 5000 41 4C 4D;MO 5000 5003 102 <CR>

Der Speicherbereich von Adresse 5003H bis 5104H wird mit der Datenfolge 41H, 4CH, 40H gefüllt.

3.17 MA = Memory Mapper programmieren

FORMAT : MA (X) <CR> (X = 0,..,7)

Beispiel : MA 2 <CR>

Auf den Platinen KDT Rev. 6.x und TCB/Z80 befinden sich insgesamt 256 KByte Schreib-/Lese-Speicher (RAM), die in Form von vier 64K-Bänken realisiert sind.

Da die Z80-CPU nur 64KByte adressieren kann, ist ein sogenannter Memory-Mapper (LS 610/612) vorhanden, der diesen Speicher verwaltet. Die genaue Funktion des Mappers kann der jeweiligen Hardware-Beschreibung (z.B. TCB/Z80 2.2.1) entnommen werden.

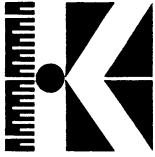
Nach RESET oder Einschalten der Spannungsversorgung ist der Mapper so initialisiert, daß die Speicherbank 0 im 64K-Adreßbereich der CPU liegt. Es gilt dann folgende Speicherverteilung:

```
0000..0FFF : Testdebugger (PROM)
1000..17FF : Boot-Software (PROM)
1800..1FFF : Disktest (PROM)
2000..3FFF : frei (RAM)
4000..41FF : Debugger RAM
4200..4EFF : frei (RAM)
4F00..4FFF : Boot RAM
5000..FFFF : frei (RAM)
```

Mit dem MA-Kommando kann nun entweder die erste oder die zweite Hälfte jeder 64K-Bank in den Bereich 8000..FFFF gemappt werden.

Im Bereich 0000..7FFF liegt immer die erste Hälfte von Bank 0.

```
MA oder MA 0 : 8000..FFFF = 2.Hälfte von Bank 0 (Standard)
MA 1 : 8000..FFFF = 1.Hälfte von Bank 0
MA 2 : 8000..FFFF = 1.Hälfte von Bank 1 (Beispiel)
MA 3 : 8000..FFFF = 2.Hälfte von Bank 1
MA 4 : 8000..FFFF = 1.Hälfte von Bank 2
MA 5 : 8000..FFFF = 2.Hälfte von Bank 2
MA 6 : 8000..FFFF = 1.Hälfte von Bank 3
MA 7 : 8000..FFFF = 2.Hälfte von Bank 3
```



3.18 Memory-Test

Für den Speichertest stehen zwei Kommandos zur Verfügung, MT und MX. Mit MT kann Speicher nur innerhalb einer Bank getestet werden, MX testet in allen Bänken.

3.18.1 MT = MEMORY-TEST innerhalb einer Speicherbank

```
FORMAT 1:  MT (Startadresse) (Länge) <CR>
oder      :  MT (Startadresse)-(Endadresse) <CR>
FORMAT 2:  MT (Startadresse) (Länge) (Anzahl Loops) <CR>
oder      :  MT (Startadresse)-(Endadresse) (Anzahl Loops) <CR>
```

```
Beispiel 1: MT 6000 1000 <CR>
oder       : MT 6000-6FFF <CR>
Beispiel 2: MT 6000 1000 33 <CR>
oder       : MT 6000-6FFF 33 <CR>
```

Der Speicherbereich von Adresse 6000H bis 6FFFH wird getestet. Die Angabe der Anzahl der Loops ist optional (Beispiel 2). Der Test läuft in Beispiel 1 solange, bis ein Abbruch mit <ESC> (siehe 1.2.1) oder mit einer beliebigen Taste (siehe 1.2.2) erfolgt. In Beispiel 2 wird der Memorytest insgesamt 33 mal (= Anzahl der eingegebenen Loops) durchgeführt.

Das Testergebnis erscheint am Monitor entweder als:

"NO ERROR DETECTED !"

oder als "MEMORY-ERROR AT ADDRESS "

unter Angabe der fehlerhaften Speicherstelle und deren IST- und SOLL-Wert. Dabei ist zu beachten, daß der Memorytest im Fehlerfall dann abgebrochen wird, wenn "ES" (siehe 3.7) aktiviert ist.

Hinweis: Der Memorytest ist zerstörend und darf daher nicht im Speicherbereich von 4000H bis 41FFH durchgeführt werden, da dies der Arbeitsspeicher des Testdebuggers ist.



3.18.2 MX = MEMORY-TEST über alle Bänke

=====

FORMAT 1 : MX (Startadresse) (Länge) <CR>
oder : MX (Startadresse)-(Endadresse) <CR>
FORMAT 2 : MX (Startadresse) (Länge) (Anzahl Loops) <CR>
oder : MX (Startadresse)-(Endadresse) (Anzahl Loops) <CR>

Beispiel : MX 4200-FFFF 2 <CR>

Der Bereich von 4200-FFFF wird getestet, wobei im Bereich 8000..FFFF über alle Bänke getestet wird.

Mit MX kann sowohl die Funktionsfähigkeit des Memory Mappers als auch aller Speicherbänke getestet werden. Der Ablauf dabei ist folgendermaßen :

- a) Die Bänke 1..3 werden mit einem bestimmten Datenmuster gefüllt (1.Hälfte Bank 1 mit 02, 2.Hälfte mit 03 usw.).
- b) In Bank 0 wird der angegebene Bereich getestet (genau wie bei MT-Kommando).
- c) Falls Test in Bank 0 erfolgreich, wird geprüft ob die Datenmuster in den folgenden Bänken unverändert geblieben sind. Falls nicht erfolgt in der entsprechenden Bank eine Fehlermeldung : ERROR IN BANK X (X = 1..3). Der Mapper bleibt in diesem Fall auf diese Bank programmiert, so daß die betreffende Bank sofort überprüft werden kann .
- d) Falls kein Fehler auftrat, wird die erste Hälfte von Bank 1 in den Bereich 8000..FFFF gemappt (entspricht dem Kommando MA 2)
- e) Der angegebene Bereich wird getestet.
- f) Das Datenmuster in den folgenden Bänken wird geprüft.
- g) Falls kein Fehler, wird die zweite Hälfte von Bank 1 nach 8000..FFFF gemappt usw.

Während des Tests wird ausgegeben, welche Bank gerade getestet wird, bei erfolgreichem Ablauf ergibt sich (pro Durchlauf) der Ausdruck :

MEMORY TEST BANK 0 1 1 2 2 3 3 NO ERROR DETECTED !

Da die Bänke 1..3 in zwei Hälften getestet werden, erscheint die Bank-Nr. zweimal im Ausdruck.

Im Bereich 0000..7FFF liegt immer die 1.Hälfte von Bank 0, dies bedeutet, daß bei dem oben angegebenen Beispiel der Bereich 4200-7FFF von Bank 0 mehrfach (pro Durchlauf 7 mal) getestet wird.



Beispiele für mögliche Fehlermeldungen :

MEMORY TEST BANK 0 ERROR IN BANK 1

Bank 0 wurde erfolgreich getestet, in Bank 1 wurde das am Anfang eingetragene Datenmuster (02/03) nicht gefunden. Es liegt entweder ein Speicherfehler in Bank 1 vor oder der Mapper funktioniert nicht.

MEMORY TEST BANK 0 ERROR IN BANK 3

Bank 0 erfolgreich getestet, in Bank 3 wurde das eingetragene Datenmuster (06/07) nicht gefunden. Mapper vermutlich in Ordnung, wahrscheinlich Speicherfehler in Bank 3 .

Falls nach einer Fehlermeldung oder nach <ESC> abgebrochen wird, bleibt der Memory Mapper in dem Zustand indem er zuletzt war.

Bei normalem Ende (ohne Fehler) wird der Mapper wieder auf Bank 0 initialisiert.

3.19 0 = PORT OUTPUT LOOP

FORMAT: 0 (Portadresse) (Daten) <CR>

Beispiel: 0 2 55 <CR>

Auf den Port 02H wird laufend 55H geschrieben.

Dieser Test dient für Messungen und erzeugt ein feststehendes Bild auf dem Oszilloskop.

Abbruch erfolgt mit der ESCAPE-Taste.

3.20 OF = SERIELLE SCHNITTSTELLE AUSSCHALTEN

FORMAT: OF <CR>

Beispiel: OF <CR>

Mit diesem Kommando wird die serielle Schnittstelle abgeschaltet. An der Initialisierung wird nichts geändert.

Welche serielle Schnittstelle (A oder B) ausgeschaltet wird, hängt von der vorliegenden Debugger-Version ab (siehe 1.1).



3.21 ON = SERIELLE SCHNITTSTELLE EINSCHALTEN

FORMAT: ON <CR>

Beispiel: ON <CR>

Mit diesem Kommando wird die serielle Schnittstelle eingeschaltet, die Baudrate ist auf 9600 Baud gestellt.

Die Initialisierung des SIO geschieht sofort nach Reset oder Kaltstart und nicht erst nach der Ausführung des ON-Kommandos.

Welche serielle Schnittstelle (A oder B) eingeschaltet wird, hängt von der Debugger-Version ab (siehe 1.1).

3.22 OV = OVERLAY EINSCHALTEN

FORMAT: OV <CR>

Beispiel: OV <CR>

Nur bei entsprechender Hardware für Bildverarbeitung möglich.

Mit dem OV-Kommando ist es möglich, das Computerbild mit einem Videobild (TV-Kamera oder Videorecorder) zu überlagern.

3.23 P = PAUSE

FORMAT 1: P <CR>

FORMAT 2: P (Anzahl der Loops) <CR>

Beispiel 1: D 0 100;P;MV;P;MT 4500 2000 <CR>

Beispiel 2: S 5000 /D 0 50;P 5;D 5000 30;D0 5000 <CR>

Dies Kommando kann nur in einer Kommandofolge sinnvoll integriert sein. Es unterbricht die laufende Abarbeitung einer Kommandofolge, um auf eine Eingabe zu warten. Beim Drücken einer beliebigen Taste wird das nächste Kommando bearbeitet. Die ESC-Taste (siehe 1.2.1) bricht die Befehlsfolge ab. Damit ist eine Kontrolle über die einzelnen Schritte der Kommandofolge möglich.

Wird die optionelle Angabe der Anzahl der Loops benutzt (Beispiel 2), so reagiert das Pause-Kommando nur nach der angegebenen Anzahl der Durchläufe (hier 5 Durchläufe).



3.24 RA = PROM - RAM UMSCHALTUNG

FORMAT: RA <CR>

Beispiel: RA <CR>

Der Inhalt der E-Proms wird in die untere RAM-Bank kopiert, die Adresse 0000H-2000H als Prombereich abgeschaltet und auf RAM umgeschaltet.

3.25 RD = READ LOOP

FORMAT: RD (Adresse) <CR>

Beispiel: RD 3000 <CR>

Die Adresse 3000H wird laufend gelesen.

Dieses Kommando dient für Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop.
Abbruch erfolgt mit der ESC-Taste.

3.26 RC = RECALIBRATE

FORMAT : RC (Drive-ID) <CR>

Der Schreib/Lesekopf des angegebenen Laufwerks wird auf Spur 0 gefahren.

3.27 RS = READ SECTOR

FORMAT 1: RS (Drive-ID) (Track Sector) (Adresse) <CR>

FORMAT 2: RS <CR>

Beispiel 1: RS 1 2001 5000 <CR>

Beispiel 2: RS <CR>

Beispiel 1 liest Daten gemäß der Drive-ID (siehe 6.2) von Drive 0 (Mini double density ohne DMA) Spur 20 Sektor 1 auf die Adresse 5000H bis 50FFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 50FFH angezeigt.



Bei single density wird nur ein Speicherbereich von 80H beschrieben und angezeigt .

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benützt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF . Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.28 RT = READ TRACK

FORMAT 1: RT (Drive-ID) (Track) (Adresse) <CR>
FORMAT 2: RT <CR>

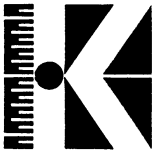
Beispiel 1: RT A 20 5000 <CR>
Beispiel 2: RT <CR>

Beispiel 1 liest Daten gemäß der Drive-ID (siehe 6.2) von Drive 0 (Mini double density mit DMA) Spur 20 auf die Adresse 5000H bis 5FFFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 515FH angezeigt. Der gesamte Datensatz kann mit dem Kommando D 5000 1000 angezeigt werden. Bei single density wird nur ein Block von 800H Bytes eingelesen.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benützt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF . Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.



3.29 S = SET MEMORY

FORMAT 1: S (Adresse) (Daten) (Daten).....(Daten) <CR>
FORMAT 2: S (Adresse) /(TEXT) <CR>

Beispiel 1: S 5000 34 56 78 90 <CR>
Beispiel 2: S 5000 /MT 3000 1000 9;CP 8000 C000 4000 <CR>

In Beispiel 1 wird auf die Adresse 5000H das Datum 34H, auf die Adresse 5001H das Datum 56H usw. geschrieben.

Beispiel 2 zeigt das Eintragen eines alphanumerischen Textes. Dies wird durch Eingabe eines SLASH (/) nach der Startadresse erreicht.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.30 SP = SET PORT

FORMAT: SP (Portadresse) (Daten) (Daten) (Daten) <CR>

Beispiel: SP 80 55 <CR>

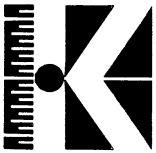
Dieser Befehl schreibt das Datum 55H auf den Port 80H.

Beispiel für die Initialisierung des SIO Kanal A (Datenport: 04H, Controllport: 06H) auf folgende Werte:

Baudrate 2400
CTS aktiv, 8 Bit/Char, kein Parity, Auto Enable, 2 Stoppbits

SP A 47 32 <CR> (für den CTC1 Kanal 2 Baudrate 2400)
SP 6 04 4C 05 EA 03 E1 <CR> (für den SIO Port A)

Es wird darauf hingewiesen, daß bei nicht bedienten CTS-Signal (z.B. bei 3-Draht-Leitung) im angeführten Beispiel keine Übertragung möglich ist (wegen Programmierung von CTS aktiv und Auto Enable) !



3.31 ST = SET REFRESH TIME

FORMAT 1: ST <CR>
FORMAT 2: ST (Konstante) <CR>

Beispiel 1: ST <CR>
Beispiel 2: ST 10 <CR>

Die Refresh Zyklen des Speichers können beim Memorytest (auch Video) unterdrückt werden. In diesem Beispiel werden sie $10H * 2 \text{ ms} = 32 \text{ ms}$ unterdrückt ($10H = 16 \text{ Dezimal} \rightarrow 32 \text{ ms}$).

Die Konstante kann bis maximal 20H erhöht werden, wobei der Grenzwert stark von den jeweils verwendeten RAM-Typen abhängt (teilweise ist auch 80H und mehr möglich).

VOREINSTELLUNG : 5H

3.32 TP = TESTPROGRAMM

FORMAT: TP (Drive-ID) <CR>

Beispiel: TP 2 <CR>

Mit diesem Kommando werden gemäß Drive-ID (siehe 6.2) Daten von Drive 1 (Mini double density ohne DMA) Spur 0 Sektor 1 in den Speicher ab Adresse 5000H eingelesen. Anschließend erfolgt automatisch das Kommando "DO 5000".

ANWENDUNG:

Auf Spur 0 Sektor 1 einer Diskette wird eine Kommandofolge geschrieben. Die Abarbeitung der Kommandos kann dann durch das TP-Kommando gestartet werden. Somit lassen sich Testprogramme sehr einfach implementieren.

3.33 W = WRITE LOOP

FORMAT: W (Adresse) (Daten) <CR>

Beispiel: W 5000 55 <CR>

Auf die Adresse 5000H wird laufend das Datum 55H geschrieben. Dieses Kommando dient Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop.



Abbruch erfolgt mit der ESC-Taste.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4FOO..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.34 WR = WRITE / READ LOOP

FORMAT: WR (Adresse) (Daten) <CR>

Beispiel: WR 5000 55 <CR>

Auf die Adresse 5000H wird laufend das Datum 55H geschrieben und wieder gelesen.

Dieses Kommando dient Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop.

Abbruch erfolgt mit der ESC-Taste.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4FOO..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.35 WS = WRITE SECTOR

FORMAT 1: WS (Drive-ID) (Track Sector) (Adresse) <CR>

FORMAT 2: WS <CR>

Beispiel 1: WS 2 2201 6000 <CR>

Beispiel 2: WS <CR>

Beispiel 1 schreibt Daten gemäß Drive-ID (siehe 6.2) von Adresse 6000H bis 60FFH auf Drive 1 (Mini double density ohne DMA) Spur 22 Sector 1.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Floppy-Befehl verwendeten Parameter verwendet.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.



3.36 WT = WRITE TRACK

FORMAT 1: WT (Drive-ID) (Track) (Adresse) <CR>
FORMAT 2: WT <CR>

Beispiel 1: WT A 20 5000 <CR>
Beispiel 2: WT <CR>

Beispiel 1 schreibt Daten auf Drive 0 (Mini double density mit DMA) Spur 20 von der Adresse 5000H bis 5FFFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 515FH angezeigt. Bei single density wird nur ein Block von 800H Bytes geschrieben.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benützt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.



4. Systemaufrufe und Einsprungpunkte

Mit dem Test-Debugger erhält der Benutzer die Möglichkeit, fertige Test- und Diagnoseprogramme abarbeiten zu lassen, sowie ein Paket von Unterprogrammen, die über speziell geschaffene Einsprungpunkte aufgerufen werden können.

Damit ist ein einfacher Weg geschaffen, schnell und problemlos Maschinenprogramme zu schreiben, die auch komplizierte Ein- und Ausgaben durchführen können. Die zur Verfügung stehenden Einsprungpunkte sind nachstehend mit Beispielen beschrieben.

4.1 Kaltstart

FORMAT: C3 00 00 MNEMO-CODE: JP 0000H
oder : C7 RST OH

Es erfolgt eine Hard- und Software-Neuinitialisierung. Der Kaltstart entspricht einem RESET.

Hinweis: Der PIO-Baustein hat keinen Reset-Eingang und bleibt daher auch nach einem Reset oder Kaltstart initialisiert.

4.2 Warmstart

FORMAT: C3 02 00 MNEMO-CODE: JP 0002H

Der Warmstart initialisiert die Software und setzt den Stackpointer neu.

Nach Abarbeitung dieser Routine meldet sich der Testdebugger mit der Ausgabe der vollen Überschrift.



4.3 Monitorausgabe

FORMAT: CD 08 00 MNEMO-CODE: CALL 0008H
oder : CF RST 8H

Eingaberegister: <A>
Ausgaberegister: keine
Zerstörte Register: keine

Der RST 8 gibt ein ASCII-Zeichen, das im Register <A> steht, auf dem Bildschirm an der aktuellen Cursor-Stelle aus.

Hinweis: Wenn die serielle Schnittstelle A eingeschaltet ist ("ON-Kommando" siehe 3.21), erfolgen sämtliche Ein- und Ausgaben auch zusätzlich über die serielle Schnittstelle.

Beispiel: S 5000 3E 55 CF C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 55	LD A,55H	ASCII-CODE FÜR "U" IN <A>
5002	CF	RST 8H	AUSGABE EINES ASCII-ZEICHENS
5003	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.4 Eingabe eines ASCII-Zeichens mit ECHO

FORMAT: CD 0B 00 MNEMO-CODE: CALL 000BH

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Jedes eingegebene Zeichen wird auf dem Bildschirm angezeigt (optional serielle Schnittstelle siehe 3.21).

BEISPIEL: S 5000 CD 0B 00 C9;J 5000 <CR>

Nun kann ein beliebiges Zeichen eingegeben werden, das sofort am Bildschirm an der aktuellen Cursor-Stelle erscheint.



4.5 Prüfung auf Eingabe

FORMAT: CD OE 00 MNEMO-CODE: CALL 000EH

Eingaberegister: keine
Ausgaberegister: <F> (Z-Flag)
Zerstörte Register: <AF>

Soll in einem Programm abgefragt werden, ob eine Eingabe (optional serielle Schnittstelle siehe 3.21) erfolgt ist, bietet sich dieses Unterprogramm als Hilfe an. Ist ein Zeichen eingegeben worden, so wird das Z-Flag zurückgesetzt. Wurde kein Zeichen eingegeben, so ist das Z-Flag gesetzt. Gleichzeitig kann im Register <A> das eingegebene Zeichen abgefragt werden.

Hinweis: Das eingelesene Zeichen bleibt weiterhin present. Es gilt erst als ausgelesen, wenn es über Einsprung OBH (siehe 4.4) oder 10H (siehe 4.6) eingelesen wurde.

4.6 Eingabe eines ASCII-Zeichens

FORMAT: CD 10 00 MNEMO-CODE: CALL 0010H
oder : D7 RST 10H

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Diese Subroutine wartet auf die Eingabe eines ASCII-Zeichens (optional serielle Schnittstelle, siehe 3.21) und liest dieses in das Register <A> ein.

Beispiel: S 5000 D7 32 50 50 C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	D7	RST 10H	ASCII-ZEICHEN IN AKKU
5001	32 50 50	LD (5050H),A	ASCII-ZEICHEN NACH ADRESSE 5050H SCHREIBEN
5004	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

Mit dem Display-Befehl kann leicht nachgeprüft werden, daß das eingegebene Zeichen wirklich von Register <A> auf die Adresse 5050H geladen worden ist.



4.7 Ausgabe von "CURSOR AUF ANFANG DER NÄCHSTEN ZEILE" und Testausgabe

FORMAT: CD 13 00 MNEMO-CODE: CALL 0013H

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <AF> (A=0), <HL>

Der Cursor wird auf den Anfang der nächsten Zeile gesetzt und anschließend erfolgt ein Sprung auf den Einsprungpunkt 18H, der einen Text ausgibt, der mit OOH als Ende-Markierung versehen sein muß. Die Adresse des Textes muß vorher in das Register <HL> geladen werden.

Beispiel: S 5050 /TEXTAUSGABE <CR>
S 505B 00 <CR> (Ende-Markierung)
S 5000 21 50 50 CD 13 00 C9;J 5000 <CR>

Ausgabe: TEXTAUSGABE

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 50 50	LD HL,5050H	ADRESSE DES TEXTANFANGS NACH <HL>
5003	CD 13 00	CALL 0013H	TEXT AM ANFANG DER NÄCHSTEN ZEILE AUSGEBEN
5006	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.8 Textausgabe

FORMAT: CD 18 00 MNEMO-CODE: CALL 0018H
oder : DF RST 18H

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <AF> (A=0), <HL>

Der Text wird ab der aktuellen Cursorposition ausgegeben, und zwar bis OOH, was als Ende-Markierung vereinbart ist.



4.9 Ausgabe von 2 Byte als 4 ASCII-Zeichen

FORMAT: CD 1B 00 MNEMO-CODE: CALL 001BH

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <A>

Der Inhalt des Registers <HL> wird als 4-stellige Hexzahl aufgefaßt, die Hexziffern werden in ASCII-Zeichen umcodiert und anschließend ausgegeben.

Beispiel: S 5000 21 34 12 CD 1B 00 C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 34 12	LD HL,1234H	HEXZAHL 1234 IN <HL> SCHREIBEN
5003	CD 1B 00	CALL 001BH	INHALT VON <HL> IN ASCII WANDELN UND AUSGEBEN
5006	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.10 Ausgabe eines Bytes als 2 ASCII-Zeichen

FORMAT: CD 20 00 MNEMO-CODE: CALL 0020H
oder : EF RST 20H

Eingaberegister: <A>
Ausgaberegister: keine
Zerstörte Register: keine

Das im Register <A> stehende Byte wird in 2 ASCII-Zeichen umgewandelt und ausgegeben.

Beispiel: S 5000 3E 55 E7 C9;J 5000 <CR>

Erklärung: (vergleiche dazu mit Beispiel in 4.3)

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 55	LD A,55H	ASCII-CODE FÜR "U" IN <A>
5002	E7	RST 20H	AUSGABE VON "55"
5003	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER



4.11 Ausgabe von "CURSOR AUF ANFANG DER NÄCHSTEN ZEILE"

FORMAT: CD 23 00 MNEMO-CODE: CALL 23H

Eingaberegister: keine
Ausgaberegister: keine
Zerstöre Register: keine

Es erfolgt ein Sprung von der aktuellen Cursorposition auf den Anfang der nächsten Zeile.

4.12 Ausgabe von 3 Leerzeichen

FORMAT: CD 26 00 MNEMO-CODE: CALL 0026H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Es werden 3 Leerzeichen ausgegeben. Ansonsten siehe 4.14.

4.13 Ausgabe von 2 Leerzeichen

FORMAT: CD 27 00 MNEMO-CODE: CALL 0027H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Es werden 2 Leerzeichen ausgegeben. Ansonsten siehe 4.14.



Wird jetzt während des Programmablaufs ein 'W' eingegeben unterbricht der Debugger die Programmfolge, irgend ein weiteres eingegebenes Zeichen läßt das Programm fortfahren (siehe 1.2.2). Mit der ESC-Taste wird das Programm völlig abgebrochen (siehe 1.2.1).

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 24	LD A,24H	ASCII-CODE VON "\$" IN AKKU
5002	CF	RST 8H	AUSGABE VON "\$"
5003	CD 33 00	CALL 0033H	PROGRAMMUNTERBRECHUNG ?
5006	CO	RET NZ	RETURN, WENN UNTERBRECHUNG
5007	C3 00 50	JP 5000H	SPRUNG AN DEN PROGRAMMBEGINN

4.16 Programmabbruch mit Meldung

FORMAT: CD 38 00 MNEMO-CODE: CALL 0038H
oder: FF RST 38H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: alle

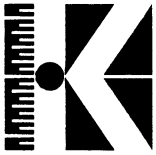
Wird in einem Programm der Befehl RST 38H (OFFH) erkannt, so wird ein Unterprogramm aufgerufen, welches das laufende Programm abbricht und folgende Meldung ausgibt:

BREAK AT (Adresse)

Als Adresse wird diejenige Speicherstelle angegeben, an der der nächste auszuführende Maschinenbefehl steht. Nach der Textausgabe erfolgt ein Warmstart (siehe 4.2).

Beispiel: S 5000 00 00 00 00 FF;J 5000 <CR>

Ausgabe: BREAK AT 5005



4.17 Einlesen eines Textes in einen Eingabepuffer

FORMAT: CD 3E 00 MNEMO-CODE: CALL 003EH

Eingaberegister: <A>,<HL>
Ausgaberegister:
Zerstörte Register: <AF>,,<HL>

Es wird in das Register <HL> die Startadresse und in das Register <A> die Länge des Eingabepuffers eingelesen. Diese Länge ist inklusive des abschließenden <CR> (ASCII ODH). Nach der Rückkehr aus der Eingaberoutine steht im Register die tatsächliche Anzahl der eingegebenen Zeichen ohne abschließendes <CR>.

Beispiel:S 5000 21 50 50 3E 10 CD 3E 00 78 32 10 50 C9;J 5000 <CR>

Es können jetzt 15 (= 10H) Zeichen eingegeben werden. Wird das 16-te Zeichen eingegeben, ertönt ein akustisches Signal um anzuzeigen, daß der Eingabepuffer voll ist.

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 50 50	LD HL,5050H	ZEIGER IN <HL> AUF EINGABEPUFFER
5003	3E 10	LD A,10H	PUFFERLÄNGE 10H BYTES
5005	CD 3E 00	CALL 003EH	EINGABE
5008	78	LD A,B	LADE ANZAHL NACH <A>
5009	32 10 50	LD (5010H),A	LADE ANZAHL NACH ADRESSE 5010H
500C	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

Eingabe: 123456789ABCDEF <CR>

Mit dem Display-Kommando (D 5000 60) kann die Funktion des Programms überprüft werden. Man sieht auf Adresse 505FH das ODH (von <CR>) und auf Adresse 5010H die Anzahl der eingegebenen Bytes (0FH = 15 Zeichen).

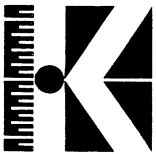
4.18 Auslesen eines Zeichens aus Eingabepuffer

FORMAT: CD 41 00 MNEMO-CODE: CALL 0041H

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Ein Zeichen, auf welches der Eingabepuffer-Zeiger zeigt (siehe 5.5), wird ins Register <A> eingelesen.

Hinweis: Ein Strichpunkt (;) wird als ODH (ASCII-Code für CR) interpretiert und eine Markierung gesetzt, daß noch weitere Kommandos folgen.



4.19 Pufferzeiger Hochzählen

FORMAT: CD 44 00 MNEMO-CODE: CALL 0044H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Der Eingabepuffer-Zeiger (siehe 5.5) wird um eins erhöht. Damit können Manipulationen an der Reihenfolge des Einlesens vom Eingabepuffer (siehe 4.18) vorgenommen werden.

4.20 Pufferzeiger herunterzählen

FORMAT: CD 47 00 MNEMO-CODE: CALL 0047H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Der Eingabepuffer-Zeiger (siehe 5.5) wird um eins erniedrigt. Damit können Manipulationen an der Reihenfolge des Einlesens vom Eingabepuffer (siehe 4.18) vorgenommen werden.

4.21 Einsprungpunkt für NON-MASKABLE INTERRUPT (NMI)

FORMAT: C3 66 00 MNEMO-CODE: JP 0066H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: alle

Auf Adresse 0066H steht eine Interrupt-Service-Routine für den NMI, welche einen Sprungbefehl auf die Adresse 400CH enthält (siehe 5.8). Als Voreinstellung steht auf der Adresse 400CH ein Sprung auf die Adresse 007FH. Es wird folgender Text ausgegeben:

NMI AT (Adresse)

Nach Ausgabe des Textes erfolgt ein Warmstart (siehe 4.2).

Soll bei NMI nicht die Voreinstellung erwünscht sein, so hat der Benutzer die Möglichkeit, durch Manipulation der Adresse 400CH eine andere Interrupt-Service-Routine aufzurufen.



Beispiel für eine Änderung der Interrupt-Service-Routine :

S 400C FB ED 45 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
4013	FB	EI	INTERRUPT FREIGEBEN
4014	ED 45	RETN	RÜCKSPRUNG AUS DER INTERRUPT-SERVICE-ROUTINE FÜR NMI



5. RAM-Speicheradressen

Folgende Speicheradressen stehen dem Anwender zur Verfügung:

4000H:	STATUS	
4001H:	LETZTE EINGABE	
4002H:	SCROLL-ADRESSE LOW	BYTE
4003H:	SCROLL-ADRESSE HIGH	BYTE
4004H:	CURSOR-ADRESSE LOW	BYTE
4005H:	CURSOR-ADRESSE HIGH	BYTE
4006H:	EINGABE PUFFERZEIGER LOW	BYTE
4007H:	EINGABE PUFFERZEIGER HIGH	BYTE
4008H:	REFRESH ZEIT KONSTANTE	
4009H:	WARTESCHLEIFE FÜR MEMORYTEST	(3 BYTES)
400CH:	NMI UNTERPROGRAMM FÜR MEMORYTEST	(3 BYTES)
400FH:	WARTESCHLEIFE FÜR MONITORAUSGABE	(3 BYTES)
4012H:	CURSOR ON-OFF FLAG	
4013H:	INVERT SCREEN FLAG	
4014H:	SIO-AUSGABE ROUTINE	(3 BYTES)
4017H:	ESCAPE ROUTINE	(3 BYTES)
401AH:	RECEIVE ROUTINE FÜR TESTSYSTEM	(3 BYTES)

5.1 Status

Diese Speicherzelle beinhaltet den Status des Statusports 1CH. Da dieser Port nicht gelesen werden kann, muß der jeweilige Zustand zusätzlich auf der Adresse 4000H gespeichert werden. Dabei bedeuten (1/0) :

BIT 0:	WATCHDOG ENABLE/DISABLE
BIT 1:	4 MHZ / 2MHZ SYSTEM-TAKT
BIT 2:	AUDIO ENABLE/DISABLE
BIT 3:	NOT USED
BIT 4:	SIO-A und DMA / FDC und DMA
BIT 5:	PROM OFF / ON
BIT 6:	MINI-FLOPPY / STANDARD-FLOPPY
BIT 7:	FLOPPY MOTOR ON/OFF

Jede Änderung muß sowohl auf den Statusport 1CH als auch auf die Speicherzelle 4000H geschrieben werden.



5.2 Letzte Eingabe

Jedes durch Interrupt empfangene Zeichen (Keyboard, serielle Schnittstelle) wird auf der Speicherzelle 4001H abgelegt, bis es ausgelesen wird (siehe 4.4, 4.5, 4.6). Nach dem Auslesen wird die Speicherzelle auf 00H gesetzt um anzuzeigen, daß kein Zeichen präsent ist.

5.3 Scroll-Adresse

Die Scroll-Adresse ist die aktuelle Anfangsadresse der Bildschirm-Ausgabe. Die Adresse wird relativ zur Anfangsadresse des Bildspeichers (0000H) angegeben. Durch Umsetzen der Scroll-Adresse kann im Bildspeicher "geblättert" werden. Das Low-Byte der Scroll-Adresse steht auf Adresse 4002H, das High-Byte auf Adresse 4003H. Von den vorhanden 64K Bildspeicher werden im Debugger nur 16K unterstützt, das entspricht 8 Bildschirmseiten. Die Scroll-Adresse bewegt sich somit immer im Bereich 0000..3FFFH .

5.4 Cursor-Adresse

Die Cursor-Adresse ist die aktuelle Position des Cursors relativ zur Anfangsadresse des Bildspeichers (8000H). Eine Umpositionierung des Cursors ist jederzeit möglich, besonders auch unter Einbeziehung der Scroll-Adresse. Das Low-Byte der Cursor-Adresse steht auf Adresse 4004H, das High-Byte auf Adresse 4005H.

5.5 Eingabe Pufferzeiger

Der Eingabe Pufferzeiger zeigt auf die aktuelle Speicherzelle des Eingabe-Puffers (siehe 4.18, 4.19, 4.20). Das Low-Byte steht auf Adresse 4006H, das High-Byte auf Adresse 4007H.

5.6 Refresh Zeit-Konstante

Die Speicherzelle 4008H enthält den Wert für die Zeitspanne, während der die Refresh-Zyklen beim Memorytest unterdrückt werden (siehe 3.30).



5.7 Warteschleife für Memorytest

Nach jedem Schreibvorgang wird eine Subroutine mit CALL 4009H aufgerufen. Normalerweise steht dort ein RET (0C9H) und dahinter die Adresse einer Warteroutine von 3.3 Sekunden Verzögerungszeit bei einer Refresh Zeit Konstante von 5H. Schreibt man nun Jump (0C3H) auf die Speicherzelle 4009H, so wird diese Subroutine in den Memorytest eingebunden und ein Testdurchlauf benötigt von da an wesentlich mehr Zeit und man hat eine Kontrolle, ob der Speicher die eingeschriebenen Daten auch längere Zeit behalten kann.

5.8 NMI Service Routine

Um die NMI-Service Routine (Non-Maskable-Interrupt) verändern zu können wurde auf der Speicherstelle 400CH eine Änderungsmöglichkeit eingerichtet. Bei der Software-Initialisierung steht hier ein Sprung auf eine Meldung (JP 007FH = Jump auf Adresse 7FH). Es kann jedoch auch auf eine andere Routine durch entsprechendes Ändern der Adressen 400DH (Low-Byte) und 400EH (High-Byte) gesprungen werden (siehe auch 4.21).

5.9 Warteschleife für Monitorausgabe

Mit CTRL-S (siehe 6.5) kann die Geschwindigkeit der Ausgabe auf dem Bildschirm gesteuert werden. Dies geschieht durch ein Ändern der Speicherzelle 400FH. Normalerweise steht dort 0C9H (RET). Nach Eingabe von CTRL-S wird ein 0C3H (JP) eingetragen, was bei der Ausgabe einen Sprung auf eine Zeitschleife zur Folge hat. Bei der nächsten Eingabe von CTRL-S wird wieder auf 0C9H (RET) zurückgeschaltet.

5.10 Cursor On-Off

Auf dieser Speicherzelle wird die jeweilige Programmierung des Cursors im Videocontroller eingetragen. Diese kann mit CTRL-T (siehe 6.5) geändert werden.



5.11 Invert Screen Flag

Auf dieser Speicherzelle wird die jeweilige Programmierung des Bildschirms eingetragen. Diese kann mit CTRL-R (siehe 6.5) geändert werden.

5.12 Serielle Ausgabe

Auf Adresse 4014H steht je nach Status der seriellen Ausgabe (siehe 3.20 bzw. 3.21) ein Sprung zur Ausgabe über die serielle Schnittstelle (C3 54 08 = JP 0854H) oder ein RET (0C9H).

5.13 ESCAPE-Routine

Auf Adresse 4017H steht ein Sprung zum Unterprogramm für die ESC-Funktion. Soll die ESC-Funktion (sofortiger Programmabbruch) unwirksam sein (wie bei allen Disk-Zugriffen), so wird auf dieser Adresse Return (0C9H) eingetragen. Ansonsten steht dort ein Sprungbefehl (0C3H).

Es gibt die Möglichkeit, das bei Eingabe von ESC angesprochene Unterprogramm durch Eintragen eine Adresse auf Speicherzeller 4018H (Low-Byte) und 4019H (High-Byte) zu maskifizieren. Es muß allerdings darauf geachtet werden, daß so bald als möglich ein RETI-Befehl gegeben wird, da das Escape-Unterprogramm eine Interrupt-Service-Routine ist.



6. Erläuterung zu PROM 2 (Floppy-Routine)

Das Prom 2 (Adresse 1000H-1FFFH) enthält alle notwendigen Unterprogramme zum Ansprechen von Disk-Laufwerken. Hierzu kurz einige Hinweise für diejenigen, die etwas tiefer einsteigen wollen.

6.1 Autostart

Bei Reset wird normalerweise automatisch das Betriebssystem geladen. Dieser sogenannte Autostart wird durch einen Sprung auf Adresse 1000H erreicht. Auf welchen Laufwerken der BOOT (Zwischenprogramm zum Starten der Betriebssoftware mit Namen BOOT2.SYS) gesucht werden soll, steht in einer 20H langen Tabelle ab Adresse 1010H. Zwei Angaben sind dazu erforderlich, nämlich die Codierung für das angesprochene Laufwerk und die Spur, die als Inhaltsverzeichnis (Directory) angesprochen werden soll. Das Ende der Tabelle muß mit zweimal OFFH markiert sein.

Folgende Bitzuordnung für die Laufwerke gilt:

B0 + B1	2 Bits für Drive-Nummer	(0-3)
B2	Single/Double-Density	(0/1)
B3	Single/Double-Head	(0/1)
B4	Mini/Std.-Drive	(0/1)
B5	Non-DMA/DMA	(0/1)
B6	Floppy-Disk/Hard-Disk	(0/1)
B7	Implementiert (NO/YES)	(0/1)

Dazu ein Beispiel (nach RA-Kommando siehe 3.24 möglich)

```
S 1010 84 04 85 04 B4 26 B5 26 C4 03 80 05 FF FF <CR>
```

Hier würde der Reihe nach gesucht auf:

```
Minifloppy double-density Drive 0 non DMA auf Spur 4
Minifloppy double-density Drive 1 non DMA auf Spur 4
Standardfloppy double-density Drive 0 DMA auf Spur 26
Standardfloppy double-density Drive 1 DMA auf Spur 26
Mini-Hard-Disk DMA auf Spur 3
Minifloppy single-density Drive 0 non DMA auf Spur 5
```

Hinweis: Die Option Standard-Hard-Disk ist aus Platzgründen nicht implementiert.
Bei Standard-Drives und Hard-Disk ist aus Geschwindigkeitsgründen immer DMA zu verwenden.



6.2 Arbeiten mit Vektor

Für direktes Lesen von der Floppy kann über den Einsprungpunkt 1006H gearbeitet werden. Dazu ist mit dem Register <IX> ein Vektor aufzubauen. Es gilt folgende Vereinbarung:

- (IX + 00) = Drive-Identifikation nach Tabelle in 6.3.1 ohne Bit 3 und Bit 7
- (IX + 01) = Kommando Byte (00 = Recalibrate 02 = Read Track;
03 = Read Sektor; 04 = Write Sektor;
05 = Write Track)
- (IX + 02) = Track Byte (Angabe des zu bearbeitenden Tracks)
- (IX + 03) = Sektor Byte (Angabe des zu bearbeitenden Sektors)
- (IX + 04) = Reserviert
- (IX + 05) = Fehler Byte (Byte für Rückmeldung eines aufgetretenen Fehlers)
- (IX + 06) = Buffer-Adresse (Angabe der Buffer-Adresse Low-Byte)
- (IX + 07) = Buffer-Adresse (Angabe der Buffer-Adresse High-Byte)
- (IX + 08) = Anzahl Versuche (Angabe der Anzahl der Schreib-Lese-Versuche)
- (IX + 09) = Fehler Zähler (Zähler für die Anzahl der aufgetretenen Fehler)
- (IX + 10) = Reserviert
- bis
- (IX + 15) = Reserviert

Alle Kommandos werden auf einen Vektor dieser Art umgesetzt. Als Anzahl der Versuche gilt 5 als Voreinstellung.

6.3 Fehlermeldungen Floppy

Bei Floppy-Disk-Zugriffen sind folgende Fehlermeldungen implementiert:

6.3.1 Format

Bei falschen Parametern wird, soweit in einem Programm dieser Kürze eine Erkennung möglich ist, die Meldung

* FORMAT *

ausgegeben. Intern hat dieser Fehler den Error-Code 81H.



6.3.2 DRIVE NOT READY

Alle nicht näher spezifizierten Fehler werden mit dieser Fehlermeldung angezeigt. Intern hat dieser Fehler den Error-Code 82H.

6.3.3 READ NOT POSSIBLE

Wenn der Disk-Controller die Sektormarkierungen nicht lesen kann, wird diese Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 83H.

6.3.4 CRC-ERROR

Auf jedem Sektor ist ein Schutz gegen Fehler in Form von einer Prüfsumme eingetragen. Wenn diese Prüfsumme nicht mit dem Inhalt des Sektors übereinstimmt, so wird eine Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 84H.

6.3.5 DISK WRITE PROTECTED

Wird bei einem schreibenden Zugriff auf die Diskette festgestellt, daß diese durch Aufkleben des Schreibschutzes geschützt ist, so wird diese Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 85H.



Der Test kann mit W angehalten und mit jeder anderen Taste abgebrochen werden.

Wird bei VERSUCHE : nur <CR> eingegeben so werden 99 Versuche gemacht, wird bei LOOPS : nur <CR> eingegeben so werden 9999 Durchläufe gemacht.



7. Tabellen

7.1 KOMMANDOS

Befehle	Erklärung	Anzahl der Eingaben	Format
1)	A Again	0	
2)	CP Compare	3	Anf.-Adr.1 Anf.-Adr.2 Länge
3)	D Display and alter	1	Adresse
	Display Memory	2	Adresse -Adr./Länge
4)	DO Kommandoausführung	1	Adresse
5)	DP Display Port	1	Port-Adresse
6)	EG Go by Error	0	
7)	ES Stop by Error	0	
8)	F Fill	3	Anf.-Adr. -Adr./Länge Wert
9)	FC Floppy Controlmode	2	Disk-ID Track
10)	G Go	1	Adresse
11)	I In-Loop Port	1	Port Adresse
12)	J identisch mit GO	1	Adresse
13)	K Betriebssystem laden	0	
14)	L Locate	optional	Anf.-Adr. -Adr./Länge Wert.
15)	LL Local-Mode	0	
16)	MO Move	3	Quell-Adr. Ziel-Adr. Länge
17)	MA Mapper Programmierung	1	Bank Nr.
18a)	MT Memory-Test (in 1 Bank)	2	Anf.-Adr. -Adr./Länge
	Memory-Test	3	Anf.-Adr. -Adr./Länge Anzahl
18b)	MX Memory-Test (alle Bänke)	2	Anf.-Adr. -Adr./Länge
	Memory-Test	3	Anf.-Adr. -Adr./Länge Anzahl
19)	O Output-Loop Port	2	Port-Adr. Wert
20)	OF Serielle Schnittstelle ausschalten	0	
21)	ON Serielle Schnittstelle einschalten (9600 Baud)	0	
22)	OV Overlay einschalten (nur bei spezieller Hardware möglich)	0	
23)	P Pause	0	
	Pause	1	Schleifenzähler
24)	RA RAM-Umschaltung	0	
25)	RD Read-Loop Memory	1	Adresse
26)	RC Recalibrate Disk	1	Disk-ID
27)	RS Read Sector	0	alte Werte
	Read Sector	3	Disk-ID Track/Sector Adr.
28)	RT Read Track	0	alte Werte
		3	Disk-ID Track/Sector Adr.
29)	S Set Memory	optional	Adresse Wert Wert....
30)	SP Set Port	optional	Port-Adr. Wert Wert....
31)	ST Zeit-Konstante anzeigen	0	
	Zeit-Konstante setzen	1	Wert
32)	TP Testprogramm	1	Disk-ID
33)	W Write-Loop Memory	2	Adresse Wert
34)	WR Write-Read-Loop Memory	2	Adresse Wert
35)	WS Write Sector	0	alte Werte
	Write Sector	3	Disk-ID Track/Sector Adr.
36)	WT Write Track	0	alte Werte
		3	Disk-ID Track/Sector Adr.



7.2 DRIVE-ID TABELLE

<u>Drive-ID</u>	<u>Bedeutung</u>	<u>Laufwerk</u>	
1	5" Mini	0	double density ohne DMA
2	5" Mini	1	double density ohne DMA
3	5" Mini	0	single density ohne DMA
4	5" Mini	1	single density ohne DMA
5	8" Standard	0	double density mit DMA
6	8" Standard	1	double density mit DMA
7	8" Standard	0	single density ohne DMA
8	8" Standard	1	single density ohne DMA
9	5" Winchester		double density mit DMA
A	5" Mini	0	double density mit DMA
B	5" Mini	1	double density mit DMA
C	5" Mini	0	single density mit DMA
D	5" Mini	1	single density mit DMA
E	8" Standard	0	single density mit DMA
F	8" Standard	1	single density mit DMA

Bei double-sided Laufwerken kann durch eine führende "1" bei der Drive-ID die Seite 2 angesprochen werden.

Beispiel: "16" bedeutet Seite 2 des linken 8" Standard Laufwerks, double density mit DMA.

Im Allgemeinen gilt die Zuordnung : Laufwerk 0 = rechts oder oben
Laufwerk 1 = links oder unten



7.3 Steuerzeichen

<u>Taste:</u>	<u>ASCII-CODE:</u>	<u>Funktion:</u>
CTRL-A	01H	Cursor left down
CTRL-F	06H	Cursor forward
CTRL-G	07H	Bell
CTRL-H	08H	Backspace
CTRL-I	09H	Tabulator
CTRL-J	0AH	Line feed
CTRL-L	0CH	Form feed
CTRL-Q	11H	Character invert
CTRL-R	12H	Invert screen
CTRL-S	13H	Invert speed
CTRL-T	14H	Cursor off-on
CTRL-W	17H	Blinking on/off
CTRL-Z	1AH	Cursor up
RETURN	0DH	Carriage return
RUBOUT	7FH	Clear input buffer
HOME	1CH	Cursor left top

Manche dieser Funktionen werden bei der Eingabe über Eingabe-Puffer unterdrückt (z.B. bei Kommandoeingaben).



Diese Unterlage beinhaltet ein Assemblerquellprogramm, das eine zuverlässige Überprüfung des Hauptvideospeichers auf der KDT6 sowie der TCB/IOV ermöglicht.



Videomemorytest für KDT6 und TCB/IOV

VMT6:

```
;VIDEOMEMORYTEST FÜR KDT6 REV 1.1. UND 1.2
;-----
```

```
;P.NAME: VMT6
;AUTHOR: Karl-Heinz Bauer
;DATE: 22.06.1982
;VERSION: 2.1
;LAST MOD.: 25.10.1982 by K.H.Bauer
;LAST MOD.: 24.01.1983 by K.H.Bauer
```

```
TITLE VMT6
PAGE 65
```

```
;Dieses Programm testet den Hauptvideospeicher
;der KDT6 sowie der TCB IOV.
;Es werden folgende Kombinationen eingeschrieben
;und überprüft:
;01, 02, 04, 08, 10, 20, 40, 80,
;FE, FD, FB, F7, EF, DF, BF, 7F, 00, FF,
;Ferner wird das LOW Adressbyte auf die jeweilige
;Adresse geschrieben und überprüft. Danach das HIGH
;Adressbyte.
;Im letzten Test wird alles auf 00 gesetzt und nacheinander
;nur eine der 16 Adressleitungen auf HIGH gesetzt, und die so
;adressierte Speicherzelle mit FF beschrieben und abgeprüft.
;Anschließend werden die Ergebnisse aller Tests am Bildschirm
;ausgegeben. Die Ausgabe erfolgt über die KOS Funktionen
;OUTPUT (86H) und STRING (87H).
```

```
;Zerstörte Register:-----> KEINE
;Zerstörter RAMinhalt:----> VIDEO RAM Inhalt wird zerstört:
```

```
;ERLIST:
;Zur Auswertung durch dieses oder eines anderen Programmes
;wird eine ERROR-LISTE (ERLIST) angelegt, mit je 5 BYTES für
;jeden Test: 1. BYTE ----> 00 = KEIN ERROR FF = ERROR
; 2. BYTE ----> HIGH BYTE der ERROR ADRESSE
; 3. BYTE ----> LOW BYTE der ERROR ADRESSE
; 4. BYTE ----> Soll BYTE
; 5. BYTE ----> Ist BYTE
;Es sind 21 Tests implementiert.
```

```
;GLOBALS
;-----
```

```
GLOBAL VMT6
GLOBAL ERLIST
```



```
JR START

STARTM:
  DEFB OCH
  DEFM "VIDEOMEMORYTEST FUER KDT6/ VERSION 2.1 VOM 24.01.83 VON"
  DEFM " K.H.BAUER"
  DEFW OAOBH
  DEFB OOH

;ES WIRD NUR DER HAUPTVIDEOSPEICHER GETESTET

START:
  PUSH AF
  PUSH BC
  PUSH DE
  PUSH HL
  LD HL, STARTM
  CALL RST18H
  LD B,0           ;TEST COUNTER
  CALL CLEARERL   ;CLEAR ERRORLIST
  CALL BYTETEST   ;
  CALL LADRTEST   ;LOW ADDRESS TEST
  CALL HADRTEST   ;HIGH ADDRESS TEST
  CALL TEST17     ;ADDRESSBIT CHECK
  CALL ANZEIGE    ;AUSWERTEN UND ANZEIGEN
  POP HL          ;EXIT
  POP DE
  POP BC
  POP AF
  RET

RST18H:           ;(HL)=TEXT-->MONI.
  LD IX, VECTOR
  LD (IX+1), STRING
  RST 8H
  RET

RST20H:           ;HEX->ASCII->OUT
  LD IX, VECTOR
  LD (IX+1), ACCOUT
  RST 8H
  RET

VMADR:           ;HL = VIDEOADRESSE
  PUSH AF
  LD A,H
  OUT (VAL.HIGH),A
  LD A,L
  OUT (VAL.LOW),A
  POP AF
  RET

MVFILL:          ;HL = MVADDRESS
  CALL VMADR
  PUSH BC
OUTLOOP:         ;DE = BLOCKLÄNGE
                ;A = BYTE
                ;C = PORT
  OUT (C),A
  DEC DE
  LD B,A
  LD A,D
  OR E
```



```
LD A,B
JR NZ,OUTLOOP
POP BC
RET

CLEARERL:
PUSH HL
PUSH AF
PUSH BC
LD HL,ERLIST
LD B,ERLISTL
XOR A
CLLOOP:
LD (HL),A
INC HL
DJNZ CLLOOP
POP BC
POP AF
POP HL
RET

BYTETEST:
LD HL,BYTELIST
DEC B
BYTELOOP:
INC B
LD A,(HL)
PUSH HL
LD DE,0
LD HL,0
LD C,VMBO.AUTO.INC
CALL MVFILL
LD DE,0
LD HL,0
CALL BYTECHECK
POP HL
OR (HL)
INC HL
JR NZ,BYTELOOP
RET

BYTECHECK:           ;HL = MVADDRESS
CALL VMADR           ;LOAD STARTADDRESS
PUSH BC
CHECKLOOP:
                ;DE = BLOCKLÄNGE
                ;A = BYTE
                ;C = PORT
                ;STACK TOP=TESTCOUNTER
IN B,(C)
CP B
JR NZ,ERROR
INC HL
DEC DE
LD B,A
LD A,D
OR E
LD A,B
JR NZ,CHECKLOOP
POP BC
RET
```



```
LADRTEST:          ;ADRESSTEST
  LD HL,OH
  LD C,VMBO         ;VIDEO MEM. BANK
  INC B
  PUSH BC          ;SAVE TESTCOUNTER
LADRL:
  CALL VMADR       ;LOAD VMADDRESS
  OUT (C),L
  INC HL
  LD A,H
  OR L
  JR NZ,LADRL
LADRCHECK:
  CALL VMADR       ;LOAD HL TO THE
                  ;VIDEO MEM.ADR.LATCH
  LD A,L
  IN B,(C)
  CP B
  JR NZ,ERROR
  INC HL
  LD A,L
  OR H
  JR NZ,LADRCHECK
  POP BC
  RET
```

```
HADRTEST:
  INC B
  LD HL,0
  LD C,VMBO.AUTO.INC
  XOR A
HADRL:
  LD DE,0100H
  CALL MVFILL
  INC H
  LD A,H
  CP 0
  JR NZ,HADRL
HADRCHECK:
  LD DE,0100H
  CALL BYTECHECK
  JR NZ,ERRET
  INC H
  LD A,H
  CP 0
  JR NZ,HADRCHECK
ERRET:
  RET
```



```
ERROR:                ;HL = ERRORADDRESS
                    ;A = BYTE SOLL
                    ;STACK TOP = TESTLOOP
                    ;TESTLOOP COUNTER
POP BC
PUSH DE
PUSH AF
PUSH HL
LD HL,ERLIST        ;ERRORLISTE
LD A,B
RLCA
RLCA
ADD A,B             ;MULTP. MIT 5
LD D,O
LD E,A
ADD HL,DE
LD A,OFFH
LD (HL),A
INC HL
POP DE              ;ERROR ADDRESS
LD (HL),D
INC HL
LD (HL),E
INC HL
POP AF
LD (HL),A          ;SOLL BYTE
PUSH AF
INC HL
EX DE,HL
CALL VMADR
IN A,(C)
EX DE,HL
LD (HL),A          ;IST BYTE
POP AF
LD D,A
LD A,2H
INC A               ;RESET Z-FLAG
LD A,D
POP DE
RET
```



Testsoftware für KDT6, TCB/Z80 und TCB/IOV

```
ANZEIGE: ;
PUSH AF
PUSH BC
PUSH HL
LD B,1
LD HL,STARTM
CALL RST18H
LD HL,TEXT
CALL RST18H
LD HL,ERLIST
ANLOOP:
PUSH HL
LD HL,TESTM; CR + TEST
CALL RST18H
LD A,B
CALL RST20H;TEST NR
POP HL;ZEIGER AUF ERLIST
LD A,(HL)
CP 0
INC HL
JR Z,NOER
PUSH HL
LD HL,NOKMSG
CALL RST18H
POP HL
LD A,(HL);HIGH ADDRESS
CALL RST20H;HEX->ASCII->VIDEO
INC HL
LD A,(HL);LOW ADDRESS
CALL RST20H
INC HL
PUSH HL
LD HL,BLANK6
CALL RST18H
POP HL
LD A,(HL);SOLL BYTE
CALL RST20H
INC HL
PUSH HL
LD HL,BLANK4
CALL RST18H
POP HL
LD A,(HL)
CALL RST20H
NLOOP:
INC HL;5. INC = NEXT TEST
LD A,B
INC B
CP TESTANZHL
JR NZ,ANLOOP
POP HL
POP BC
POP AF
RET
NOER:
PUSH HL
LD HL,OKMSG
CALL RST18H
POP HL
INC HL
INC HL
INC HL
JR NLOOP
```



```
TEST17:                ;SETZT ALLE 16 ADRESSLEITUNGEN
                        ;NACHEINANDER AUF HIGH, BESCHREIBT
                        ;DIE SO ADRESSIERTE SPEICHERZELLE UND
                        ;ÜBERPRÜFT DIES
INC B                  ;SET TESTCOUNTER
LD C,VMBO.AUTO.INC
LD HL,01H              ;0000 0000 0000 0001B
LD A,OFFH
T17LLOOP:              ;ADRESSBIT 0 BIS 7
CALL CLEARVM          ;OO IN VIDEOMEMORY
CALL VMADR             ;LOAD VIDEO MEM. ADDRESS
OUT (C),A             ;LOAD FF TO ADDRESS
CALL T17CHECK         ;ERROR ?
RET NZ                 ;NOT ZERO = ERROR
RL L                   ;NEUE ADRESSE
JR NC,T17LLOOP        ;ENDE DES LOW LOOPS ?
LD HL,0100H           ;LOAD H WITH 0000 0001 B
T17HLOOP:              ;ADRESSBIT 8 BIS 15
CALL CLEARVM
CALL VMADR
OUT (C),A
CALL T17CHECK
RET NZ                 ;ERROR!
RL H
JR NC,T17HLOOP        ;ENDE ?
RET

T17CHECK:
LD D,H                 ;RICHTIGE ADRESSE
LD E,L
LD HL,0                ;CHECK STARTADDRESS
T17CHLOP:
CALL VMADR             ;LOAD VIDEO MEM. ADR.
IN A,(C)              ;READ BYTE
CP 0                   ;
PUSH BC                ;SAVE TESTCOUNTER
JR NZ,T17BYTE
ADROK:                 ;BYTE IS OK
POP BC                 ;TESTCOUNTER
INC HL                 ;ADDRESS + 1
LD A,H
OR L                   ;BLOCK ENDE?
LD A,OFFH
JR NZ,T17CHLOP
LD H,D                 ;RICHTIGE ADR. ZURÜCK
LD L,E
RET
```




Testsoftware für KDT6, TCB/Z80 und TCB/IOV

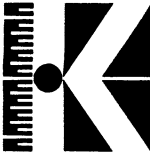
Testsoftware für KDT6, TCB/Z80 und TCB/IOV

T17BYTE: ;HL=AKTUELLE CHECKADRESSE
;A =BYTE (FF ?)

CP OFFH ;
JP NZ,ERROR ;NOT FF
LD A,E ;LOW ADDRESS
CP L
JR NZ,T17FEHLER
LD A,D ;HIGH ADDRESS BYTE
CP H
JR-Z,ADROK
T17FEHLER:
LD A,E ;RIGHT LOW ADDRESS
OR L ;ERROR ADR.+RIGHT ADR.BIT
LD L,A ;LOW ADDRESS
LD A,D ;RIGHT HIGH ADDRESS
OR H
LD H,A ;ERROR HIGH ADDRESS
JP ERROR

CLEARVM: ;C = PORT AUTO INC

PUSH AF
PUSH DE
PUSH HL
LD HL,0 ;STARTADR. 0
LD DE,0 ;BLOCKLÄNGE
XOR A
CALL MVFILL ;FILL VIDEOM.
POP HL
POP DE
POP AF
RET



Testsoftware für KDT6, TCB/Z80 und TCB/IOV

```
NOKMSG:
  DEFM " "
  DEFB 07H ;BELL
  DEFB 011H
  DEFM "NOT OK"
  DEFB 011H
  DEFM " "
  DEFB 00
```

```
OKMSG:
  DEFM "OK"
  DEFB 00
```

```
TEXT:
  DEFM " " ;10 BLANKS
  DEFM "OK? ADRESSE SOLL IST"
  DEFB 00H
```

```
TESTM:
  DEFW 0A0DH
  DEFM "TEST"
  DEFB 00H
```

```
BLANK6:
  DEFM " " ;6 BLANKS
```

```
BLANK4:
  DEFM " " ;4 BLANKS
  DEFB 00H
```

```
BYTELIST:
  DEFB 001H
  DEFB 002H
  DEFB 004H
  DEFB 008H
  DEFB 010H
  DEFB 020H
  DEFB 040H
  DEFB 080H
  DEFB 0FEH
  DEFB 0FDH
  DEFB 0FBH
  DEFB 0F7H
  DEFB 0EFH
  DEFB 0DFH
  DEFB 0BFH
  DEFB 07FH
  DEFB 0FFH
  DEFB 000H ;00 = LETZTES BYTE
BLISTL EQU $-BYTELIST
```

```
TESTANZAHL EQU 021D
```

```
;READ - WRITE MEMORY
;-----
```

```
ERLIST:
  DEFS TESTANZAHL*5
ERLISTL EQU $-ERLIST
```

VECTOR:

DEFW 0
DEFW 0
DEFW 0
DEFW 0

;EQUATES

VMBO	EQU	30H
VMBO.AUTO.DEC	EQU	36H
VMBO.AUTO.INC	EQU	31H
VAL.HIGH	EQU	40H
VAL.LOW	EQU	41H
STRING	EQU	87H
OUTPUT	EQU	86H
ACCOUT	EQU	88H

END VMT6