

Service Manual

**Kontron
PSIΨ 98**



VORWORT

Aufbauend auf die Erfahrungen, die im eigenen Hause gesammelt werden konnten, wurde ein Handbuch geschaffen, das allen Interessierten die Möglichkeit bietet, sich schnell und effizient mit der Technik und dem Service des Systems Kontron PSI 98 vertraut zu machen.

Ergänzend zu diesem Manual bietet Kontron zur schnelleren Einarbeitung in das beschriebene System Servicekurse an - fragen Sie uns!

Wichtige Hinweise:

Kontron behält sich technische Änderungen vor, dies beinhaltet auch den Austausch von kompletten Bau- bzw. Funktionsgruppen.

Nicht alle in diesem Manual beschriebenen Baugruppen sind in allen Systemkonfigurationen enthalten.

Diese Beschreibungen sind keine Spezifikationen.

Dieses Manual wurde mit größter Sorgfalt erstellt. Kontron übernimmt jedoch keine Verantwortung für Fehler, die in diesem Handbuch bei technischen Beschreibungen, Zeichnungen oder Fotografien der Produkte auftreten können.

Bei nicht autorisierten Änderungen bzw. Eingriffen in das System erlischt jede Gewährleistung!

Mit freundlichen Grüßen
Kontron Elektronik GmbH
Abt. Schulung und Dokumentation

Breslauer Straße 2
8057 Eching bei München

Tel. 089/31 901-320
Telex 522 122



Handhabung des Manuals

Um dem Anwender die Orientierung in diesem Handbuch zu erleichtern, wurde der Aufbau nach Registern gewählt.

Dabei sind unter den entsprechenden Registerpunkten folgende Kapitel zu finden:

1. Systembeschreibung mit allgemeinen Hinweisen und Fehler eingrenzungsflußplan auf Baugruppenebene sowie einer Anleitung zum Zerlegen/Zusammenbau des Systems.
2. Speichermedien
 - Floppy-Laufwerke
 - Harddisk
 - Harddisk-Controller
 - Wechselplatte
3. Zentralbaugruppe KDT6
4. Ein-/Ausgabe Interface 98/IOC
5. ECB-Bus
6. Ergoline - Tastatur
7. Stromversorgung
8. Monitor
9. Softwaretestmittel



Allgemeine Systembeschreibung

Das System der Serie KONTRON PSI 98 stellt einen modernen Arbeitsplatzcomputer der Kontron Ergoline dar.

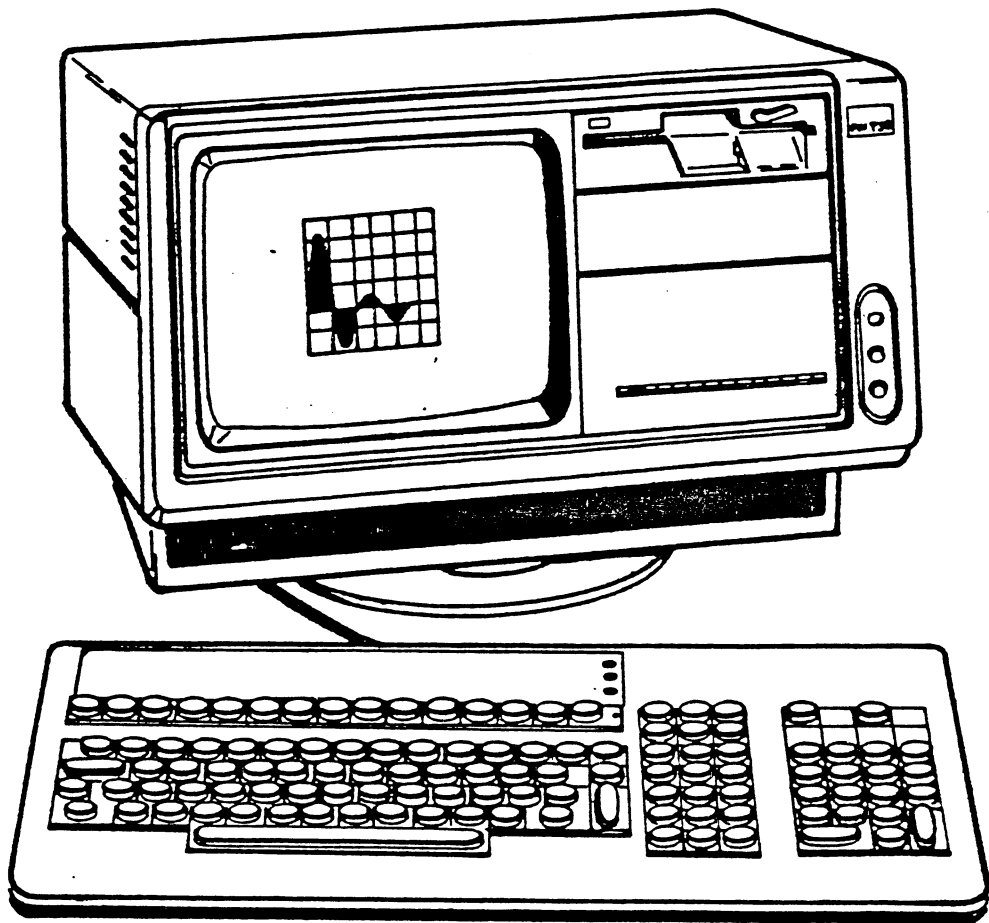


Abb. Kontron PSI 98



Kontron PSI 98

Dieses System ist ein eigenständiges Rechensystem, das in der Normalausstattung aus folgenden Baugruppen bzw. Komponenten besteht:

1. 10" Bildschirm
2. Tastatur
3. Zwei im Monitorgehäuse eingebauten Massenspeichermedien (Floppy-Disk 5 1/4", Double Sided, Double Density, 96 tpi)
Je nach Ausstattung:
 - Festplatte bis 40 MByte
 - Wechselplatte 5 MByte
4. Elektronik, bestehend aus:
 - KDT6
 - 98/IOC
 - ECB-Bus mit 6 Steckplätzen

Dieses System ist ebenso KOBUS-fähig. Als Option können hier ebenso weitere Geräte wie z.B. ein Drucker oder Plotter angeschlossen werden.

Standardzubehör und Optionen

Als Ergänzung zu den vorher beschriebenen Baugruppen wird für jedes Gerät folgendes Standardzubehör mitgeliefert:

1. Netzkabel
2. Systemsoftware-Diskette KOS 6.xx
3. Utility-Diskette KOS 6.xx
4. Installationshandbuch
5. Beschreibung zu Software und Hardware

Für Geräte dieser Baureihe sind ferner als Option u.a. erhältlich:

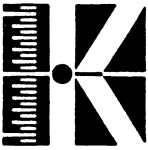
- Drucker
- Plotter
- Verbindung Rechner-Kobusnetz
- ECB-Karten
- etc.



Systembezeichnungen

Der folgende Schlüssel erläutert den Konfigurationsstand der Geräte anhand ihrer Typenbezeichnung.

Typenbezeichnung z.B. Kontron	PSI	9	8	Q	/	M	2
		!	!	!		!	!
		!	!	!		!	!
Familie: -----+		!	!	!		!	!
		!	!	!		!	!
System: -----+		!	!	!		!	!
8				!		!	!
Kompaktsystem, 8Bit CPU				!		!	!
				!		!	!
FD-Kapazität: -----+				!		!	!
D: 308 kByte				!		!	!
Q: 616 kByte				!		!	!
				!		!	!
Ausstattung: -----+				!		!	!
				!		!	!
M: Maximalkonfiguration, erweitert durch Einschubrahmen für ECB-Karten				!		!	!
W: Winchesterfestplatte				!		!	!
				!		!	!
Anzahl der FD-Laufwerke bzw. Kapazität der Festplatte: -----+				!		!	!
				!		!	!
1...2				!		!	!
1...2 FD-Laufwerke				!		!	!
> 5:				!		!	!
Kapazität der Festplatte in Mio Bytes				!		!	!



Fehlereingrenzung auf Baugruppenebene

Ein Computersystem, wie das der Reihe Kontron PSI 98 besteht aus mehreren komplexen Baugruppen, die miteinander verknüpft sind. Dadurch ergeben sich die unterschiedlichsten Beeinflussungen und nur das einwandfreie Zusammenwirken aller Baugruppen macht einen fehlerfreien Betrieb des Systems erst möglich.

Grundsätzlich werden in diesem Manual alle Baugruppen behandelt. Allerdings werden Einschränkungen bezüglich des Umfangs der Einzelbeschreibungen gemacht.

Baugruppen, die erfahrungsgemäß häufiger ausfallen, sollen genauer betrachtet werden als solche, die in der Ausfallstatistik nur eine untergeordnete Rolle spielen.

Die häufigsten Systemausfälle haben ihre Ursache in Fehlern bei den Floppy Drives und auf der Zentralplatine KDT6. Dies ist auch nicht weiter verwunderlich, da es sich um die komplexesten Baugruppen des Systems handelt. Besonders die Laufwerke mit ihrer hochentwickelten Feinmechanik neigen - besonders bei entsprechender "Behandlung" - zum Verändern ihrer Einstelldaten und führen so zu Systemausfällen. Beim Auftreten eines Störungsfalles gilt es als Erstes, den Fehler auf eine dieser Baugruppen einzuschränken. Erst dann kann die entsprechende Baugruppe einer genaueren Analyse auf Bauteileebene unterzogen werden. Zur Lokalisierung der fehlerhaften Baugruppe empfiehlt sich eine Vorgehensweise nach folgendem Flußdiagramm (siehe nächste Seite):



```
Sind alle Spannungen          +-----+          nein
vorhanden?                    ! Netzteil  ! -----> Netzteil
                               +-----+          Busplatine
                               ! ja
                               !
Erscheint Betriebs-          +-----+          +-----+
meldung?                      ! Monitor  !          ! 9xx/IOC ! nein
Nein:                          !Initialisierung! --> !          ! -----> KDT/
Kommen die Synchron-          +-----+          ! Impulse: !          9xx/
impulse zum Monitor?          !          !          ! HSync  !          IOC
Wird Hochspannung            !          !          ! VSync  !
erzeugt?                      ! ja          !          ! Video  !
                               !          !          +-----+
                               !          !          ! ja
                               !          !          +-----> Monitor
Können Zeichen auf          +-----+
Bildschirm geschrieben        !          !
werden?                        ! Tastatur ! --> !Strobe! nein
Nein: Stehen Strobe          +-----+          !Daten! -----> Tastatur
und Daten am Ausgang
an?                            !          !
                               ! ja          ! ja
                               !          !
                               !          !          +-----> KDT/
                               !          !          9xx/
                               !          !          IOC
Kann das Betriebssystem      +-----+          +-----+
geladen werden                ! FD-Laufwerk ! --> !Laufwerk! nein
(= notwendig                   +-----+          !tauschen! ----> KDT
für Testsoftware)?           !          !
Nein: Ersetzen des            !          !
Laufwerks durch               !          !
funktionierendes              !          !
Drive + Diskette,            !          !
bzw. Messen des              !          !
Datentransfers               !          !
zwischen KDT und             !          !
Laufwerk                     +-----+          +-----+
                               ! Testsoftware !
                               ! anwenden  !
                               +-----+          +-----+

```



Mechanik des Systems

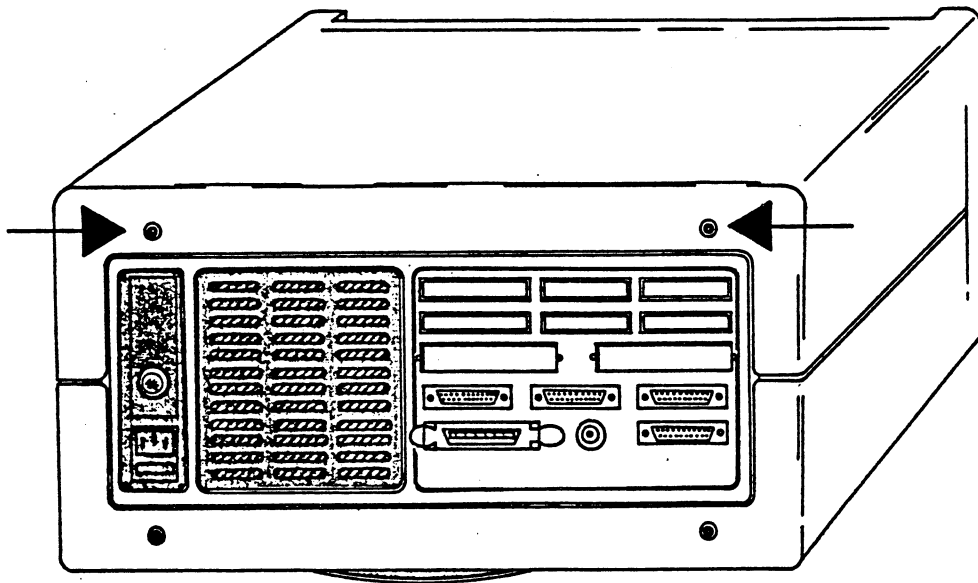
Achtung: Beachten Sie unbedingt, daß bei unauthorisierten Eingriffen in das System jede Gewährleistung erlischt!

Vor dem Öffnen des Systems ist der Netzstecker zu ziehen. Achten Sie auch darauf, daß Sie keine Schrauben o.ä. im Gerät vergessen

- es besteht dann Kurzschlußgefahr!

Behandeln Sie die Gehäuseteile pfleglich!

Das System läßt sich nach Herausschrauben der zwei bezeichneten Schrauben an der Rückseite öffnen.



Der Gerätedeckel kann nun wie folgt abgenommen werden:

1. hinten anheben und
2. nach schräg hinten oben wegziehen

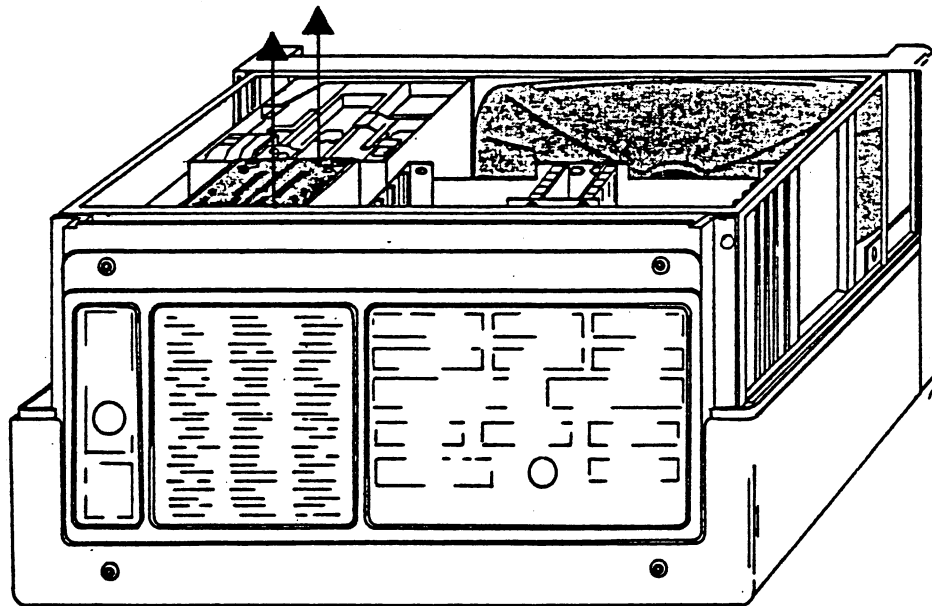


Nun können bereits einige Systemkomponenten ausgebaut werden:

- Netzteil
- Controller (falls Ihr System mit einer Fest- oder Wechselplatte ausgerüstet ist)
- Monitorelektronik

Ausbau des Netzteils/der Netzteile

Je nach Lieferumfang des Systems kann es mit maximal zwei Netzteilen ausgerüstet sein. Die Netzteile sind steckbar ausgeführt und können nach Lösen der Befestigungsschrauben nach oben herausgezogen werden. Dies kann manchmal etwas schwer gehen - notfalls können diese Netzteile mit einem Schraubenzieher herausgeholt werden.

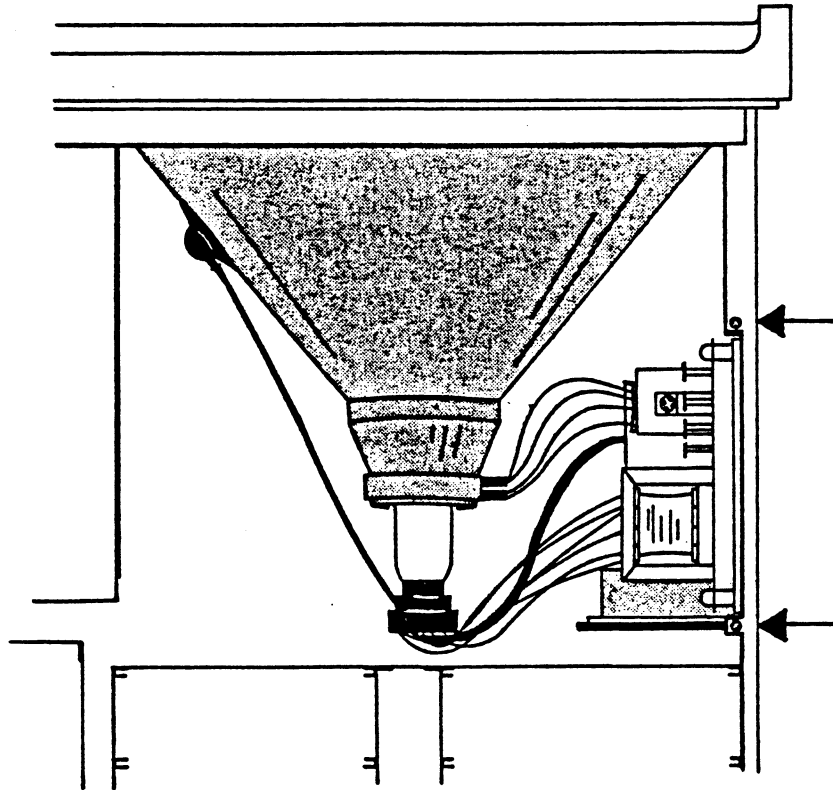




Die Platine der Monitorelektronik befindet sich an der Seitenwand neben dem Bildschirm. Zum Ausbau dieser Einheit müssen vorher mehrere Kabelverbindungen ausgesteckt werden:

- Anschlußstecker der Ablenkeinheit
- Anschlußstecker an der Bildröhre
- Massekabel
- Signalstecker

Nach Entfernen der zwei Halteschrauben kann die Schaltung nach innen geklappt und nach oben herausgezogen werden.





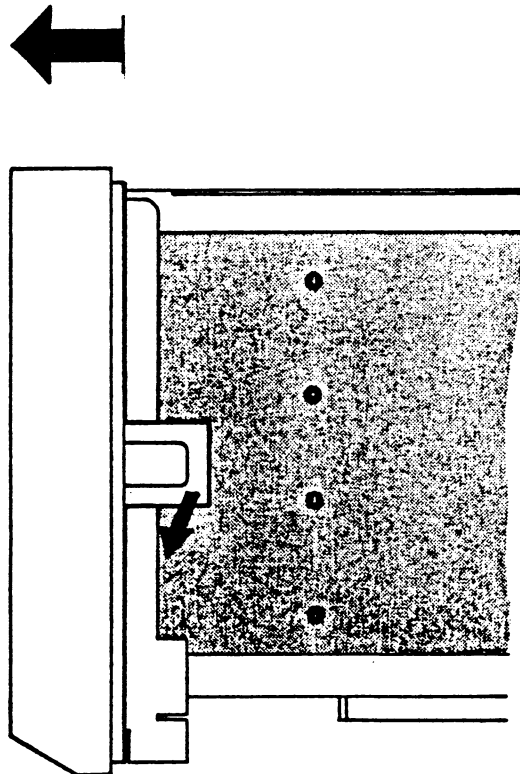
Falls Ihr System mit einer Fest- oder/und Wechselplatte ausgerüstet ist, so ist auch ein Controller zur Ansteuerung dieser Komponenten vorhanden.

Dieser Controller befindet sich entweder direkt unterhalb der Festplatte und ist nach Ausbau derselben zugänglich.

In manchen Konfigurationen befindet sich der Controller an der dem Monitor gegenüberliegenden Seitenwand. Nach Entfernen der zwei Befestigungsschrauben kann der Controller oben nach innen geschwenkt und nach oben herausgezogen werden. Vorher müssen natürlich noch die Kabelverbindungen ausgesteckt werden (1 Stromversorgungs- und 2 (3) Flachbandstecker).

Um Zugang zu den restlichen Komponenten zu erhalten, muß zunächst die Frontblende abgenommen werden. Dazu müssen keine Schrauben gelöst werden, da sie nur durch einen Schnappmechanismus gehalten wird. Beide seitlichen Laschen müssen nach außen gezogen werden, bis die Frontblende nach vorne abgezogen werden kann.

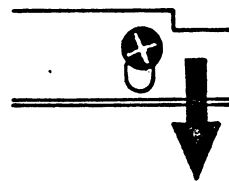
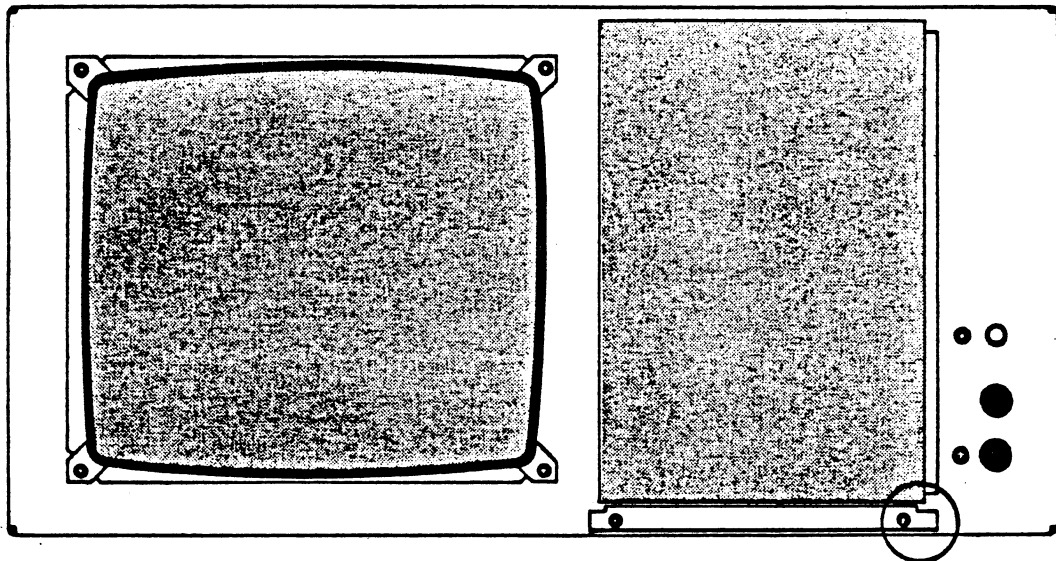
Achten Sie beim Einbau auf ein korrektes Einrasten der Laschen.





Nun kann der Laufwerkskäfig herausgenommen werden.

Lösen Sie die zwei Halteschrauben und schieben Sie die Halteleiste nach unten.



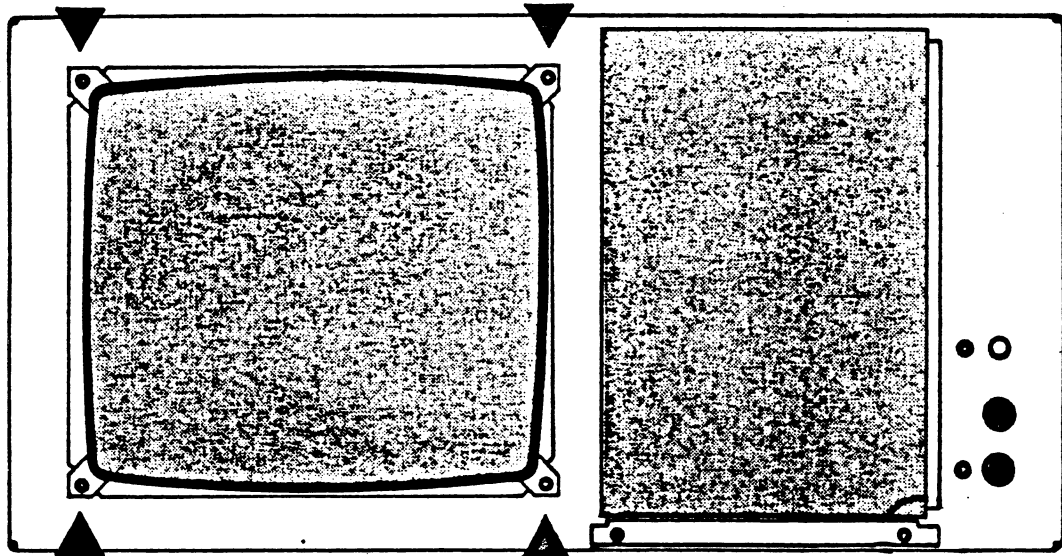
Nun kann der Laufwerkskäfig nach vorne gezogen werden (die Anschlußkabel sind länger als sie vorher aussehen!). Entfernen Sie alle Anschlußkabel und nehmen Sie den Käfig aus dem System heraus.



Zum Wechsel eines Laufwerkes müssen die entsprechenden Halteschrauben gelöst und das Laufwerk aus dem Käfig herausgezogen werden.

In manchen Konfigurationen befindet sich der Festplattencontroller direkt unter der Festplatte.

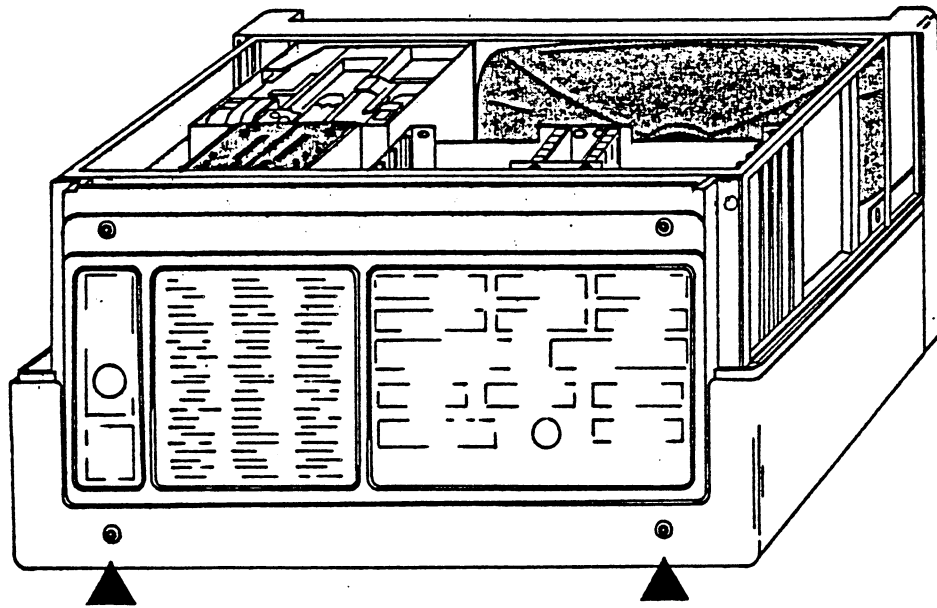
Die Bildröhre kann nach Entfernen der Halteschrauben nach vorne herausgezogen werden. Beachten Sie die Sicherheitsratschläge der Bildröhrenhersteller (Implosionsgefahr!).



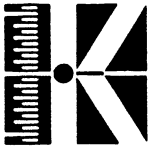


Zum Ausbau des Computerboards, der KDT 6, die sich unter dem Chassis befindet, muß zunächst die untere Gehäuseschale abgenommen werden.

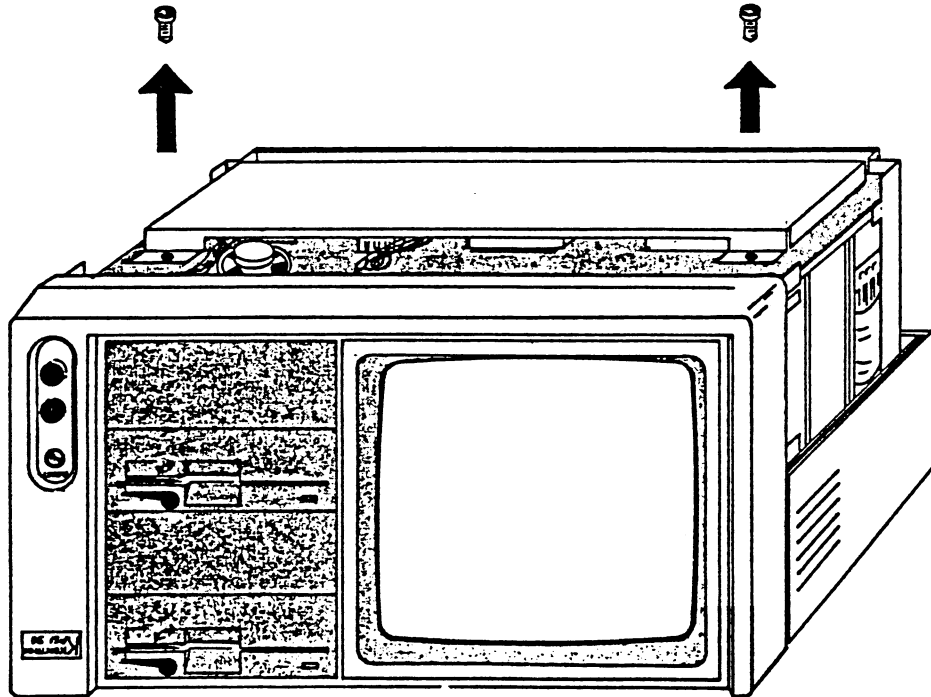
Dazu müssen die zwei bezeichneten Schrauben herausgeschraubt werden.



Das Chassis kann nun, nachdem es leicht nach vorne gezogen wurde, aus der Gehäusewanne herausgehoben werden.

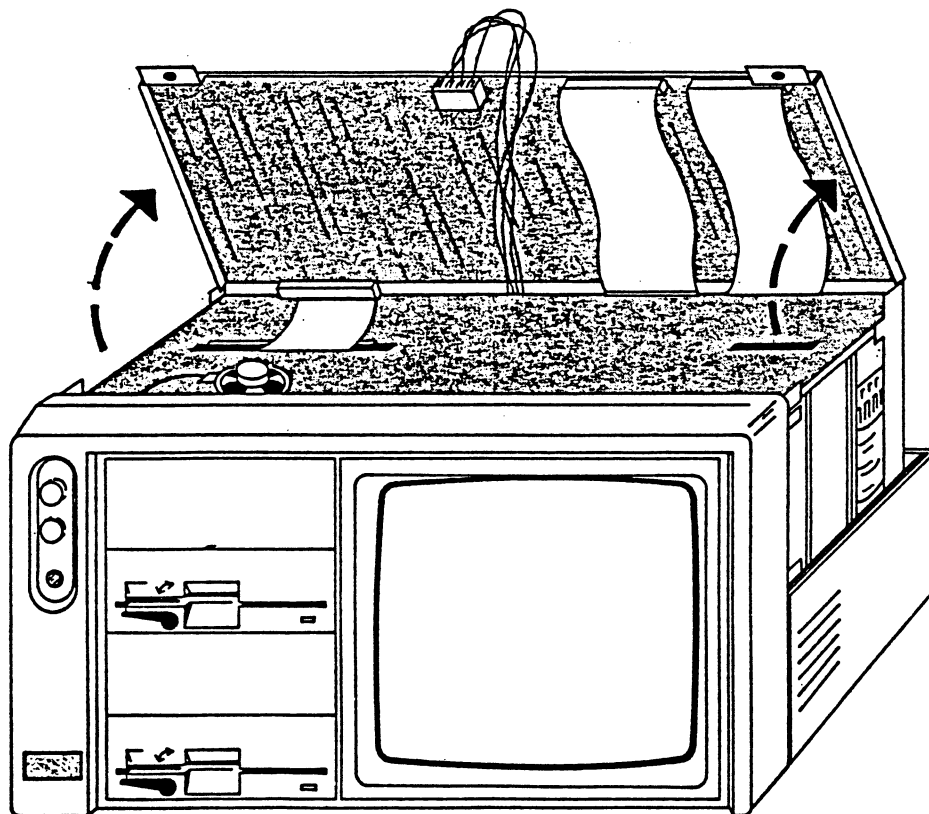


Stellen Sie das Gerät nun auf die Seite und schrauben Sie die zwei Halteschrauben der Bodenwanne auf der Unterseite des Gerätes heraus.





Der Bodendeckel kann nun zusammen mit der KDT6 weggeklappt werden. Die Zentralplatine kann nach Abziehen sämtlicher Kabelverbindungen und Abschrauben aller fünf Halteschrauben gewechselt werden. Achten Sie beim Zusammenbau des Gerätes auf den korrekten Sitz der Steckverbindungen sowie auf die richtige Orientierung des Stromversorgungssteckers!





Die Ein-/Ausgabeplatine wird zugänglich, sobald die Rückwand des Gerätes abgenommen wurde. Dazu müssen die vier äußeren Schrauben am hinteren Rahmen herausgeschraubt werden. Die Schrauben an der hinteren Blende halten nur diese Abdeckung und führen nur zum Lüfter.

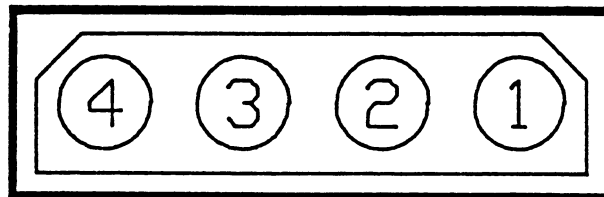


Zusammenstellung der wichtigsten technischen Daten des Adaptec-Controllers ACB 4000:

Die 4000er-Serie unterstützt max. zwei Winchester-Laufwerke, die dem Seagate ST-506/412 Interface entsprechen.

Spannungsversorgung: + 5V +/- 5% bei max. 1.5 A
 + 12V +/- 5% bei max. 300 mA

Die Spannungsversorgung erfolgt über einen 4-poligen Steckverbinder (AMP P/N 1-480424-0). Die Anschlüsse sind wie folgt belegt:



Betriebstemperatur: Im Betrieb: 0...55 Grad C
 Lagerung: - 40...75 Grad C

Der Controller sollte keiner Luftfeuchtigkeit, die den Bereich von 10 % ... 95 % (nicht kondensierend) übersteigt, ausgesetzt werden.



Installation des Controllers ADC-4000

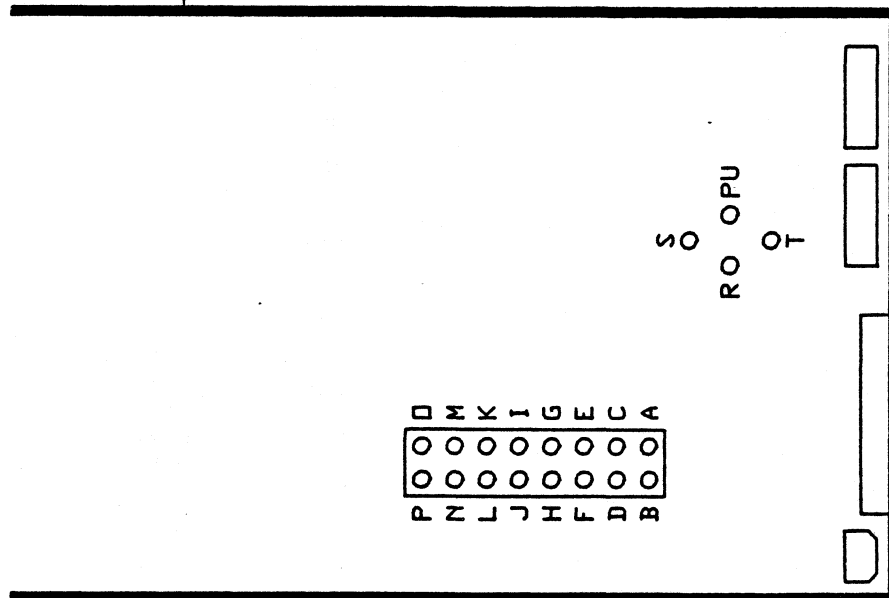
Der Controller ist sehr leicht zu konfigurieren.

Auf der Platine befinden sich zwei Jumperfelder, die folgende Bedeutungen besitzen:

Das **lange** Jumperfeld neben U9 ist für die Einstellung der Controlleradresse sowie der Auswahl eines speziellen Prüfmodus zuständig.

Das **kleine** Jumperfeld in der Nähe des Harddiskanschlusses ist für die Auswahl des Precompensationsmodus zuständig.

Jumper auf ACB-4000



Die Bedeutung der Jumper im einzelnen:

A-B, C-D, E-F: Controllerbusadresse
A-B: niederwertigstes Bit
E-F: höchstwertigstes Bit

Beispiel:

Zur Einstellung der Adressen

7: Alle diese Jumper gesteckt
4: A-B und C-D gesteckt



Der Jumper O-P versetzt das Laufwerk in einen internen Überprüfungsmodus. Im normalen Betrieb darf dieser Jumper nicht gesteckt sein.

Einstellung des Precompensationsjumpers

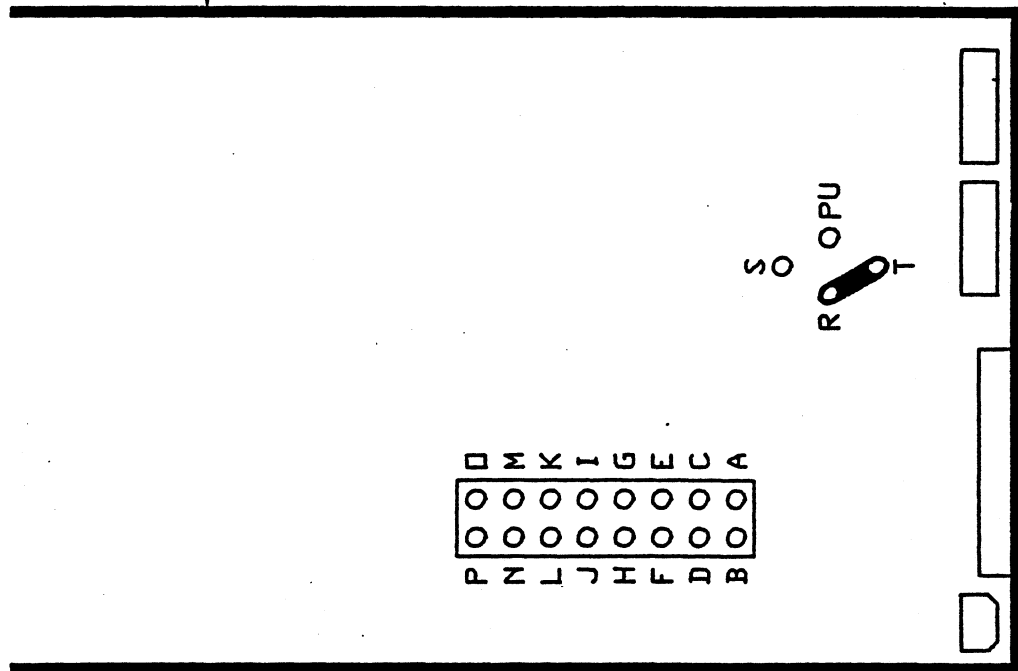
Es stehen folgende Möglichkeiten zur Verfügung:

- | | | |
|------|--------------------|---|
| R-PU | (bzw. kein Jumper) | Ohne "Precompensation"
(z.B. für Maxtor-Laufwerke) |
| R-S | | "Precompensation" mit "Reduced Write
Current Line" verbunden |
| R-T | | Mit "Precompensation" |

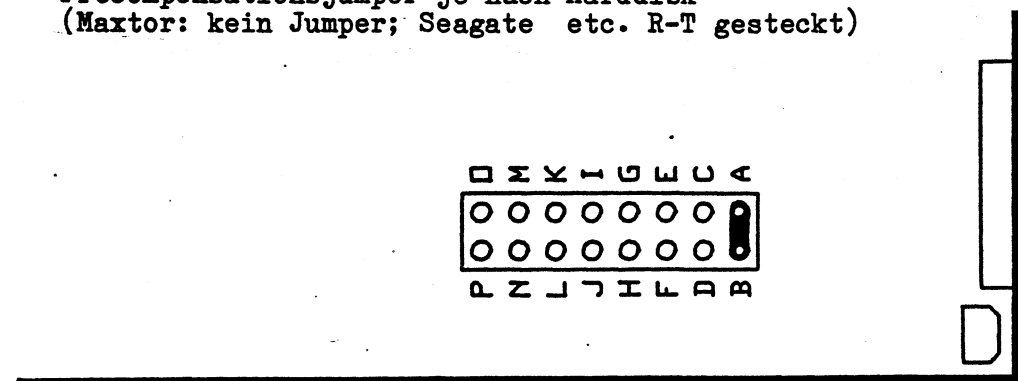


Einsatz des Controllers in Kontron-Geräten:

- 1) in Zusammenarbeit mit 10, 20, 40 MByte-Harddisk (z.B. Kontron PSI 98, 908/98xx): Es darf nur Jumper R-T gesteckt werden.



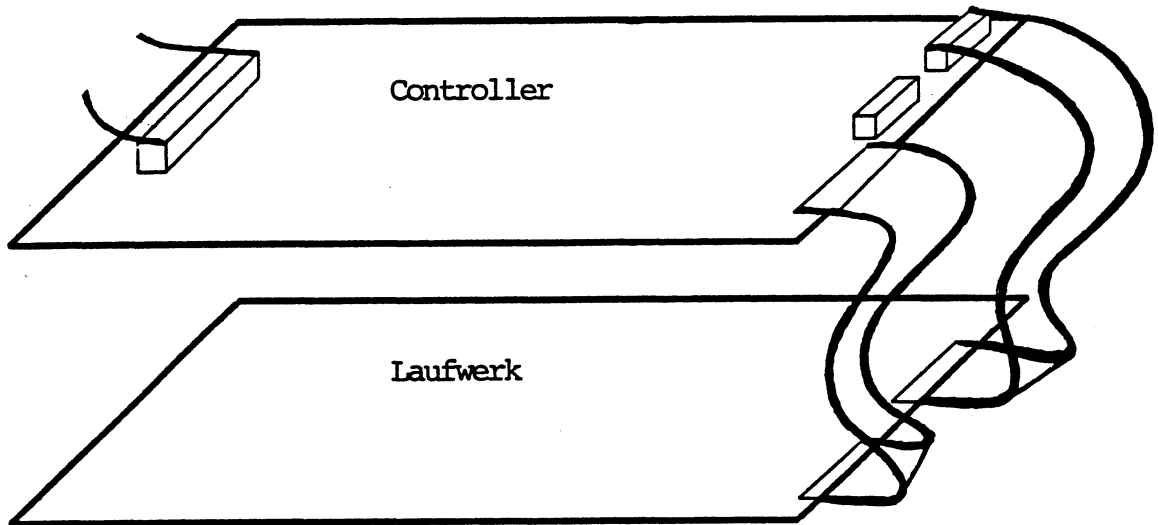
- 2) In Zusammenarbeit mit 140 MByte Maxtor-Laufwerk (z.B. Kontron PSI 9068):
Keine Jumper
- 3) Anschluß über externen Controller (nicht über den Sasi-Bus):
Jumper A-B gesteckt
Precompensationsjumper je nach Harddisk
(Maxtor: kein Jumper; Seagate etc. R-T gesteckt)





Anschluß der Harddisk am Controller

In einigen Kontron-Systemen (wie z.B. Kontron PSI 98, 980, 9xxx) ist der Controller direkt unter der Harddisk montiert. Der Anschluß hat dann wie folgt zu erfolgen:

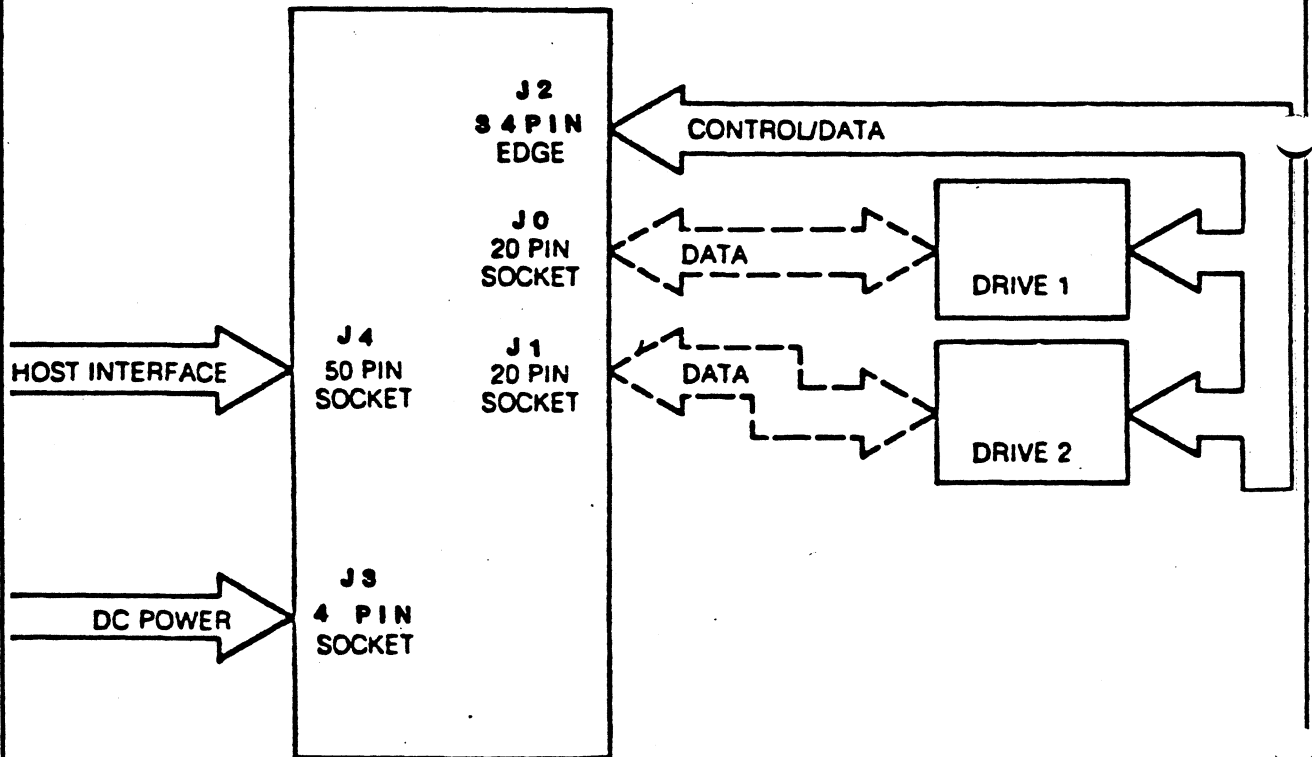




In anderen Typen ist der Controller an anderer Stelle montiert. Die Kabelverbindungen sind dann den Servicebeschreibungen der entsprechenden Systeme zu entnehmen.

Kabelverbindungen:

An einem Controller können maximal zwei Laufwerke angeschlossen werden. Der Anschluß erfolgt an folgenden Steckern:



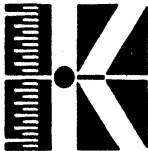


Anschlußbelegungen des Controllers:

Controll- und Datenleitungen zum Rechnerinterface (z.B. SASI-Anschluß):

GROUND	! 1 !	! 2 !	DATA BIT 0 (DB0)	
.	! !	! 4 !		1
.	! !	! 6 !		2
.	! !	! 8 !		3
.	! !	! 10 !		4
.	! !	! 12 !		5
.	! !	! 14 !		6
.	! !	! 16 !	DATA BIT 7 (DB7)	
.	! !	! 18 !	PARITY BIT	
.	! !	! 20 !	} FOR FUTURE USE	
.	! !	! 22 !		
.	! !	! 24 !		
.	! !	! 26 !		
.	! !	! 28 !		
.	! !	! 30 !		
.	! !	! 32 !	- ATTENTION (ATN)	<----- INPUT
.	! !	! 34 !	SPARE	
.	! !	! 36 !	- BUSY (BSY)	-----> OUTPUT
.	! !	! 38 !	- ACKNOWLEDGE (ACK)	<----- INPUT
.	! !	! 40 !	- RESET (RST)	<----- INPUT
.	! !	! 42 !	- MESSAGE (MSG)	-----> OUTPUT
.	! !	! 44 !	- SELECT (SEL)	<----- INPUT
.	! !	! 46 !	- CONTROL/DATA (C/D)	-----> OUTPUT
.	! !	! 48 !	- REQUEST (REQ)	-----> OUTPUT
.	! 49 !	! 50 !	- INPUT/OUTPUT (I/O)	-----> OUTPUT
GROUND	! !	! !		

Alle ungeraden Pins sind mit Masse (GND) verbunden.



Über J2 laufen alle Kontrolleitungen für die Festplatte. Die Anschlußpins sind von 1 bis 34 durchnummeriert. Die geradzahligen Pins befinden sich auf der Bauteilseite. Die Pinbelegung geht aus folgender Tabelle hervor:

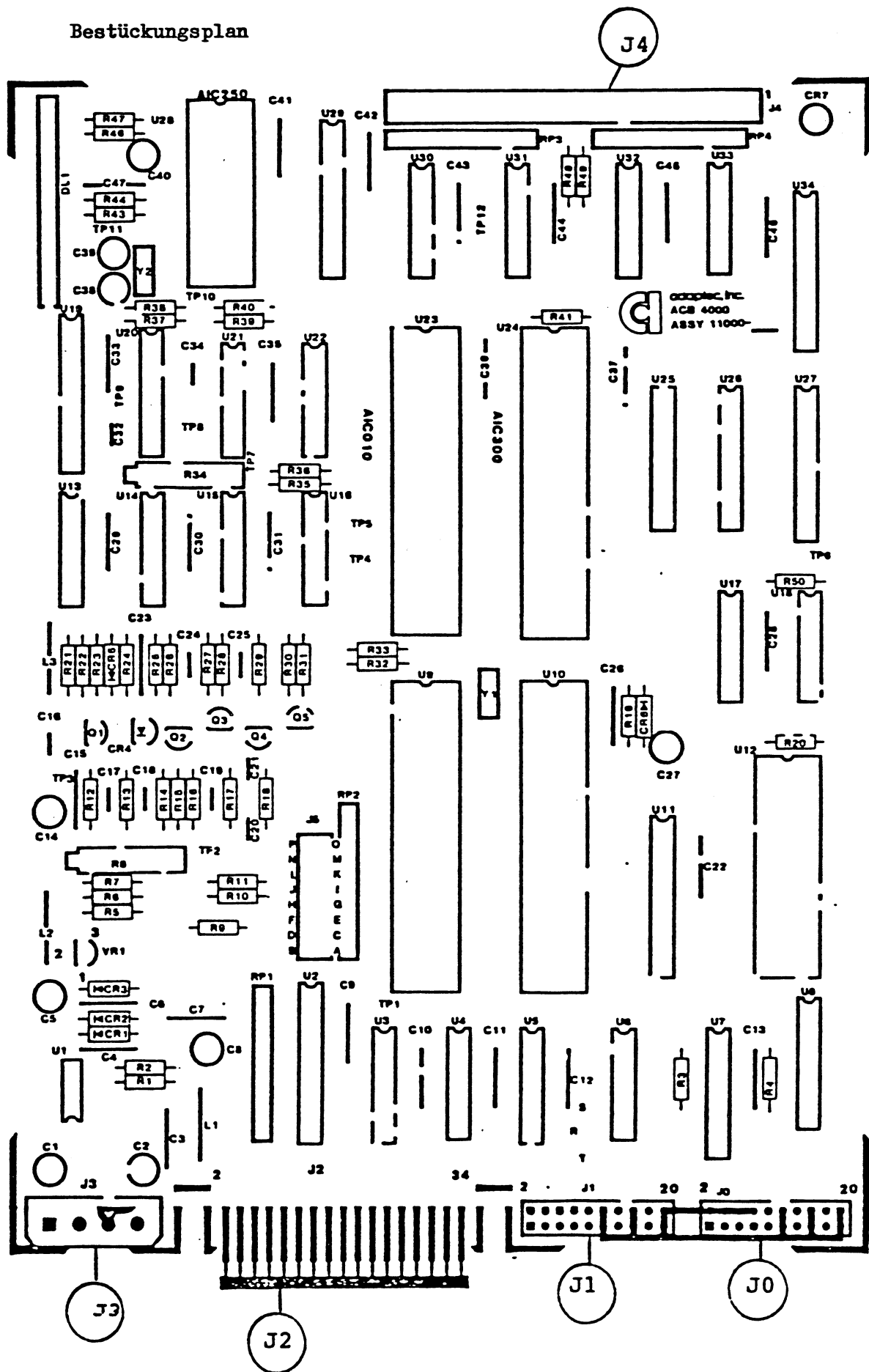
GND RTN PIN	SIGNAL PIN	SIGNAL NAME
1	2	-RED WR CUR/HD ²³
3	4	-HEAD SELECT 2 ²
5	6	-WRITE GATE
7	8	-SEEK COMPLETE
9	10	-TRACK 0
11	12	-WRITE FAULT
13	14	-HEAD SELECT 2 ⁰
15	16	RESERVED
17	18	-HEAD SELECT 2 ¹
19	20	-INDEX
21	22	-READY
23	24	-STEP
25	26	-DRIVE SELECT 1
27	28	-DRIVE SELECT 2
29	30	-DRIVE SELECT 3
31	32	-DRIVE SELECT 4
33	34	-DIRECTION IN

J0 und J1 sind die Datenleitungen für je eines der zwei möglichen Laufwerke. Folgende Tabelle zeigt die Anschlußbelegung:

GND RTN PIN	SIGNAL PIN	SIGNAL NAME
2	1	-DRIVE SELECTED
4	3	RESERVED
6	5	RESERVED
8	7	RESERVED
	9,10	RESERVED
12	11	GND
	13	*MFM WRITE DATA
	14	-MFM WRITE DATA
16	15	GND
	17	*MFM READ DATA
	18	-MFM READ DATA
20	19	GND

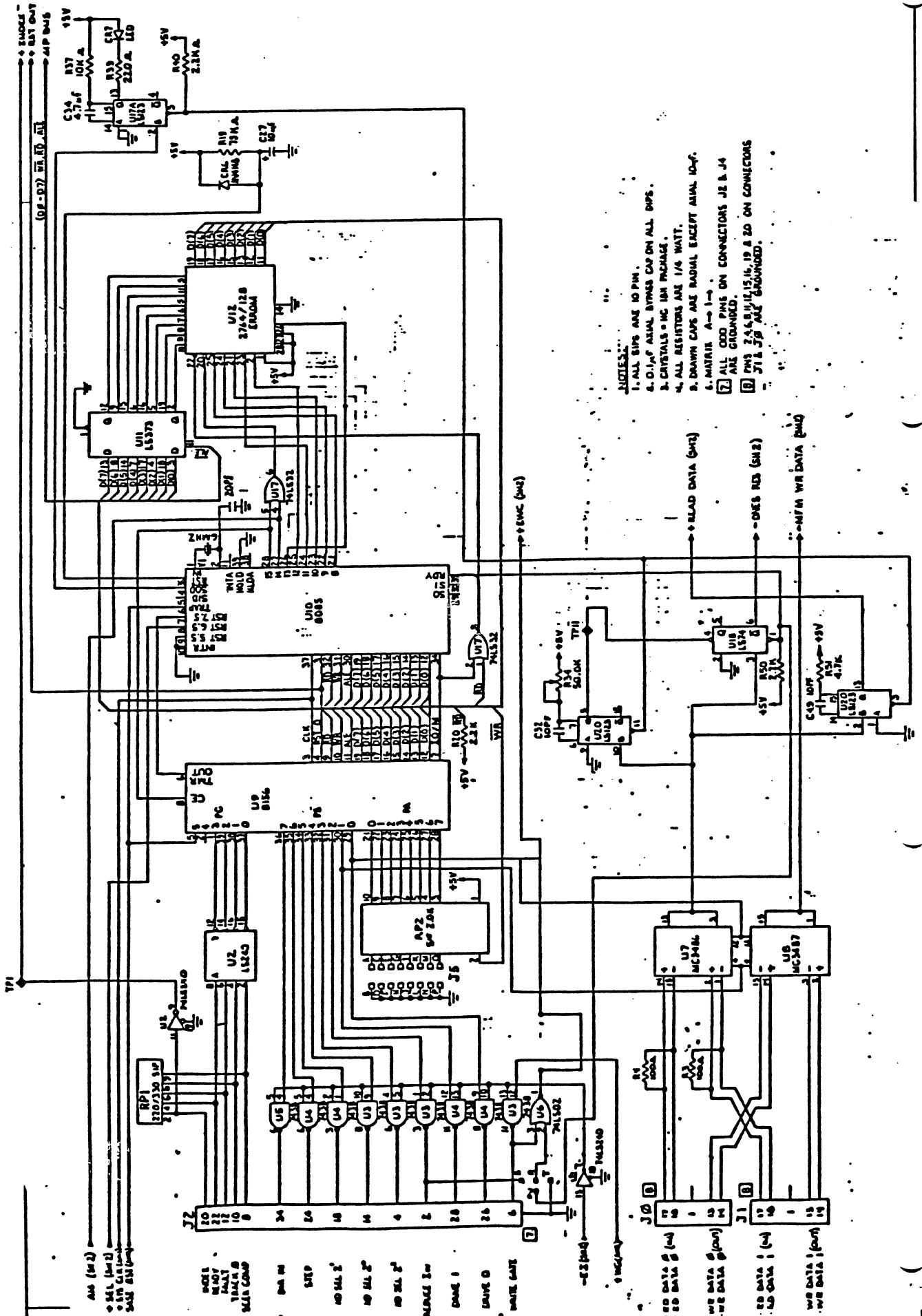


Bestückungsplan



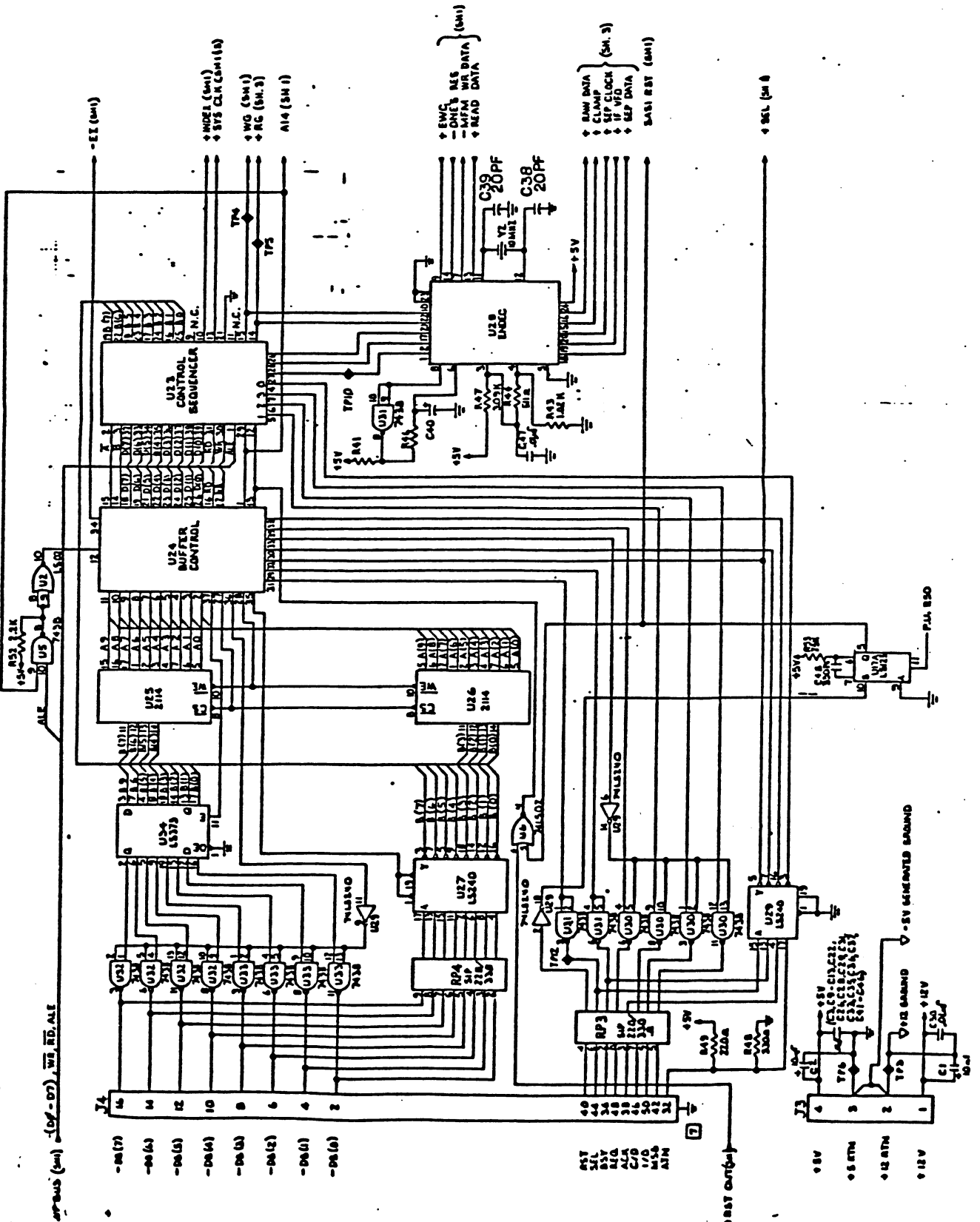


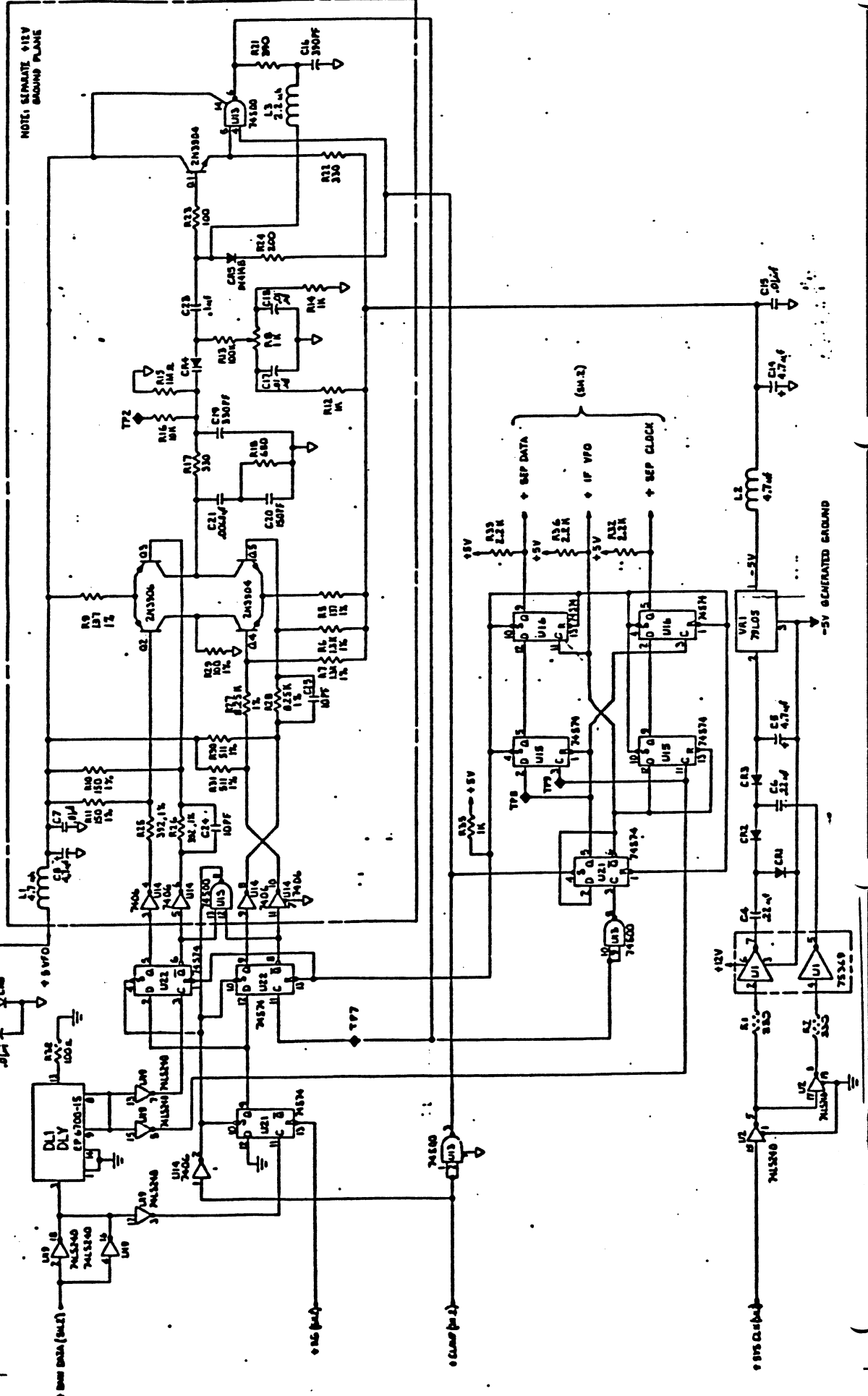
Adaptec-Controller - ACB 4000



- NOTES:**
1. ALL SIPS ARE 10 PIN.
 2. 0.1µF AXIAL BYPASS CAP ON ALL DIPS.
 3. CRYSTALS = MC 181 PACKAGE.
 4. ALL RESISTORS ARE 1/4 WATT.
 5. DRAWN CAPS ARE RADIAL EXCEPT AXIAL 10µF.
 6. MATRIX A → 1 →
 7. ALL ODD PINS ON CONNECTORS J2 & J4 ARE GROUNDED.
 8. PINS 2, 4, 6, 8, 10, 12, 14, 16, 18 & 20 ON CONNECTORS J1 & J3 ALL GROUNDED.

Adaptec-Controller - ACB 4000





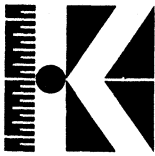


Diese Unterlage beschreibt die Prüf-, Einstell- und Wartungsarbeiten, die an dem 20 MByte Harddisklaufwerk MINISCRIBE MODEL 4020 mit normaler Werkstattausrüstung durchgeführt werden können.



Inhaltsverzeichnis

	Seite
1. Systembeschreibung	2
2. Allgemeines	3
3. Fehlerdiagnose	4
3.1 Index-Sensor	4
3.2 Geräuschentwicklung	6
3.3 Selbstdiagnose	7
4. Anschlüsse	9
5. Einstellungen	11
6. Schaltpläne	12
7. Bestückungsplan	16



1. Systembeschreibung

Harddisklaufwerk Miniscribe Model 4020

Speicherkapazität

je Laufwerk	19.998.720 Bytes
je Plattenoberfläche	4.999.680 Bytes
je Spur	10.416 Bytes
je Zylinder	41.664 Bytes

Anzahl der Scheiben	2
Köpfe	4
Zylinder	480
Datenspuren	1920

Umdrehungsgeschwindigkeit 3600 Upm +-1%

Transferrate 5.0 Mbit/sec +-1%

Zugriffszeiten

Spur zu Spur	3 ms
mittlere Latenzzeit	8.33 ms
Beruhigungszeit	15 ms

Spannungsversorgung + 12 V DC max 1.5 A
in der Anlaufphase max 3.5 A
+ 5 V DC max 1.0 A

Umgebungsbedingungen

Temperatur	Betrieb	4....46 Grad C
	außer Betrieb	- 40....57 Grad C
Feuchte		8....80 %
		nicht kondensierend

Sonstiges

MTBF	8000 Stunden Betrieb
MTTR	30 Minuten

Startzeit	20 Sekunden
	von "power on" bis "READY"
Stopzeit	15 Sekunden



2. Allgemeines

Mit einer Werkstattausrüstung, wie sie einem Servicetechniker zur Verfügung steht, lassen sich nur wenige Arbeiten an einem Festplattenlaufwerk durchführen. Diese Arbeiten beschränken sich im allgemeinen auf das Überprüfen des Signals "INDEX" sowie der Auswertung der Fehlermeldungen des internen Selbsttestprogrammes.

Da die Laufwerksteuerung durch eine spezielle Mikroprozessorschaltung gesteuert wird, lassen sich Fehler in der Driveelektronik auf Bauteileebene nur schwer diagnostizieren.

Mittels interner Testroutinen ist es allerdings möglich, eine Aussage darüber zu treffen, ob ein Fehler im angeschlossenen System oder am Laufwerk selbst vorliegt.

An der Mechanik des Laufwerkes darf ohne spezielle Ausstattung der Werkstatt (Cleanroom!) nicht herumgebastelt werden! Dabei gilt es auch einen eventuellen Garantieverlust zu beachten.

Erlaubte mechanische Arbeiten, die sich ohne Gefahr durchführen lassen, beschränken sich auf den Wechsel der gedruckten Schaltung sowie des Indexsensors.



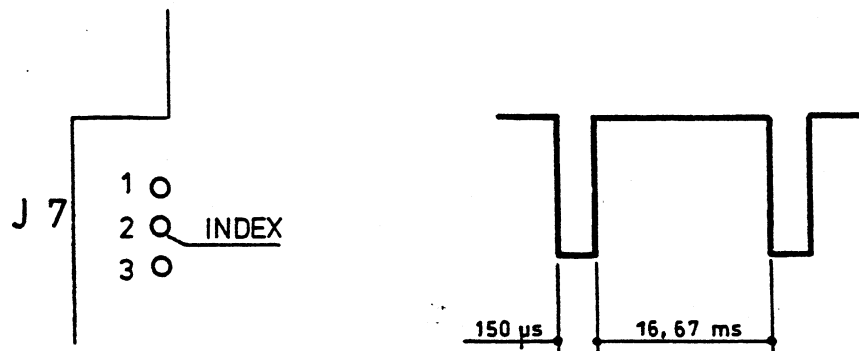
3. Fehlerdiagnose

Achtung: Zum Transport eines Laufwerkes sollten die Köpfe auf die Transportspur (shipping zone) gefahren werden:

Dazu muß der Shuntblock ausgesteckt werden und das Laufwerk mit seinen Spannungen versorgt werden. Nachdem die Leuchtdiode an der Frontseite des Laufwerkes 2 mal kurz geblinkt hat, wird sie ca. 5 sec. lang aufleuchten. Während dieser 5 Sekunden muß die Spannung abgeschaltet werden. Dann wird der Shuntblock wieder eingesteckt.

3.1 Index - Sensor

Das Signal des Indexsensors kann an Pin 2 von Stecker J7 (s. Bild) gemessen werden. Es muß folgendes Aussehen besitzen:



Falls dieses Signal nicht gemessen werden kann, so ist wahrscheinlich der Indexsensor selbst defekt. Dieser kann ausgetauscht werden.

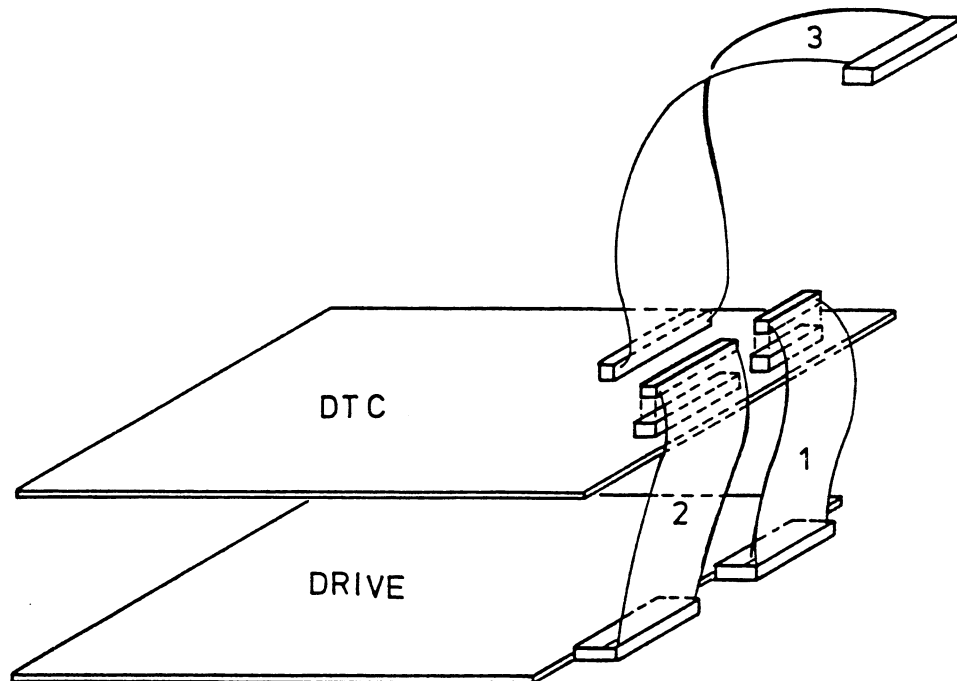
Bei manchen Laufwerkstypen ist der Sensor im Inneren des Gehäuses untergebracht. Da das Gehäuse ohne Cleanroom nicht geöffnet werden darf, kann diese Sensor nicht so ohne weiteres gewechselt werden. Allerdings kann in solchen Fällen ein zweiter Sensor außerhalb des Gehäuses angebracht werden, wo er sowieso bei den meisten Laufwerken befestigt ist.

Dies geschieht in folgenden Schritten:

1. Controller und Hauptplatine abnehmen. Falls ein interner Sensor (siehe oben) eingebaut ist, muß die Leitung an J6 Pin 1 durchgetrennt werden. Falls sich der Sensor im Gehäuse befindet, dann weiter bei Schritt 3!
2. Halteschrauben des Indexsensors lösen und den defekten Sensor abnehmen.
3. Neuen Sensor einsetzen und darauf achten, daß dessen Anschlußkabel so verlegt werden, damit sie nicht am Spindel-motor schleifen.



4. Nun den Spindelmotor soweit verdrehen, bis sich der magnetische Spalt vor dem Sensor befindet. Der Abstand zwischen Sensor und Spalt muß 0.030 inches (=0.76 mm) betragen. Achten Sie auch darauf, daß der Motor in keiner Stellung am Sensor schleift!
5. Platinen wieder aufsetzen und alle Kabelverbindungen zum Controller und System gemäß folgender Abbildung wiederherstellen:



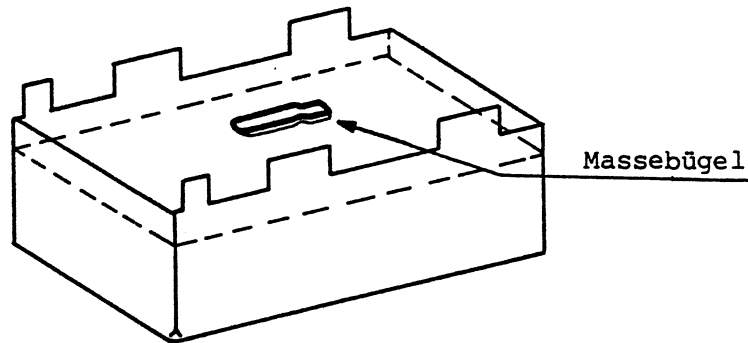


3.2 Geräusentwicklung

Das Laufwerk besitzt einen Massebügel, der auf die Achse des Spindelmotors drückt, um Aufladungen zu verhindern. Falls das Laufwerk Pfeifgeräusche von sich gibt, so liegt das an einem nicht korrekt eingestellten Massebügel.

Dieser Bügel läßt sich aber leicht justieren, indem Sie folgende Arbeiten durchführen:

1. Platinen abnehmen.
2. Halteschrauben des Massebügels lösen und neuen Bügel einsetzen. Die kleine Erhebung muß genau auf der Motorachse liegen.
3. Bügelspannung einstellen:
Der Anpreßdruck muß 8...10 Gramm betragen. Diese Einstellung erfolgt entweder mit einer Federwaage oder, falls nicht vorhanden, muß der Bügel so vorgespannt werden, daß der Anpreßdruck bei gutem elektrischen Kontakt minimal ist.
4. Platine wieder aufsetzen.





3.3 Selbstdiagnose

Sobald das Laufwerk mit den erforderlichen Spannungen versorgt ist, wird ein Selbsttest durchgeführt. Dabei wird auch die Stellung des Shunts überprüft.

Falls Pin 2 und 15 des Shunts verbunden sind, wird das Laufwerk jetzt "READY" geschaltet. Ist diese Verbindung jedoch unterbrochen, wird das Laufwerk mit einer umfangreichen Testroutine beginnen:

- Als Erstes erfolgt eine Überprüfung des Stepper-motors
- Danach fahren die Köpfe auf die "shipping zone". Sie verbleiben dort ca. 5 Sekunden. Während dieser Phase, die durch ein dauerndes Aufleuchten der Leuchtdiode gekennzeichnet ist, kann das Laufwerk für einen Transport abgeschaltet werden. Nach dieser 5-Sekunden-Periode tritt das Laufwerk in einen Überprüfmodus ein, der zufallsmäßig verschiedene Spuren anfährt und ca. 5 (fünf!!) Tage dauert.

Treten während dieses Tests Fehler auf, so werden sie über die Leuchtdiode an der Frontseite des Laufwerkes über eine Art Morsecode mitgeteilt:

"0" = Leuchtdiode 0.1 sec eingeschaltet
"1" = Leuchtdiode 0.6 sec eingeschaltet

Die Meldungen werden nach 2 Sekunden Pause wiederholt.

Wird beispielsweise der Code E (=1110) gesendet, so leuchtet die Leuchtdiode in folgendem Rhythmus:

Code E:

LED 0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.1 sec an
2.0 sec aus

P.s.: Zwischen den einzelnen Bits wird eine Pause von 0.6 Sekunden gesendet. Nach 2 Sekunden Pause wird die Meldung wiederholt.



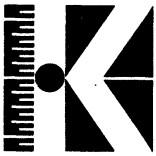
Erklärung der Meldungen:

- 0 RAM - Fehler
- 1 EPROM Checksummenfehler
- 2 Tiefgreifender Hardwarefehler
- 3 Schreibfehler
- 4 Schreibfehler
- 5 Motordrehung nicht erkannt
- 6
- 7 Umdrehungsgeschwindigkeit nicht konstant
- 8 Keine Spur 00 Erkennung
- 9 Keine Spur 00 Erkennung
- A Falsche Phase ausgewählt
- B Schrittzählerfehler
- C Korrekte Phase (3/14 offen 4/13 offen)
- D Korrekte Phase (3/14 offen 4/13 geschlossen)
- E Korrekte Phase (3/14 geschlossen 4/13 offen)
- F Korrekte Phase (3/14 geschlossen 4/13 geschlossen)

Die Steppermotorphase ist zur korrekten Spur 00 Erkennung notwendig. Solange am Shunt nichts verändert wird, braucht auf sie keine weitere Aufmerksamkeit verwendet werden.

Um die korrekte Phase einzustellen (Verbindungen 3/14 und 4/13 am Shunt), müssen alle Interfacekabel sowie der Shunt abgenommen werden. Sodann muß das Laufwerk mit den benötigten Spannungen versorgt werden und der angezeigte Fehlercode interpretiert werden. Die Shuntverbindungen 3/14 und 4/13 müssen nun gemäß der Fehlermeldungstabelle verdrahtet werden.

Der beim Hersteller ermittelte Code ist auf dem am Gehäuse angebrachten Aufkleber ersichtlich.



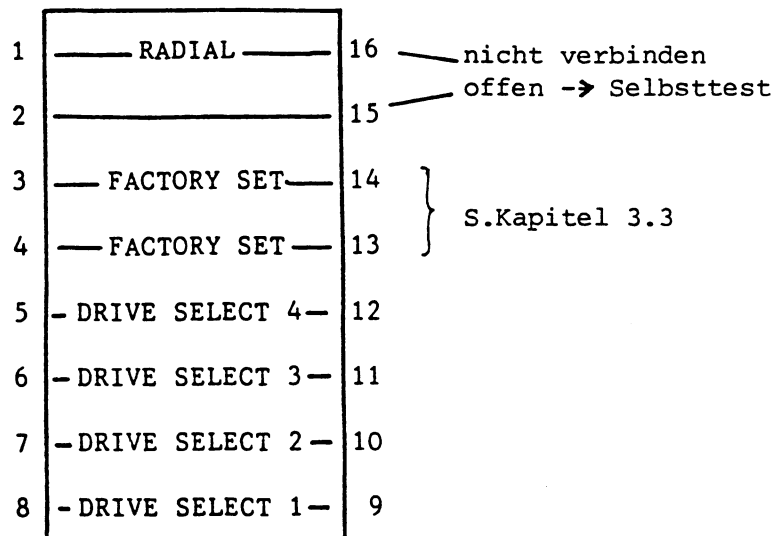
Servicebeschreibung MINISCRIBE MODEL 4020

Signal	Masserück- führung	Signalname
J1-2	J1-1	-REDUCED WRITE CURRENT
J1-4	J1-3	Reserved
J1-6	J1-5	-WRITE GATE
J1-8	J1-7	-SEEK COMPLETE
J1-10	J1-9	-TRACK 000
J1-12	J1-11	-WRITE FAULT
J1-14	J1-13	-HEAD SELECT 2 ⁰
J1-16	J1-15	Reserved
J1-18	J1-17	-HEAD SELECT 2 ¹
J1-20	J1-19	-INDEX
J1-22	J1-21	-READY
J1-24	J1-23	-STEP
J1-26	J1-25	-DRIVE SELECT 1
J1-28	J1-27	-DRIVE SELECT 2
J1-30	J1-29	-DRIVE SELECT 3
J1-32	J1-31	-DRIVE SELECT 4
J1-34	J1-33	-DIRECTION IN
J2-1	J2-2	-DRIVE SELECTED
J2-3	J2-4	Reserved
J2-5	J2-6	Spare
J2-7	J2-8	Reserved
J2-9		Spare
J2-10		Spare
J2-11	J2-12	GROUND
J2-13		+MFM WRITE DATA
J2-14		-MFM WRITE DATA
J2-15	J2-16	GROUND
J2-17		+MFM READ DATA
J2-18		-MFM READ DATA
J2-19	J2-20	GROUND
J3-1		+12V DC
J3-2		GROUND
J3-3		GROUND
J3-4		+5V DC



5. Einstellungen:

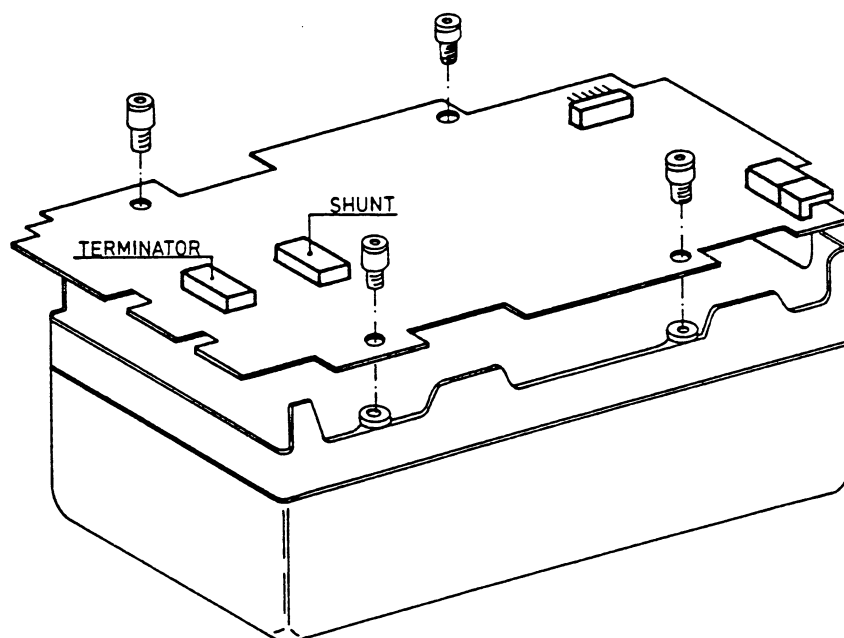
Shunt:



Jedes Laufwerk besitzt ein aufgestecktes Widerstandsnetzwerk.

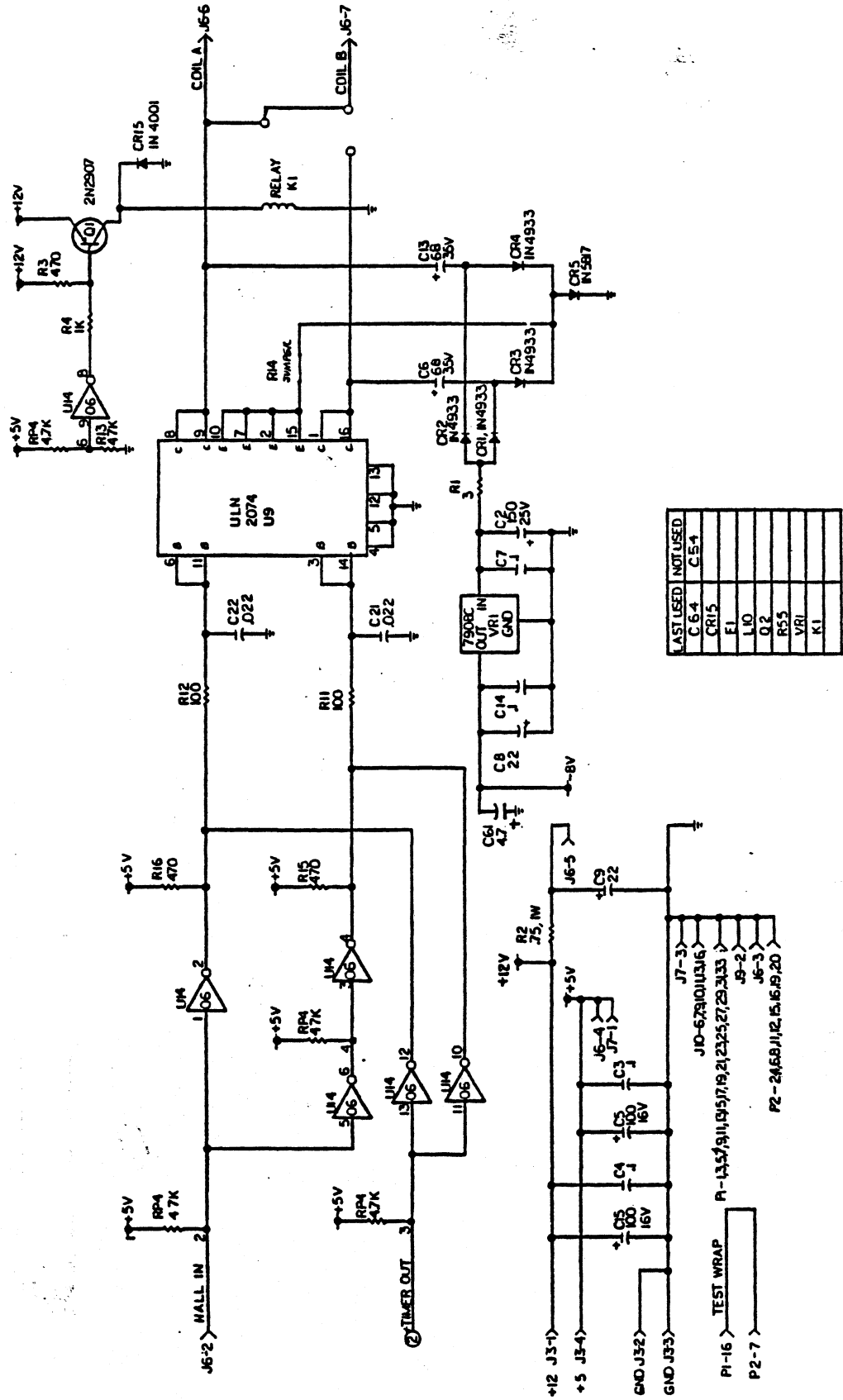
Dieses Netzwerk ist stets bei dem geographisch letzten ange-
steckten Laufwerk einzusetzen.

In den Systemen KONTRON PSI 980/9xxx ist nur ein Winchesterlauf-
werk vorhanden; also muß das Widerstandsnetzwerk gesteckt werden.





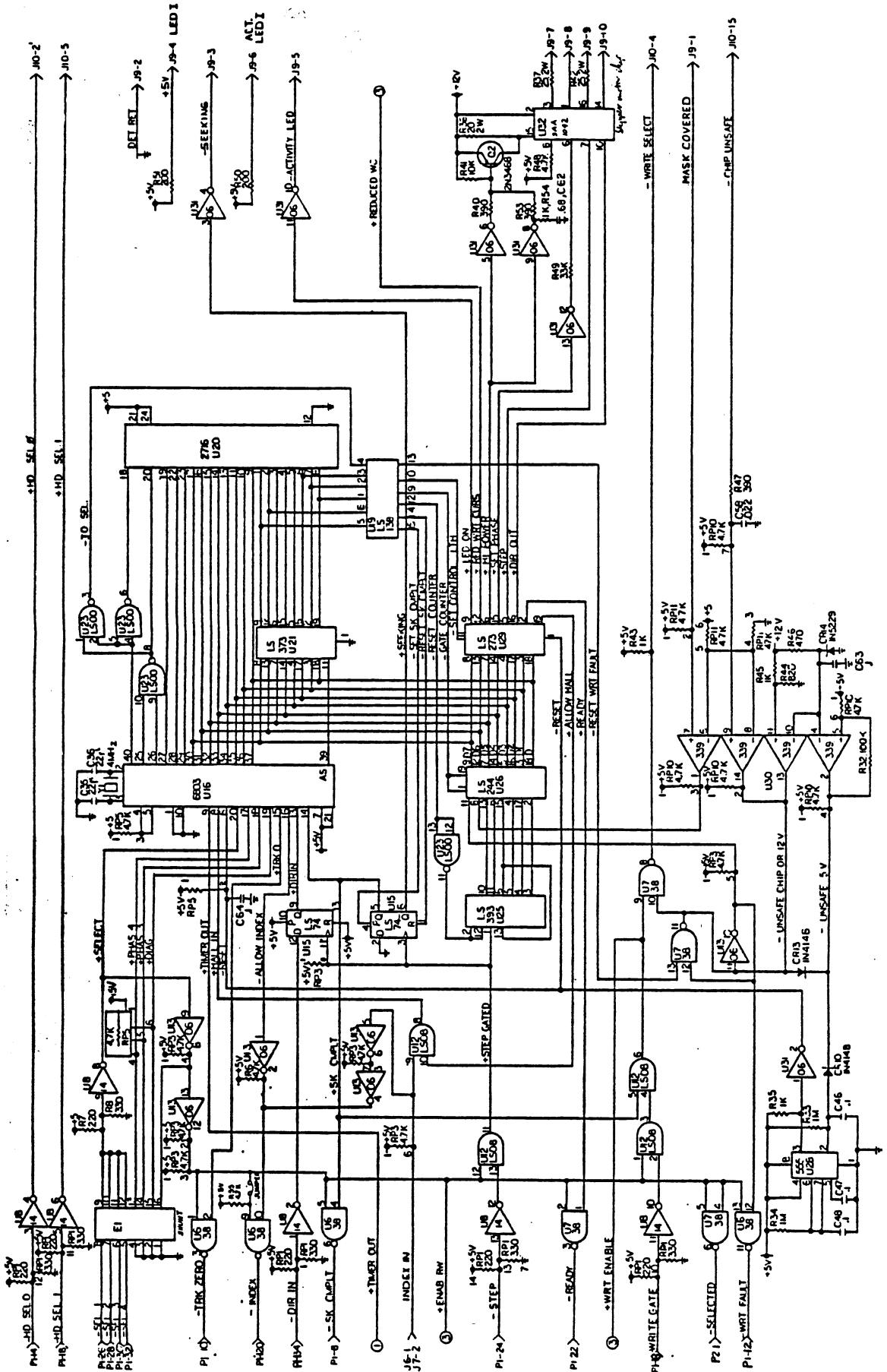
6. Schaltpläne



LAST USED	NOT USED
C64	C54
CR15	
F1	
L10	
Q2	
R55	
VRI	
K1	

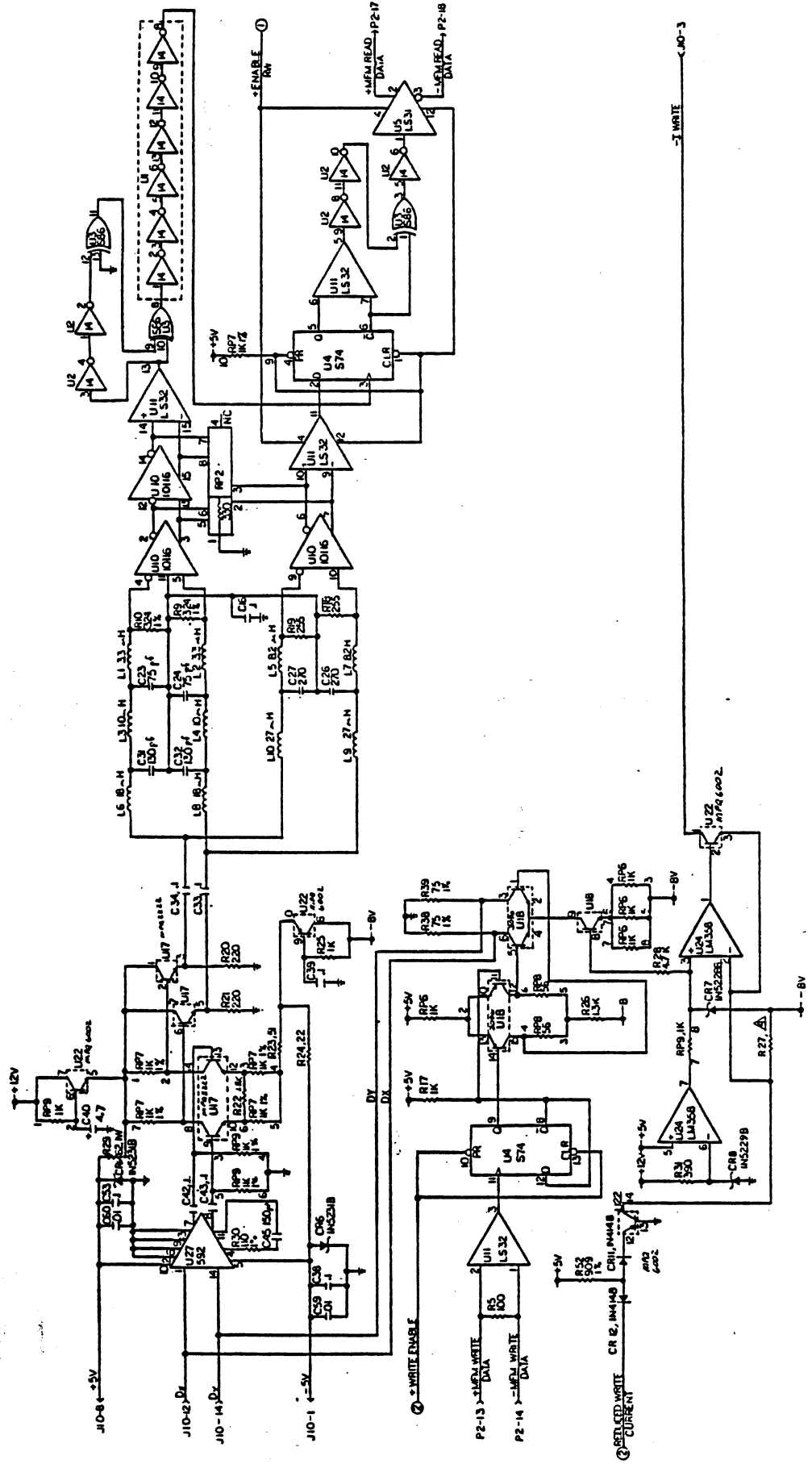


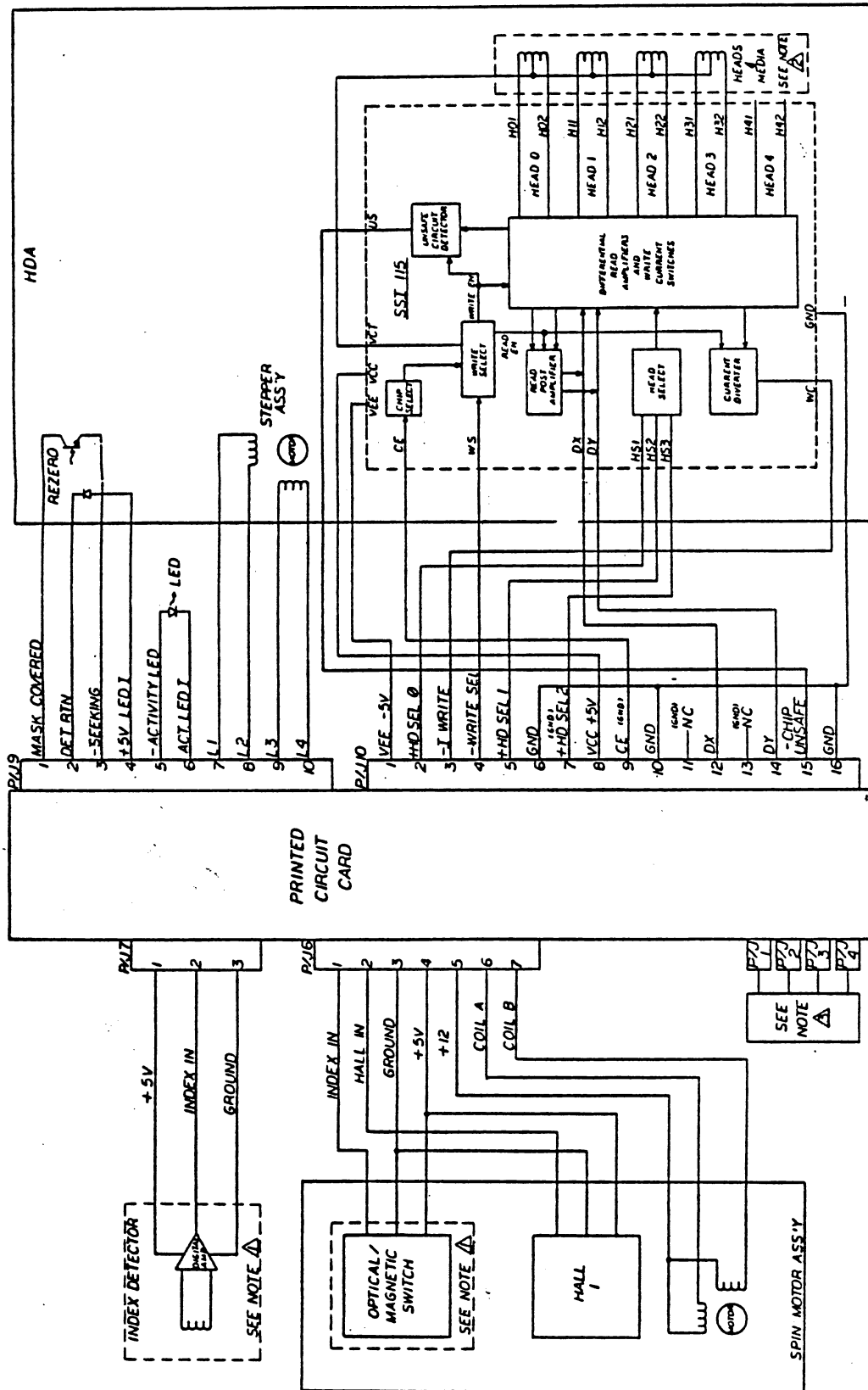
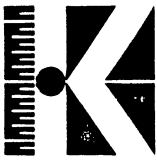
Servicebeschreibung MINISCRIBE MODEL 4020





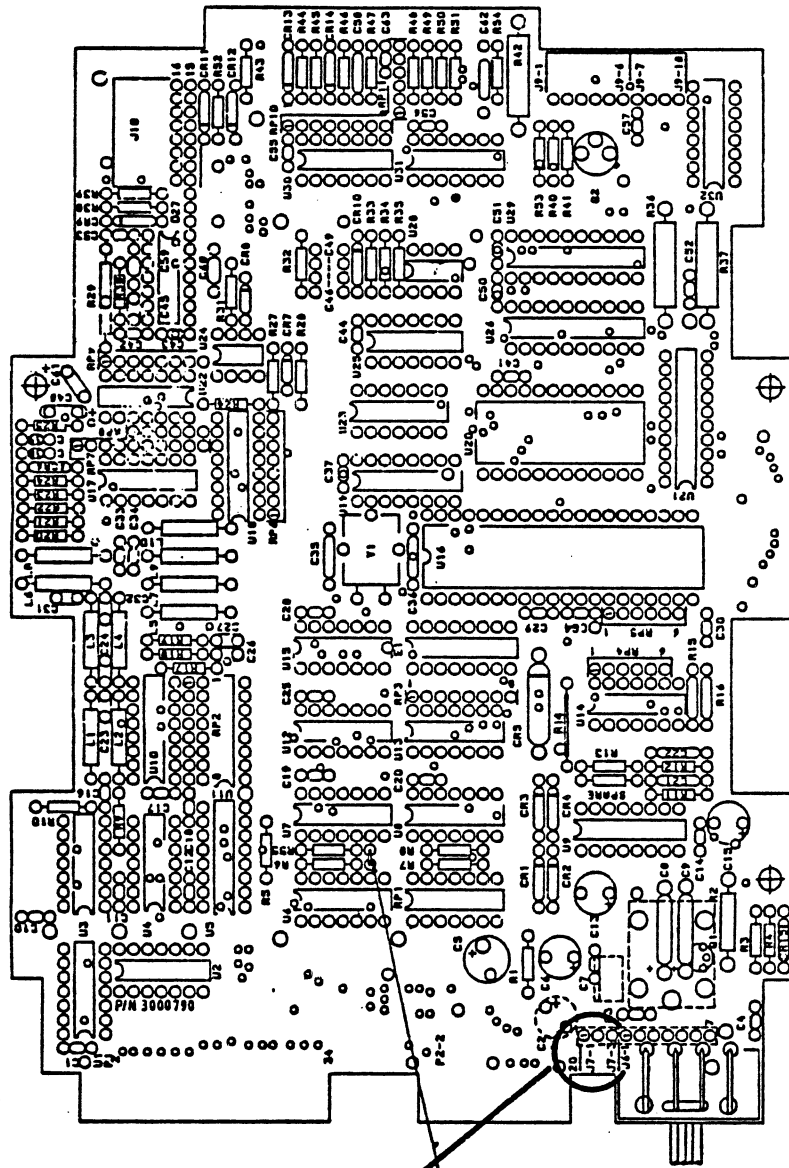
Servicebeschreibung MINISCRIBE MODEL 4020



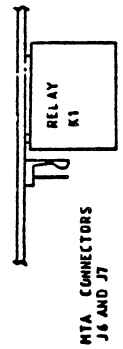




7. Bestückungsplan



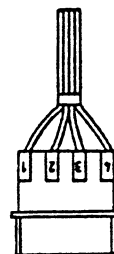
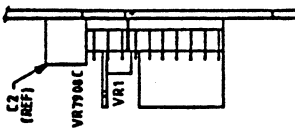
SILK-SCREEN
3080786

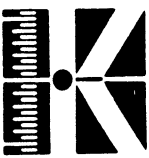


INDEX
1 0
2 0
3 0

J7

JUMPER WIRE
P/N 10341003





Achtung: Um Garantieverluste zu vermeiden, darf dieses Laufwerk nur von autorisiertem ausgebildetem Personal mit entsprechender Werkstattausrüstung gewartet werden.

Im Normalfall können nur Überprüfungsarbeiten durchgeführt werden.

Selbst ein Ausbau der Platine darf nicht durchgeführt werden, da sämtliche Schrauben mit genau spezifiziertem Drehmoment angezogen werden müssen, um Verspannungen und damit Laufwerksschäden zu vermeiden.

Zunächst einige technische Daten über das Laufwerk:

Umgebungsbedingungen:	Betrieb	4 ... 50 Grad C
	Lagerung	-10 ... 60 Grad C
Maximaler Temperaturgradient	10 Grad C/Stunde im Betrieb	
Feuchtigkeitsbereich	8 ... 80 % nicht kondensierend	
Spannungsversorgung:	+ 12 V +/- 5 %	0.7 Amp
	+ 5 V +/- 5 %	0.9 Amp
Abmessungen Laufwerk:	Höhe	41.3 mm
	Breite	122 mm
	Tiefe	203 mm
Kassette:	Höhe	11 mm
	Breite	110 mm
	Tiefe	112 mm
Thermische Abstrahlung:	13 Watt	
Verfügbarkeit:	MTBF	11000 Betriebsstunden
	MTTR	30 Minuten

Keine vorbeugende Wartung notwendig.



Fehlerraten:

Soft-Lesefehler	1 je 10^9	gelesenen Bits
Hard-Lesefehler	1 je 10^{12}	gelesenen Bits
Positionierfehler	1 je 10^6	Vorgängen

Speicherdaten:

Kapazität	unformatiert/formatiert
pro Laufwerk	6.38 MByte / 5.0 MByte
pro Oberfläche	3.19 MByte / 2.5 MByte
pro Spur	10416 Byte / 8192 Byte
pro Sektor	- / 256 Byte
Sektoren pro Spur	- / 32

Übertragungsrate 5.0 Mbits/sec

Zugriffszeiten

	min.	max.	
von Spur zu Spur	25	94	
Mittelwert	90	161	ms
Maximum	205	276	ms

mittlere Latenzzeit: 8.46 ms

Funktionale Daten

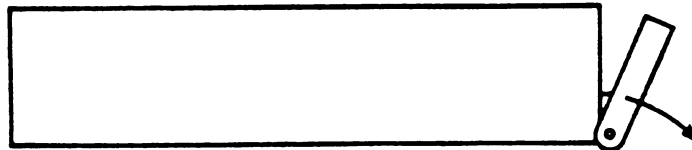
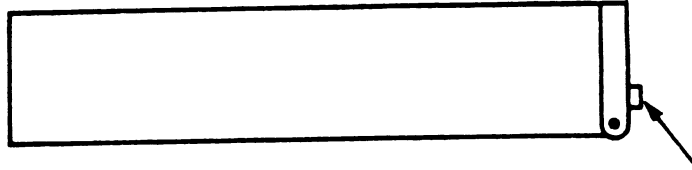
Umdrehungsgeschwindigkeit	3547 +/- 1 % U/min.
Aufzeichnungsdichte	12000 bits pro inch
Flußwechselfichte	12000 fpi
Spurdichte	435 tpi
Zylinderanzahl/Spuren	306/612
Köpfe	2



Bedienungshinweise

Öffnen des Laufwerkes:

Zum Entnehmen der Speicherkassette drücken Sie zunächst den weißen Knopf. Die Frontklappe wird sich nun etwas öffnen und die Leuchtdiode beginnt zu blinken.

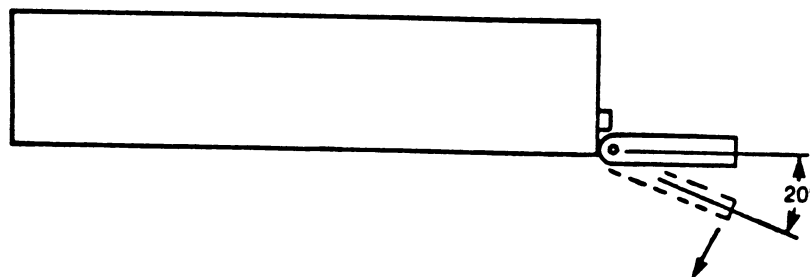


Warten Sie nun solange, bis die Leuchtdiode aufhört zu blinken.

Versuchen Sie nicht, das Laufwerk zu frühzeitig zu öffnen, da dabei das Speichermedium bzw. das Laufwerk selbst beschädigt werden könnte!

Das Laufwerk benötigt diese Zeit, um die Schreib-/Leseköpfe auf eine bestimmte definierte Spur zu fahren, auf der sie gefahrlos "landen" können.

Erst nachdem die Leuchtdiode aufgehört hat zu blinken, kann das Laufwerk ohne Gefahr ganz geöffnet werden. Drücken Sie dazu die Frontklappe ganz nach unten, bis die Speicherkassette entriegelt wird.





Einlegen der Kassette:

Achten Sie beim Einlegen auf die richtige Lage der Kassette!

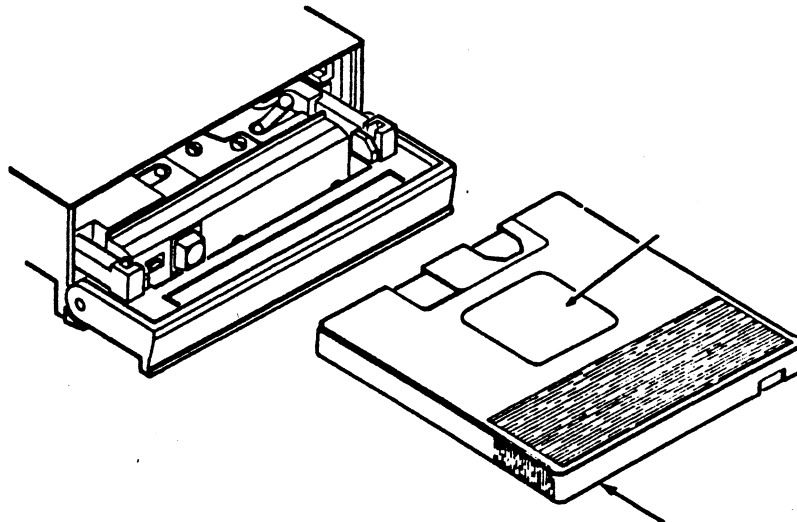
Der rote Schreibschutzschieber muß rechts liegen!

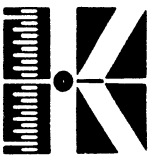
Schieben Sie nun die Kassette bis zum Einrasten in das Laufwerk.

Verriegeln Sie das Laufwerk durch Schließen der Frontklappe.

Das Laufwerk ist nun betriebsbereit.

Hinweis: Falls die Speicherkassette gegen Überschreiben gesichert ist, so wird, falls versucht wird, Dateien auf das Medium zu kopieren, keine Fehlermeldung ausgegeben. Vergewissern Sie sich also, daß der Schreibschutz nicht vorhanden ist, wenn Sie Dateien auf die Wechselplatte kopieren.





Hinweis: Auf der Wechselplatte befindet sich eine Referenzspur, um die Austauschbarkeit der Medien zu gewährleisten.

Das Laufwerk versucht nach dem Einschalten stets als erstes, diese Spur zu lesen. Gelingt dies nicht, so wird das Laufwerk den Spindelmotor abschalten und die Leuchtdiode an der Frontseite wird zu blinken beginnen.

In einem solchen Fall sollte die Speicherkassette entnommen und erneut eingelegt werden.

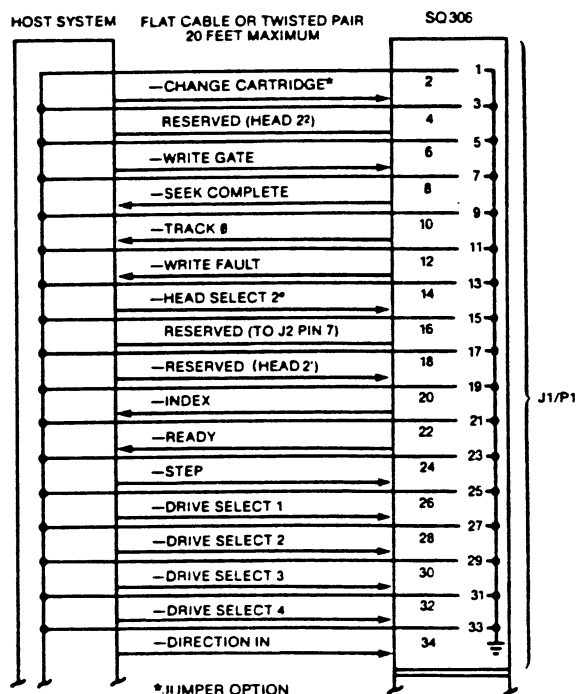
Elektrisches Interface:

Das Interface des Laufwerkes kann in drei Kategorien unterteilt werden:

- Kontrollsignale
- Datensignale
- Spannungsversorgung

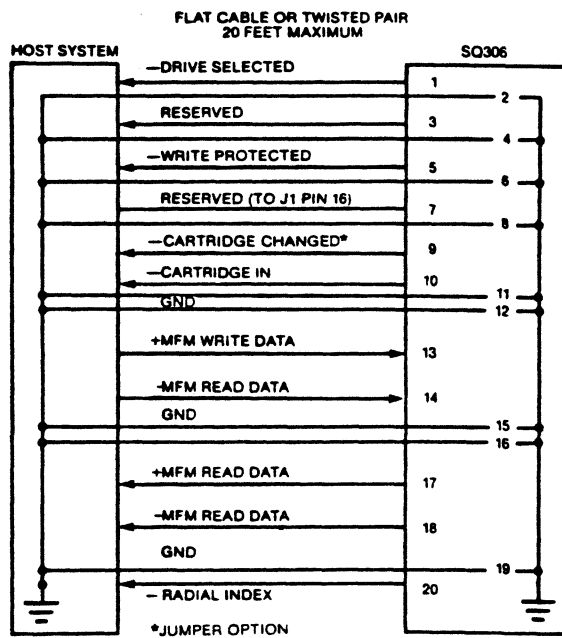
Alle Kontrolleitungen sind digitale Signale (open Collector TTL) und laufen über den Anschluß J1/P1. Die Datensignale sind differentiell (entsprechend RS-422) und laufen über J2/P2.

Folgendes Bild zeigt die Anschlußbelegung von J1/P1 (Kontrollsignale):





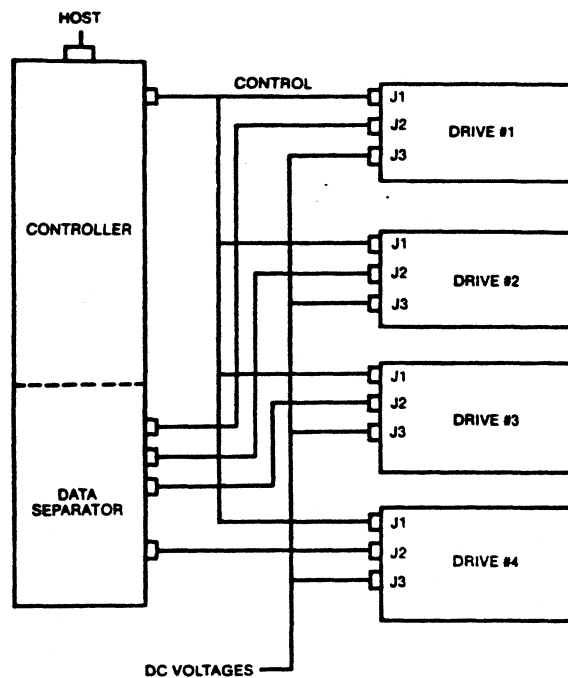
Datensignale:



Anschluß des Laufwerks am Controller:

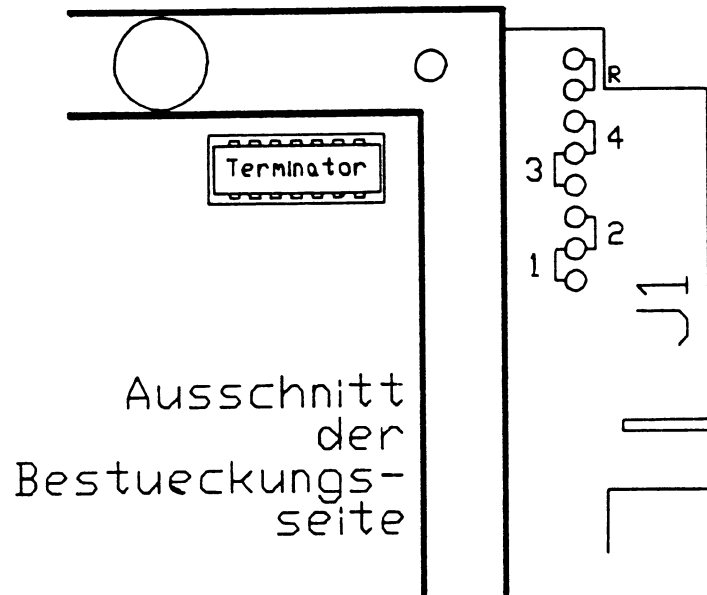
Es kann jeder Controller mit ST 506/412 Interface verwendet werden.

Folgendes Bild zeigt eine typische Konfiguration:





Beachten Sie dabei, daß die entsprechenden "Drive-Select"-Jumper der Laufwerke entsprechend gesetzt werden:



Drive Select	Verbundene Pins
1	1 - 2
2	2 - 3
3	4 - 5
4	5 - 6
Radial	7 - 8 (stets offen zu lassen!)

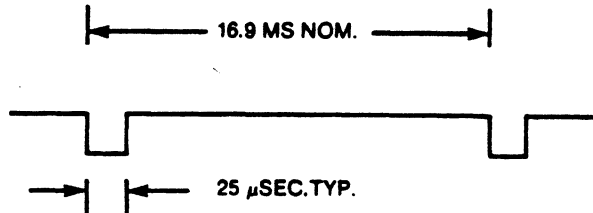
Der Abschlußwiderstand (Terminator) darf nur bei dem geographisch letzten am Controller angeschlossenen Laufwerk gesteckt sein. Bei allen anderen Laufwerken ist er zu entfernen.



Überprüfungen:

Index-Signal

Es muß folgenden Verlauf besitzen:



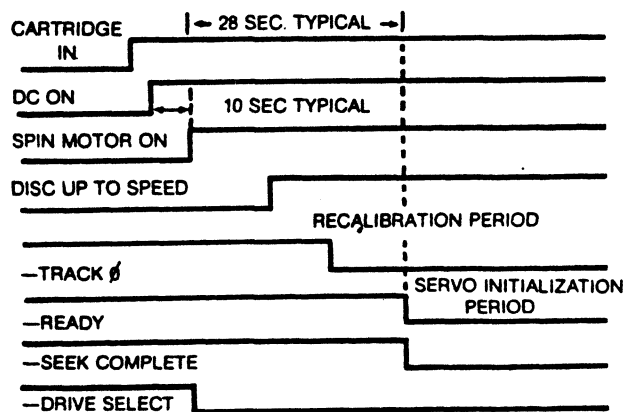
Es kann an TP4 gemessen werden.

Falls die 16.9 ms nicht eingehalten werden, kann dieser Wert mit dem Poti auf der kleinen Platine an der hinteren Seite des Laufwerkes nachgeregelt werden: Verwenden Sie zur Messung nur einen genauen Zähler!

Eine Überprüfung der weiteren Signale erscheint wenig sinnvoll, da das Laufwerk zur Behebung eventueller Schäden eingeschickt werden muß.

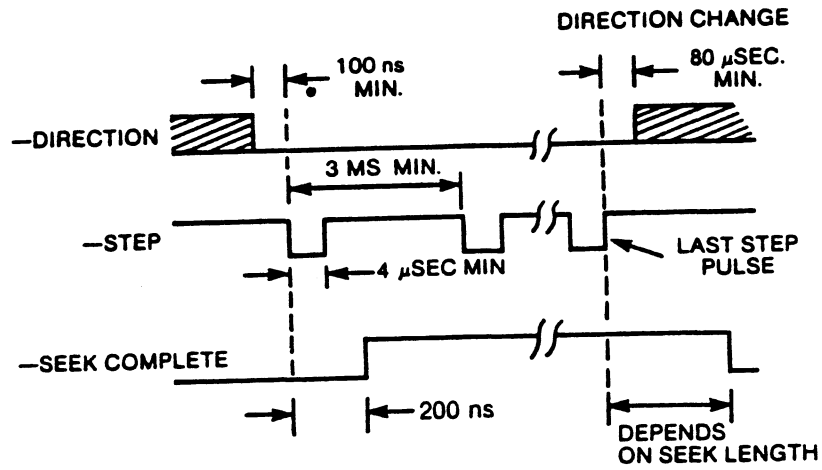
Folgende Bilder erläutern einige Zeitdiagramme:

Einschaltvorgang

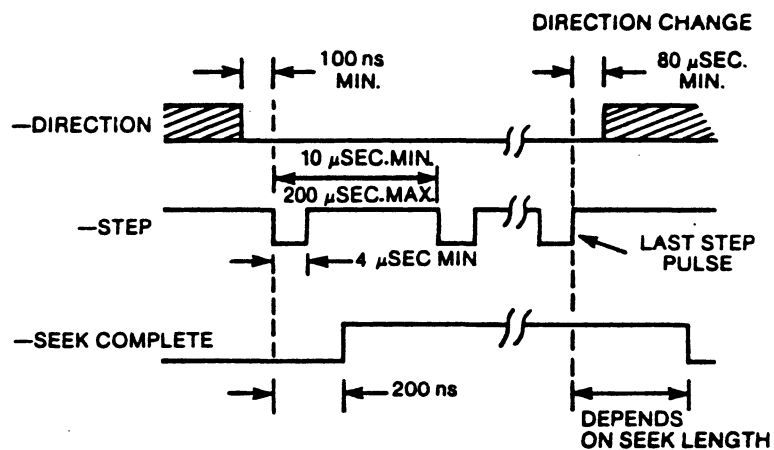




Langsame Spuranwahl

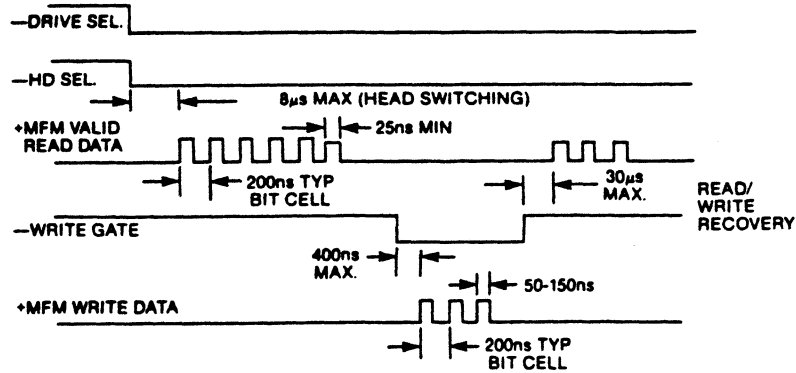


Gepufferte Spuranwahl





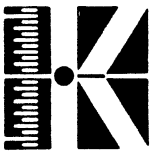
Lese-/Schreib-Daten Zeitverhältnisse



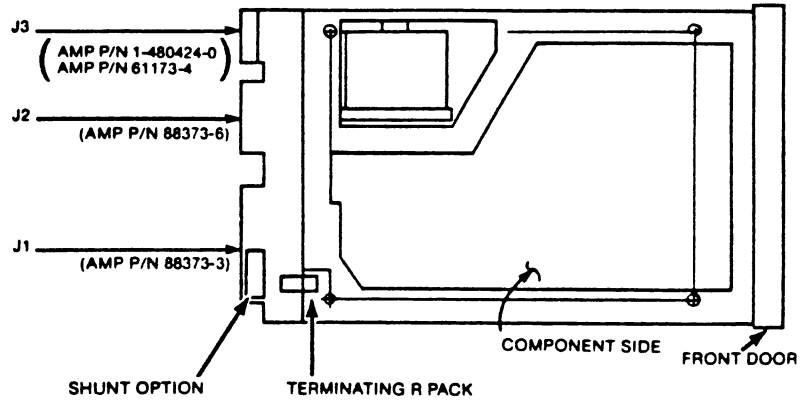
TEST POINT	DESCRIPTION
------------	-------------

1	Read Data Pulse
2	Read Data
3	Write Data
4	Index (mechanical)
5	Servo Data Threshold
6	+Read Data (analog)
7	-Read Data (analog)
8	N/A

JUMPER	DESCRIPTION	SHIP CONFIGURATION
W1	Write Data Termination	Installed
W2	Read Data Termination	Installed
W3	L.E.D. Activity	Installed
W4	Cartridge Change	Not Installed
W5	N/A	Not Installed



Lage des Jumperfeldes und der Anschlüsse:

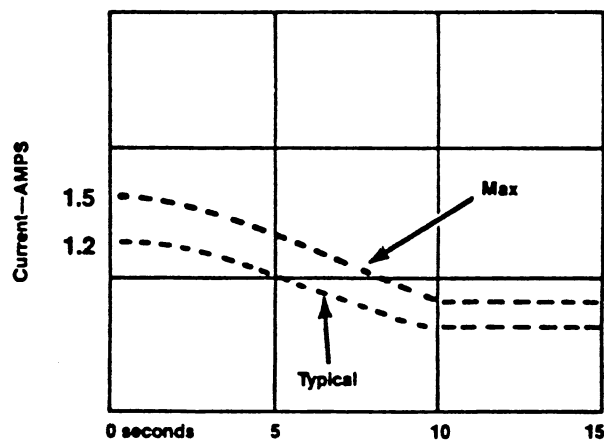


Anschlußbelegung des Spannungsversorgungsanschlusses

Spannungsversorgung:

J3 Connector	Current AMPS	
	Max	Typ
Pin 4 +5 Volts DC $\pm 5\%$	1.0	.9
Pin 3 +5 Volt Return		
Pin 1 • +12 Volts DC $\pm 5\%$	1.5	.7
Pin 2 • +12 Volt Return		

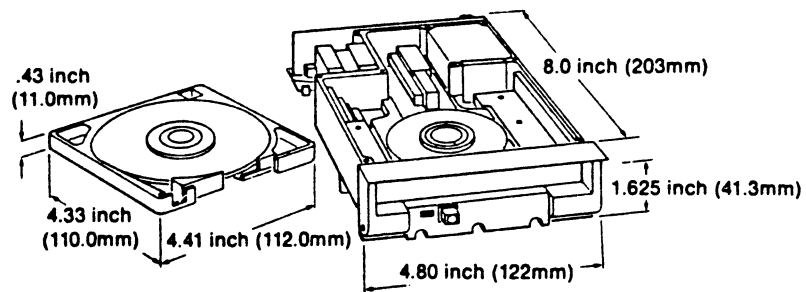
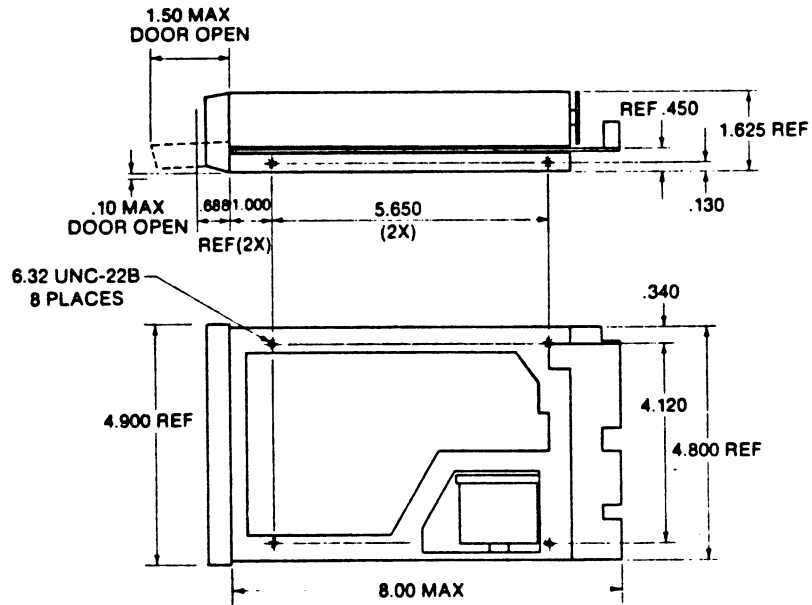
Stromaufnahme beim Einschalten





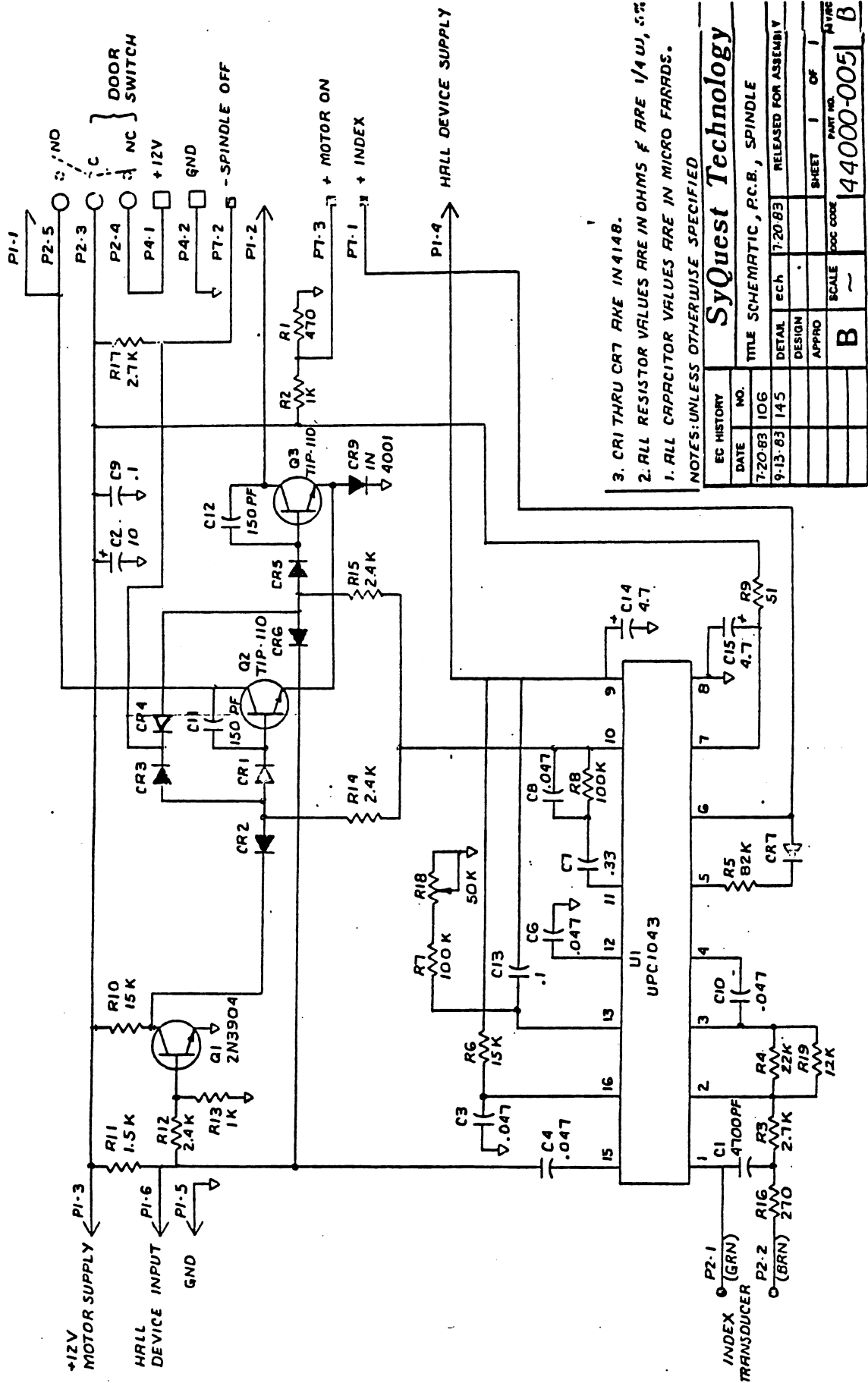
Wechselplatte SQ 306 - 5 MByte

Abmessungen:



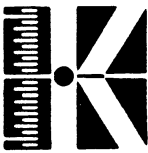


Schaltpläne

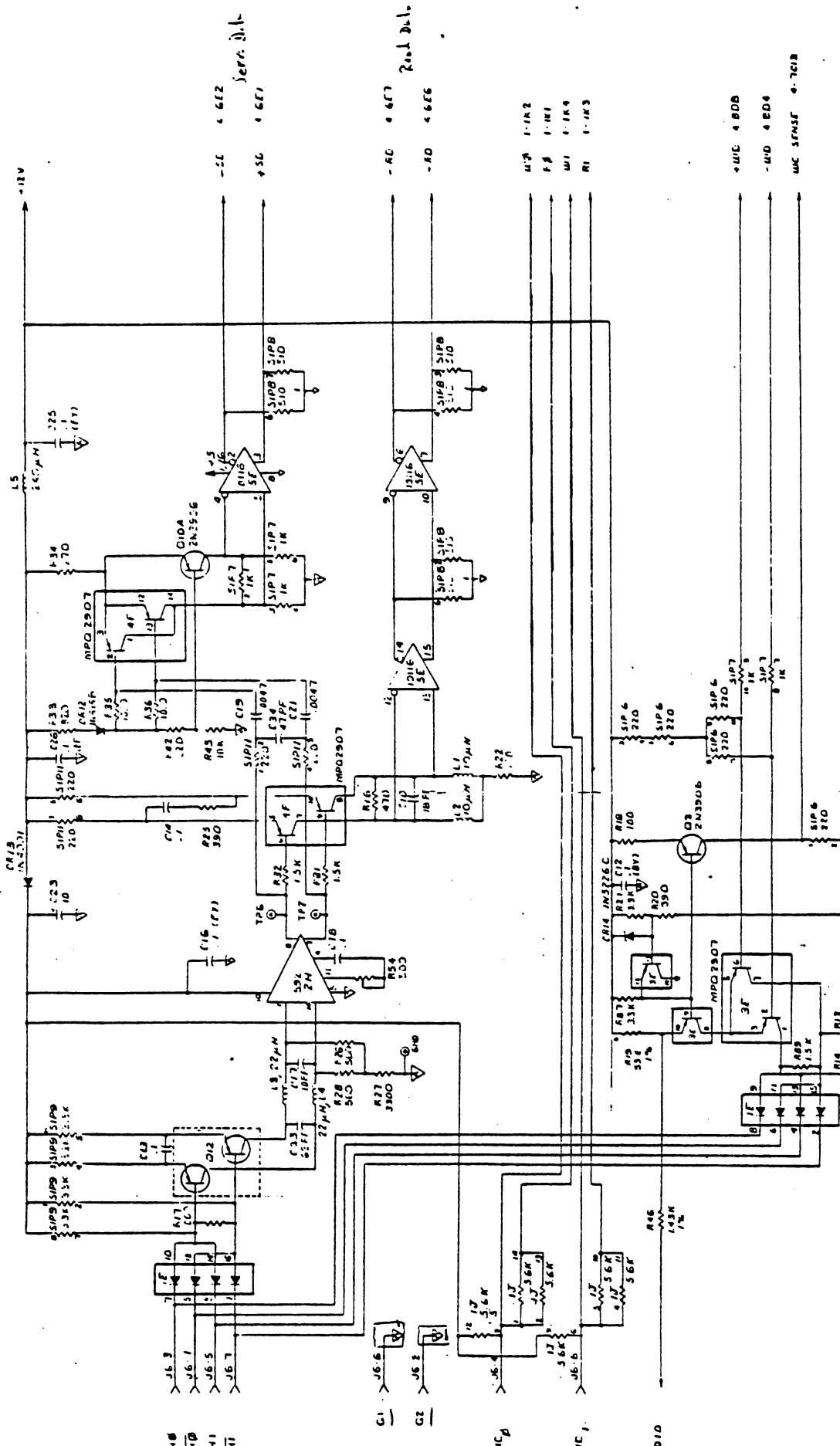


- 3. CR1 THRU CR7 ARE IN 4148.
 - 2. ALL RESISTOR VALUES ARE IN OHMS & ARE 1/4 W, 5%.
 - 1. ALL CAPACITOR VALUES ARE IN MICRO FARADS.
- NOTES: UNLESS OTHERWISE SPECIFIED

EC HISTORY		SyQuest Technology	
DATE	NO.	TITLE SCHEMATIC, P.C.B., SPINDLE	
7-20-83	106	RELEASED FOR ASSEMBLY	
9-13-83	145	DETAIL	ECH 7-20-83
		DESIGN	
		APPRO	
		SCALE	SHEET 1 OF 1
		PART NO.	44000-005
		REV	B



Wechselplatte SQ 306 - 5 MByte



SMART COMPONENTS TO ENGINEERING SPEC. ES 3800-0		IC MEMORY	
DATE	REV.	DATE	REV.
VENDOR'S MODEL NUMBER			
DIVERSIFIED NOTES			
DESIGNER'S NAME			
DRAWN BY			
CHECKED BY			
APPROVED BY			
DATE			
PROJECT NUMBER			
SHEET NUMBER			
SHEET TOTAL			

SyQuest Technology
FROM SYQUEST TECHNOLOGY PARTS LIST

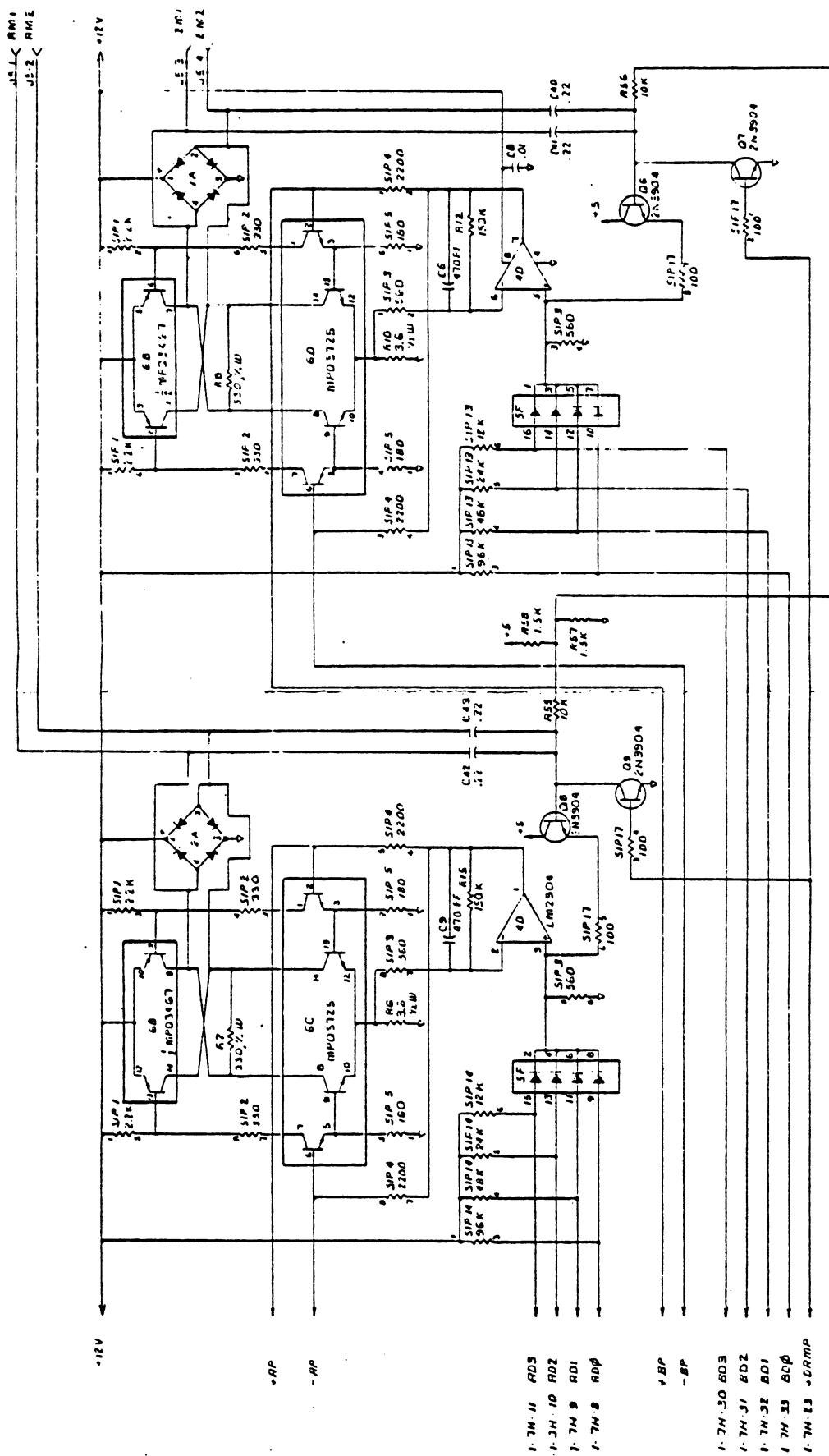
Rel. 1.0, Dezember 1984

SQ306-15

DO NOT SCALE
EUREL 1-909



Wechselplatte SQ 306 - 5 MByte



SyQuest Technology	
PART NUMBER TO BE ORDERED: SQ 306 - 5 MByte	
DATE: 12/1984	
DESIGNED BY: J. J. ...	
CHECKED BY: ...	
APPROVED BY: ...	
DATE: 12/1984	
DRAWN BY: ...	
CHECKED BY: ...	
APPROVED BY: ...	
DATE: 12/1984	



Inhaltsverzeichnis

		Seite
1.	Einführung	
1.1	Kurzbeschreibung:	5
	Abb. 1: Datenbus	6
	Abb. 2: Adreßbus	7
2.	Zentraler Rechnerenteil	
2.1	Zentraleinheit	8
2.2	Speichersystem	9
2.2.1	Speicherverwaltung	9
2.2.2	Festwertspeicher	12
2.2.3	Schreib-/Lesespeicher	12
2.2.4	Bildwiederholungspeicher	13
2.2.5	Externe Speichererweiterung	15
2.3	DMA-Controller	16
2.3.1	Interrupt-Zyklus: Prioritäts-Kaskadierung	17
3.	I/O-Ports	
3.1	Zusammenstellung aller Ports	18
3.2	Status-Ports	20
3.3	Parallele Ports (PIO)	23
3.4	Serielle Ports (SIO)	24
3.5	Zähler/Zeitgeber-Kanäle (CTC)	25
3.6	Floppy-Disk-Controller (FDC)	27
3.7	Harddisk-Anschluß (SASI-Interface)	31
3.8	Video-Controller (CRTC)	33
3.9	Real Time Clock (RTC)	35
3.10	Watchdog	38
4.	Steckerbelegungen	
4.A	Belegung Stecker A (ECB)	39
4.B	Belegung Stecker B (I/O)	40
4.C	Belegung Stecker C (I/O)	41
4.D	Belegung Stecker D (Power)	42
5.	Testpunkte/Jumper	
5.1	Testpunkte auf der KDT6	43
5.2	Jumper auf der KDT6	44
6.	IC-Listen	
6.1	Alle IC's	45
6.2	Referenzliste - IC-Nr./IC-Typ	47
7.	Programmierung der PAL-Bausteine	48
8.	Liste aller Adreßsymbole	57
9.	Revisionsstände	60
9.1	Änderung von Rev. 1.1A auf 1.1B	61
9.2	Änderung von Rev. 1.1B auf 1.1C	61
9.3	Änderung der Rev. 1.1C auf 1.1D (1.2A)	61
9.4	Änderung der Rev. 1.2A auf 1.2B	62
10.	Dokumentationsstand	63

Tabellen

Nr.	Titel	Seite
1	Adressierung des Memory Mappers	10
2	Prom Adreßbereiche	12
3	Adreßzuordnung der Speicherbänke 0...3	13
4	Die I/O-Adressen des Bildwiederholerspeichers	14
5	DMA-I/O-Adressen	16
6	I/O-Ports (Adressen 0 - 1FH)	18
7	I/O-Ports (Adressen 20 - 4H)	19
8	I/O-Adressen der Status-Ports	20
9	Bitzuordnung von Status-Port 0	20
10	Bitzuordnung von Status-Port 1	21
11	Bitzuordnung von Status-Port 2	22
12	I/O-Adressen der parallelen I/O-Ports	23
13	Steckerbelegung der parallelen Ein- und Ausgänge	23
14	I/O-Adressen der seriellen I/O-Ports	24
15	Steckerbelegung der seriellen Ein-/Ausgänge	24
16	I/O-Adressen der Zähler/Zeitgeber-Kanäle	25
17	CTC-Programmiertabelle zur Baudratengenerierung bei 2 MHz	26
18	CTC-Programmiertabelle zur Baudratengenerierung bei 1,2288 MHz	26
19	I/O-Adressen des FD-Controllers	27
20	FDC-Referenztakte	28
21	Steckerbelegung der FDC-Ein-/Ausgänge	29
22	Belegung des FD-Anschlußsteckers (ST-F)	30
23	I/O-Adressen des SASI-Interface	31
24	Bitzuordnung des SASI-Control-Port (Read)	31
25	Bitzuordnung des SASI-Control-Port (Write)	32
26	Belegung des SASI-Anschlußsteckers (ST-E)	32
27	Steckerbelegung der CRTC-Ein-/Ausgänge	34
28	Bitzuordnung von Statusport 2	35
29	Watchdog I/O-Adressen	38
30	Belegung von Stecker A (ECB)	39
31	Belegung von Stecker B	40
32	Belegung von Stecker C	41
33	Belegung von Stecker D	42
34	Testpunkte	43
35	Jumper	44
36	Liste aller IC's	45
37	Referenzliste - IC-Nr. - IC-Typ	47
38	Programmierung der PAL-Bausteine	48
39	Liste aller Adreßsymbole für I/O-Ports	57



1. Einführung

Die Rechnerbaugruppe KDT6 (Kleine-Daten-Technik) ist ein mit modernsten hochintegrierten Bauteilen realisierter 'Single Board Computer' auf Basis der Z80A-CPU. Die Baugruppe ist weitgehend aufwärtskompatibel zu der in vielen Tausend Exemplaren produzierten Rechnerbaugruppe KDT5. Trotz der wesentlich gesteigerten Leistungsfähigkeit der Baugruppe gegenüber ihrem Vorgängermodell konnte das Format beibehalten werden. Dies wurde möglich durch:

- Verwendung modernster Bauelemente (64 kbit RAM's, PAL's etc.)
- Multilayer Technologie der Leiterplattenherstellung
- weitgehende Verlagerung der Ein-/Ausgabe-Treiberbausteine und Stecker auf eine Zusatzplatine

Die Baugruppe wird über drei mechanisch identische 50-polige Steckerleisten mit weiteren Baugruppen innerhalb eines Systems verbunden.

LSI-Schaltkreise folgender Hersteller sind auf der Baugruppe eingesetzt:

- a) Zilog (Z80A): CPU, PIO, SIO, CTC, DMA
- b) NEC: uP 765 (Floppy Disk Controller)
uP 1990 (Real Time Clock)
- c) Motorola: MC 6845 (CRT-Controller)
- d) Texas Intr.: 74LS610 (Memory Mapper)
bzw. 74LS612 ab Rev. 1.2B
funktionskompatibler Einsatz beider IC.

Diese Dokumentation beinhaltet nicht die Beschreibung dieser und aller anderen verwendeten Schaltkreise. Nähere Informationen sind den Datenbüchern der entsprechenden Hersteller zu entnehmen.

Es wird von Fall zu Fall auf in dieser Service-Anleitung enthaltene Schalt- und Bestückungspläne verwiesen. Auf den Bestückungsplänen sind die jeweils bezeichneten IC's, Testpunkte, Jumper etc. besonders gekennzeichnet.

Beschrieben ist eine maximal aufgerüstete Version der KDT6.

Maßgeblich für die Ausführung der KDT6 ist in jedem Fall die gültige Produkt-Spezifikation.



1.1 Kurzbeschreibung

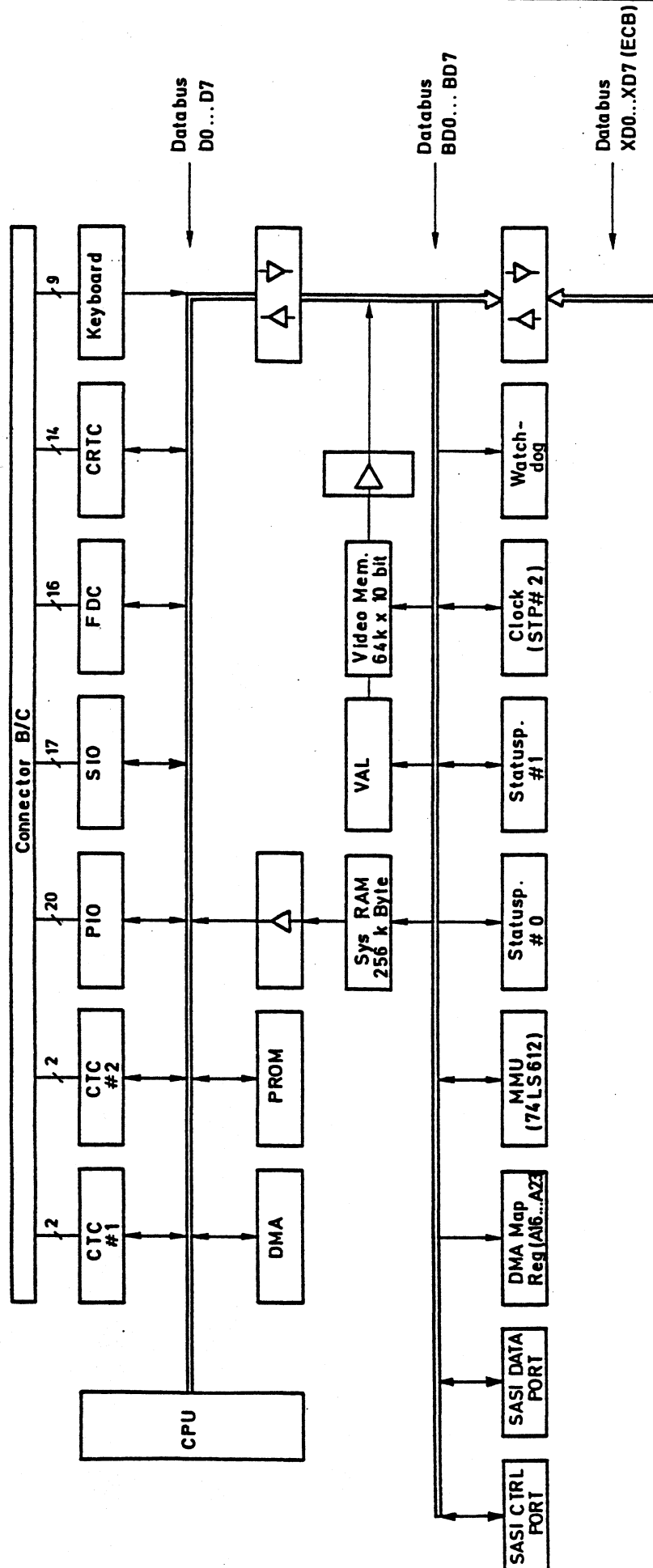
Die Baugruppe KDT6 enthält im einzelnen folgende Komponenten:

- Z80A-CPU mit 4 MHz Taktfrequenz
- Power on Reset
- Separate Buspuffer für internen und externen Bus
- DMA Controller
- Memory Manager mit 16 MByte Adreßraum
- 4 bis 8 kByte PROM (2 Sockel)
- 4 Speicherbänke je 64 kByte = 256 kByte Adreßraum
- Video Speicherbank mit 64 k x 10 bit 'On Board Video Refresh Memory'
- 8 Zähler/Zeitgeberkanäle (2 CTC-Bausteine)
- 16 bit Parallelschnittstelle (ungepufferter PIO-Baustein)
- 2 Serielle Kanäle (TTL gepufferter SIO-Baustein)
- 8 bit Parallelschnittstelle für Keyboard-Anschluß
- Real Time Clock (mit externer Pufferbatterie)
- programmierbarer Watchdog
- Floppy-Disk-Controller für alle Laufwerktypen
- Parallelschnittstelle für Harddisk-Anschluß (SASI-Interface)
- Video-Controller für alphanumerische und graphische Betriebsart
- Charactergenerator für 256 oder 512 Zeichen
- Graphikauflösung 512 x 256 Punkte
- Transparenter Bildwiederholpeicher mit 64 kByte
- Versorgung: 5V (3A voll bestückt)

Die Architektur des Rechners entspricht langjähriger Erfahrung auf dem Gebiet der Schaltungsentwicklung von Mikrocomputersystemen. Die Einheiten auf der Zentralplatine wurden nach funktionellen, logischen und elektrischen Gesichtspunkten so angeordnet, daß unter allen Bedingungen höchste Betriebssicherheit gewährleistet wird. So wurde beispielsweise strikt darauf geachtet, daß die Busstruktur des Prozessors (Adreß-/Datenbus) auch im Layout aufrechterhalten wird, damit Störeinflüsse, wie z.B. Übersprechen, ausgeschlossen werden.

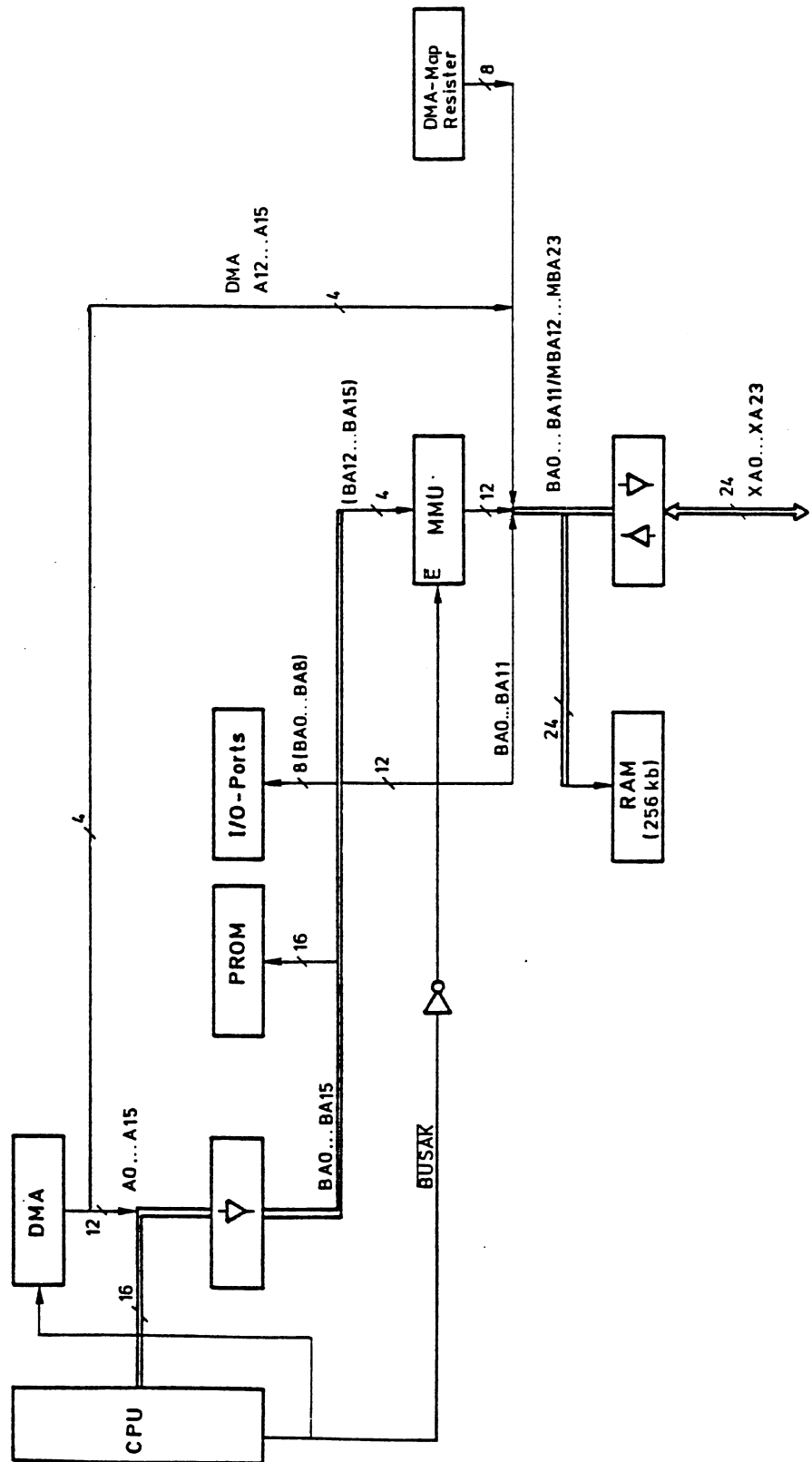
Die Aufteilung in einen 'inneren' und 'äußeren' Datenbus begrenzt die kapazitive Belastung in den einzelnen Bereichen und erhöht somit wiederum die Betriebssicherheit. Der 'innere' Datenbus verbindet alle Z80-Peripheriebausteine und die Ausgänge der Speicher mit der CPU. Störsichere Schmitt-Trigger-Puffer trennen diesen vom 'äußeren' Datenbus, der alle übrigen Peripherieeinheiten und die Eingänge der Schreib-/Lesespeicher bedient.

Die folgenden Seiten zeigen das Blockschaltbild der zentralen Rechnerbaugruppe KDT6, aufgeteilt in Datenbus- und Adreßbus-Struktur.





Ax = unbuffered CPU address
BAx = buffered CPU address
MBAx = mapped address from MMU
XAx = buffered ECB address (external address)





2. Zentraler Rechnerteil

Der zentrale Rechnerteil umfaßt die Komponenten:

- CPU mit Takt, Reset und Pufferung
- Speichersysteme mit Speicherverwaltung, Festwert-, Schreib-, Lese- und Bildwiederholtspeicher
- DMA (Direct Memory Access Controller)

2.1 Zentraleinheit

Die Zentraleinheit (Central Processing Unit) der Baugruppe ist mit der Z80-CPU realisiert. Es kann wahlweise die 4 MHz-Version (Z80A-CPU) oder die 6 MHz-Version (Z80B-CPU) eingesetzt werden.

Standardmäßig wird die Z80A-CPU eingesetzt.

a) Takterzeugung

Der Takt für die CPU wird entsprechend der eingesetzten Version von einem 16 oder 24 MHz Quarzoszillator abgeleitet (Blatt 8 der Schaltpläne) und über eine Treiberstufe der CPU und anderen LSI-Schaltkreisen zugeführt (Blatt 1). Der Takt ist am Testpunkt 1 (TP1) meßbar.

Über das Statussignal 'SEL.CLK' (Status Port 0) kann die wirksame Taktfrequenz halbiert werden. Dies ist nach dem Einschalten der Versorgungsspannung automatisch der Fall, womit gewährleistet ist, daß zum Kaltstart (Boot) eines KDT-basierenden Systems auch in 6 MHz Systemen Standard-EPROM Typen mit Zugriffszeiten von ca. 400 ns eingesetzt werden können.

b) Reset

Ein Reset-Signal für die CPU und alle Schaltkreise mit entsprechendem Eingang wird automatisch durch das Anlegen der Versorgungsspannung erzeugt (Power On Reset). Über den Eingang 'RESET.IN' (Stecker A-50/Stecker D-7) kann zudem ein manuelles Reset-Signal, beispielsweise über einen Schalter, ausgelöst werden.

c) Pufferung

Alle Bussysteme der CPU (Adreß-, Daten- und Steuerbus) sind unmittelbar nach der CPU durch Treiber mit Schmitt-Trigger-Charakteristik gepuffert (Blatt 1 - 74LS541/LS245). Von dort führen die Signale zu den einzelnen Komponenten der Baugruppe, sowie zu separaten Buspuffern für den externen ECB-Busanschluß. Diese Puffer sind bidirektional und unterstützen deshalb auch den direkten Speicher- oder I/O-Port-Zugriff durch externe DMA-Controller.



2.2 Das Speichersystem

Das Herz des Speichersystems ist ein LSI-Baustein zur Speicher-
verwaltung (Memory Manager), der die von der CPU stammenden
logischen Adressen (16 bit, 64 kByte) in physikalische Adressen
(24 bit, 16 MByte) umsetzt. Alle Speicheradressen, mit Ausnahme
derjenigen für die EProm's, werden grundsätzlich durch 24 bit
repräsentiert. Dies gilt auch bei DMA-basierenden Speicherzu-
griffen.

2.2.1 Speicherverwaltung (MMU - Memory Mapping Unit)

a) Der Baustein 74LS612/10

Die Speicherverwaltung basiert auf dem LSI-Baustein 74LS612
bzw. ab Rev. 1.2B auch 74LS610 (Blatt 3). Das bei 74LS610
mögliche "Latches" der Ausgabe (MO0 - MO11) ist durch Anlegen
von Vcc an den betreffenden Latch-Control-Eingang des Bau-
steins aufgehoben.

Dieser Memory Mapper beinhaltet 16 frei programmierbare soge-
nannte MAP-Register, welche die höherwertigen 4 Adreßbits der
CPU (BA12...BA15) in 12 Adreßbits (MBA12...MBA23) umsetzen
(Paging). Hierbei dient die logische 4 Bit-Adresse, gebildet
aus BA12...BA15, zur Adressierung eines der 16 MAP-Register.
Die Speicherverwaltung wird unter drei Umständen umgangen:

- Ein DMA-basierender Zugriff ist im Gange (BUSAK aktiv). In
diesem Fall muß der DMA-Controller die Adressen
BA0...BA23 bereitstellen. Die Ausgänge MO0...MO11 des
Memory Mappers gehen in den hochohmigen Zustand.
- Das Statussignal (Status Port 1) 'SEL.SYSM' (Select
System Memory) von Status Port 1 ist gesetzt.
- Ein I/O-Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MBA16...MBA23
immer 0, sowie die Adreßbits BA12...BA15 unverändert. Dieser
Zustand ist gekennzeichnet durch das Signal 'DIS.MAP'
(Disable Mapper).

b) Adressierung und Programmierung des Bausteins 74LS612/10

Der Baustein wird als I/O-Port adressiert. Er beansprucht
entsprechend der 16 MAP-Register 16 I/O-Adressen, die mit den
Adreßbits BA0...BA3 unterschieden werden. Die Basisadresse
des Bausteins ist 20 (Hex).



Tabelle 1: Adressierung des Memory Mappers
(74LS612/10)

während I/O-Zyklen adressiert durch					!	!	MAP Rg. Nr.:	!	während Speicherzyklen adressiert durch			
BA7...BA4	BA3	BA2	BA1	BA0	!	Hex	!	!	BA15	BA14	BA13	BA12
	0	0	0	0	!	20	!	0	!	0	0	0
	0	0	0	1	!	21	!	1	!	0	0	0
	0	0	1	0	!	22	!	2	!	0	0	1
	0	0	1	1	!	23	!	3	!	0	0	1
	0	1	0	0	!	24	!	4	!	0	1	0
	0	1	0	1	!	25	!	5	!	0	1	0
	0	1	1	0	!	26	!	6	!	0	1	1
0 0 1 0	0	1	1	1	!	27	!	7	!	0	1	1
	1	0	0	0	!	28	!	8	!	1	0	0
	1	0	0	1	!	29	!	9	!	1	0	1
	1	0	1	0	!	2A	!	10	!	1	0	1
	1	0	1	1	!	2B	!	11	!	1	0	1
	1	1	0	0	!	2C	!	12	!	1	1	0
	1	1	0	1	!	2D	!	13	!	1	1	0
	1	1	1	0	!	2E	!	14	!	1	1	0
	1	1	1	1	!	2F	!	15	!	1	1	1

Da jedes MAP-Register eine Breite von 12 bit (D0...D11) hat, müssen die Bits D0...D3 vor jeder Programmierung eines MAP-Registers getrennt bereitgestellt werden. Dies geschieht über den Status Port 2 der Baugruppe. Alle MAP-Register können auch gelesen werden, jedoch nur deren Bits D4...D11. Ein Beispiel soll die Arbeitsweise des Memory Mappers verdeutlichen.

Annahme:

- a) Das MAP-Register 0 enthalte in den Bitstellen D0...D11 den Wert 0011 0001 1010 (Hex.: 31AH)
- b) Die CPU sende die Adresse 0000 xxxx xxxx xxxx (Hex.: OXXX) aus.
Daraus resultiert folgende physikalische 24 bit-Adresse:

0101 1000 0011 xxxx xxxx xxxx (Hex.: 583XXX)

entsprechend der Abbildungsvorschrift:

MMU-Reg:	D11..D8	D7...D4	D3...D0	
	0 0 1 1	0 0 0 1	1 0 1 0	(Hex.: 31AH)
	0 1 0 1	1 0 0 0	1 1 0 0	
	0 1 0 1	1 0 0 0	0 0 1 1	(Hex.: 583H)

Adresse: MBA23...MBA20 ...MBA16 ...MBA12

Die niederwertigen 12 Adreßbits bleiben also unverändert. Die Basisadresse eines 4 kByte Speicherbereichs kann somit nach Belieben in den physikalischen Adreßraum von theoretisch 16 MByte gelegt werden.



c) Beispiele zur Programmierung des Memory Mappers

1. für eine 1:1 Transformation (Speicherbank Nr.0)

init.mapper:

```
ld hl,mmu.table      ; pointer to mmu.table
ld b,16              ; loop counter
ld c,map.reg.0-1    ; mmu base adress minus 1
xor a
out (stp.2.write),a ; set mapper bits D0...D3
```

loop:

```
inc c                ; increment mapper address
outi                 ; program MAP-register
jr nz,loop          ; loop 16 times
ret
```

mmu.table:

```
defb 0              ; page 0 (0000h-0FFFh)
defb 8              ; page 1 (1000h-1FFFh)
defb 4              ; page 2 (2000h-2FFFh)
defb 0ch            ; page 3 (3000h-3FFFh)
defb 2              ; page 4 (4000h-4FFFh)
defb 0ah            ; page 5 (5000h-5FFFh)
defb 6              ; page 6 (6000h-6FFFh)
defb 0eh            ; page 7 (7000h-7FFFh)
defb 1              ; page 8 (8000h-8FFFh)
defb 9              ; page 9 (9000h-9FFFh)
defb 5              ; page A (A000h-AFFFh)
defb 0dh            ; page B (B000h-BFFFh)
defb 3              ; page C (C000h-CFFFh)
defb 0bh            ; page D (D000h-DFFFh)
defb 7              ; page E (E000h-EFFFh)
defb 0fh            ; page F (F000h-FFFFh)
```

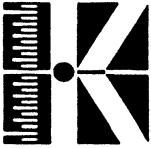
2. der logische Adreßbereich von 4000H bis 4FFFH soll den physikalischen Adreßbereich von 2000H bis 2FFFH von Bank Nr. 1 adressieren:

set.mapper:

```
xor a
out (stp.2.write),a ; set mapper bits D0...D3
ld a,14h            ; select bank 1, page 2
out(map.reg.4),a   ; program MAP-register Nr.4
ret
```

Abschließend die Zuordnung zwischen CPU-Datenbits (Programmierungsphase) und Speicheradresse (Transformationsphase).

	! Page Select	! Bank Select
Adresse:	! MBA15 MBA14 MBA13 MBA12!	MBA16 MBA17 MBA18 MBA19
CPU Datenbit	! D0 D1 D2 D3	! D4 D5 D6 D7
-----!-----!-----		
	! Bank Select	!
Adresse	! MBA20 MBA21 MBA22 BA23	!
Status Port 2	! D3 D2 D1 D0	!



2.2.2 Festwertspeicher (PROM)

Zur Aufnahme von Festwertspeichern (PROM's) stehen zwei 24-polige Steckplätze zur Verfügung. Es kann der EProm-Typ 2732 von Intel (4 kByte) eingesetzt werden.

Die Adressierung der beiden Promsockel erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der Prombereich adressiert werden muß, bevor die Speicherverwaltung programmiert ist. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der Prombereich völlig abgeschaltet werden. Die den beiden Promsockeln (PROM1/PROM2) zugeordneten Adressen sind in Tabelle 2 zusammengefaßt.

Tabelle 2: Prom Adreßbereiche

Socket	Adreßbereich	POFF
PROM 1 (I2732)	0000 - 0FFF	0
PROM 2 (I2732)	1000 - 1FFF	0

Hinweis:

Der Prombereich ist als 'Read Only Memory' geschaltet, d.h.: Schreibzugriffe auf den physikalischen Adreßbereich der Prom's adressieren das in diesem Bereich liegende RAM.

2.2.3 Schreib-/Lesespeicher (RAM)

Der Schreib-/Lesespeicher der Baugruppe ist mit modernen 64 kBit x 1 dynamischen RAM-Bausteinen aufgebaut und umfaßt 4 Bänke je 64 kByte, also insgesamt 256 kByte. Die Bänke werden im folgenden als Bank 0 ... Bank 3 bezeichnet.

Daneben ist ein eigener 10 x 64 kbit Bildwiederholungspeicher realisiert, der fest dem CRT-Controller zugeordnet ist (siehe auch Abschnitt Bildwiederholungspeicher).



Adressierung der Speicherbänke

Die Bänke 0 bis 3 sind folgenden physikalischen 24 bit Adressen zugeordnet (Tabelle 3):

Tabelle 3: Adreßzuordnung der Speicherbänke 0...3

Bank	! MBA23...MBA18	MBA17	MBA16	MBA15...BA0	! Hex
0	!	0	0	x	! 00 xxxx
1	!	0	1	x	! 01 xxxx
2	!	0	1	0	! 02 xxxx
3	!	0	1	1	! 03 xxxx

Der Adreßdekodierer (Blatt 3) ist mit einem PAL-Baustein (PAL1, Typ 12L6) realisiert. Er liefert die RAS-Signale (Row Address Strobe) für die Speicherbänke 0 bis 3 (RAS0...RAS3), desweiteren die Steuersignale 'INT.MEM' (Internal Memory) und 'SEL.RAM' (Select Ram). Die Gleichungen dieses PAL-Bausteins und aller anderen PAL's sind im Anhang zusammengestellt.

2.2.4 Bildwiederholpeicher

a) Übersicht

Der Bildwiederholpeicher besteht aus einer 64k x 10 bit RAM-Bank.

Die Adressierung des Bildwiederholspeichers durch die CPU erfolgt ausschließlich über I/O-Read/Write-Befehle.

b) Der Bildwiederholpeicher als I/O-Port

Der gesamte Bildwiederholpeicher kann formal als I/O-Port betrachtet werden, dem 4 I/O-Adressen zugeordnet sind. Dieses Verfahren bietet einige entscheidende Vorteile gegenüber der Speicheradressierung:

- keine Stackmanipulationen vor dem Zugriff auf den Bildwiederholpeicher notwendig
- keine Mapper Programmierung notwendig
- keine Restriktionen bezüglich der Lage von Interrupt Service Routinen in einem System
- 100 %-ige Trennung zwischen System- und Videospeicher



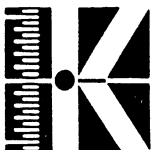
Der Zugriff auf den Bildwiederholtspeicher über I/O-Befehle erfordert gewöhnlich 3 Schritte:

- a) Übertragung des Low Bytes der Adresse in das Video Address Latch Low (val.low)
- b) Übertragung des High Bytes der Adresse in das Video Adress Latch High (val.high)
- c) Übertragung des eigentlichen Datenbytes

Das Video Address Latch ist als programmierbarer 16 Bit Vor-/Rückwärtszähler realisiert (Blatt 12). Dieser Zähler kann optional nach der Übertragung des Datenbytes automatisch inkrementiert oder dekrementiert werden. Der Datenaustausch mit aufeinanderfolgenden Speicherstellen des Bildwiederholtspeichers erfordert deshalb nur die einmalige Übertragung einer Adresse und ansonsten einen I/O-Befehl pro Byte. Zur Manipulation des Bildwiederholtspeichers können somit auch die Blocktransferbefehle der Z80-CPU (OTIR, INIR) angewandt werden. Tabelle 4 enthält die für den Bildwiederholtspeicher relevanten I/O-Adressen.

Tabelle 4: Die I/O-Adressen des Bildwiederholtspeichers

Adresse	I/O-Port	Adreßsymbol
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
40	Video Adress Latch (High)	val.high
41	Video Adress Latch (Low)	val.low



c) Programmbeispiele

1. Beispiel:

Der Inhalt von Register <A> soll in den Bildwiederhol-speicher (Adresse: <DE>) geschrieben werden.

```
write.to.bank : ld c, val.low      ; video address latch (low)
                out (c), e         ; transfer low address
                dec c              ; video address latch (high)
                out (c), d         ; transfer high address
                out (vmb0), a      ; transfer data byte
                ret                ; return to caller
```

2. Beispiel:

Aus dem Systemspeicher ab Adresse <HL> sollen 80 Bytes in den Bildwiederhol-speicher übertragen werden (Adresse <DE>)

```
move.to.bank : ld c, val.low      ; video address latch (low)
                out (c), e         ; transfer low address
                dec c              ; video address latch (high)
                out (c), d         ; transfer high address
                ld c, vmb0.auto.inc ; video data address (auto inc)
                ld b, 80           ; byte counter
                otir               ; transfer 80 bytes
                ret                ; return to caller
```

2.2.5 Externe Speichererweiterung

Externe Speichererweiterungen können mit standardmäßigen ECB-Baugruppen (z.B. ECB/D256) über den ECB-Busanschluß der KDT-Baugruppe realisiert werden. Voraussetzung ist, daß alle externen Speicherbaugruppen die Adreßbits XA16...XA23 zur Adreßdekodierung mitverwenden. Diese Adressen sind identisch mit den früher definierten MBS-Signalen (Memory Bank Select) der ECB-Busdefinition.

Alle Speicheradressen größer als 04 0000 (Hex) adressieren automatisch einen externen Speicher. Wie bereits beschrieben, kann die Abbildung von logischen CPU-Adressen in physikalische Speicheradressen in 4 'kByte-Pages' festgelegt werden.



2.3 DMA-Controller

Die Baugruppe besitzt standardmäßig einen Z80-DMA Baustein mit eigenem MAP-Register für die Adressen BA16...BA23 (Blatt 2).

Tabelle 5: DMA I/O-Adressen

Adresse	I/O-Port	Adresssymbol
0	Z80-DMA	dma
1	nicht verwendet	
2	nicht verwendet	
3	nicht verwendet	
3C	Map Register für DMA (A16...A23)	dma.map.reg

Über einen Multiplexer (IC 71: 74LS153) kann durch das Statusbit 4 von Status Port 0 und Bit 3 vom SASI-Controlport eines von drei Trigger Signalen an den Ready Eingang des DMA geschaltet werden.

SASI-Controller Bit 3	Status- port 0 Bit 4	DMA-Ready Signal
1	0	FDC.DRQ (Floppy Disk Controller, Data Request)
1	1	SIOA.RDY (SIO Data Request, Kanal A)
0	x	SASI.DRQ (Data Request vom SASI-Interface)



2.3.1 Interrupt-Zyklus: Prioritäts-Kaskadierung

Bei der Unterbrechungsanforderung von Peripherieelementen wie DMA, CTC, SIO und PIO werden diese Bausteine zu einer nach Priorität geordneten Kette (Daisy Chain) zusammengefaßt. Erstes Glied dieser Kette bei der KDT6 mit der höchsten Priorität ist die DMA (Stand Alone Mode bei Speicher/Speicher-Operationen).

Die Prioritäts-Kaskadierung erfolgt bei der KDT6 nach folgendem Schema:

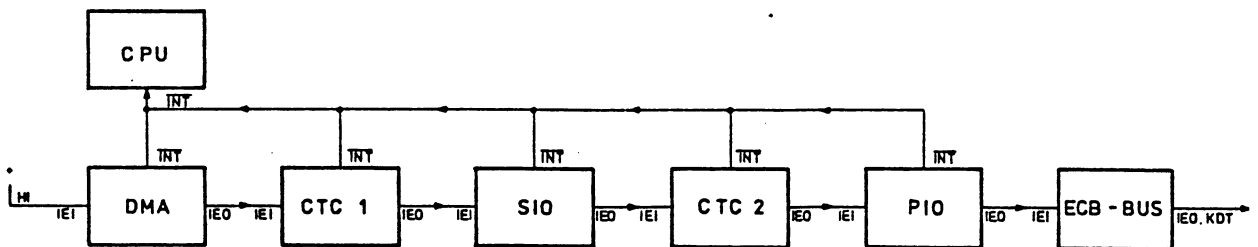


Abb. 3: Interrupt-Prioritätskette bei KDT6 (schematisch)

Die durch die Kettenlänge auftretenden Schaltzeitprobleme können durch eine "Look-Ahead"-Schaltung umgangen werden. Auf der KDT6 wird diese Schaltung durch PAL3 dargestellt (siehe Blatt 5 und Programmierung PAL3).



3. I/O-Ports

Alle I/O-Leitungen sind auf die beiden 50-poligen Stecker B und C herausgeführt (ST-B/ST-C).

3.1 Zusammenstellung aller I/O-Ports

Die Baugruppe beansprucht 50 (Hex) I/O-Adressen entsprechend der Aufstellung in den Tabellen 6 und 7. Die mit einem * gekennzeichneten I/O-Ports sind kompatibel zur KDT 5.

Tabelle 6: I/O-Ports (Adressen 0-1FH)

Adresse	I/O-Port	Adreßsymbol
00 (*)	Z80A-DMA	dma
01 -	-	-
02 -	-	-
03 -	-	-
04 (*)	SIO Channel A data	sio.channel.a
05 (*)	SIO Channel B data	sio.channel.b
06 (*)	SIO Channel A control	sio.channel.a+2
07 (*)	SIO Channel B control	sio.channel.b+2
08 (*)	CTC1 Channel 0	ctc1.channel.0
09 (*)	CTC1 Channel 1	ctc1.channel.1
0A (*)	CTC1 Channel 2	ctc1.channel.2
0B (*)	CTC1 Channel 3	ctc1.channel.3
0C (*)	PIO Port A data	pio.port.a
0D (*)	PIO Port B data	pio.port.b
0E (*)	PIO Port A control	pio.port.a+2
0F (*)	PIO Port B control	pio.port.b+2
10 (*)	CTC2 Channel 0	ctc2.channel.0
11 (*)	CTC2 Channel 1	ctc2.channel.1
12 (*)	CTC2 Channel 2	ctc2.channel.2
13 (*)	CTC2 Channel 3	ctc2.channel.3
14 (*)	FDC 765 control	fdc.765.status
15 (*)	FDC 765 data	fdc.765.data
16 -	-	-
17 -	-	-
18 (*)	CRTC 6845 control	crtc.pointer
19 (*)	CRTC 6845 data	crtc.data
1A -	-	-
1B -	-	-
1C (*)	Status Port Nr.0 (Write)	stp.0
1D (*)	Keyboard Input Register	keyboard
1E (*)	FDC DACK (Data Acknowledge)	fdc.dack
1F (*)	FDC TC (Terminal Count)	fdc.tc



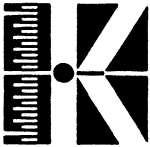
Tabelle 7: I/O-Ports (Adressen: 20H-4FH)

Adresse	I/O-Port	Adresssymbol
20-2F	74LS612/10 Memory MAP-Register 0...15	map.reg.xx
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
32	-	
33	-	
34	-	
35	-	
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
38	Status Port Nr.1 (STP1) Write	stp.1.write
39	Status Port Nr.1 (STP1) Read	stp.1.read
3A	Status Port Nr.2 (STP2) Write	stp.2.write
3B	SASI Control Port	sasi.ctrl
3C	DMA Map Register	dma.map.reg
3D	Watch Dog Register	wdog.reg
3E	Watch Dog Trigger	wdog.trigger
3F	SASI Data Port	sasi.data
40	Video Address Latch (high byte)	val.high
41	Video Address Latch (low byte)	val.low
42-4F	-	-

Die Adressen ab 50H können externen I/O-Ports zugeordnet werden.

Wichtiger Hinweis:

Die symbolischen Adressen sind als Empfehlung zu betrachten. Es wird empfohlen, in allen ASM-Programmen für die KDT-Baugruppe obige Symbole zur einheitlichen Kennzeichnung der I/O-Ports zu verwenden.



3.2 Status Ports

Die Baugruppe enthält drei sogenannte Status Ports (stp.0...stp.2), die im allgemeinen zur Programmierung der Hardware dienen. Der Status Port 0 ist aufwärtskompatibel zum (einzigen) Status Port der KDT 5.x.

Tabelle 8: I/O-Adressen der Status Ports

Adresse	I/O-Port	Adresssymbol
1C	Status Port 0 (write only)	stp.0
38	Status Port 1 (write only)	stp.1.write
39	Status Port 1 (read only)	stp.1.read
3A	Status Port 2 (write only)	stp.2.write

Achtung:

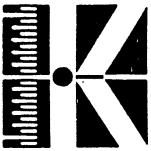
Der Status Port 0 kann und darf nicht gelesen werden (Kompatibilität zu KDT 5.x).

3.2.1 Status Port 0

Tabelle 9: Bitzuordnung von Status Port 0

Bit Nr.	Pegel	Funktion
0	0	Watchdog ist gesperrt
	1	Watchdog ist freigegeben
1	0	Systemfrequenz beträgt 0.5x Phi (2/3 MHz)
	1	Systemfrequenz beträgt 1.0x Phi (4/6 MHz)
2	0	Audiokanal ist gesperrt
	1	Audiokanal ist freigegeben
3	0	Zeichensatz 0 (A12 für 2764 Character Generator)
	1	Zeichensatz 1 (A12 für 2764 Character Generator)
4	0	FDC.DRQ ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
	1	SIOA.RDY ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
5	0	Prom Bereich eingeschaltet
	1	Prom Bereich abgeschaltet
6	0	8" FD-Laufwerke (Standard FD)
	1	5 1/4" FD-Laufwerke (Mini FD)
7	0	FD-Laufwerk Motor abgeschaltet
	1	FD-Laufwerk Motor angeschaltet

Alle Bits von Status Port 0 werden beim Anlegen der Versorgungsspannung und durch jeden Reset automatisch auf 0 gesetzt.



3.2.2 Status Port 1

Status Port 1 ist mit Ausnahme von Bit 7 dem Video Controller Teil der Baugruppe zugeordnet. Im einzelnen gilt folgende Bitzuordnung:

Tabelle 10: Bitzuordnung von Status Port 1

Bit Nr.	Bezeichnung	Funktion
0	VA14	Bit 14 der CRT-Controller Scrolladresse
1	VA15	Bit 15 der CRT-Controller Scrolladresse
2	VBIT8	Bit 8 des Bildwiederholerspeichers (10 bit)
3	VBIT9	Bit 9 des Bildwiederholerspeichers (10 bit)
4	-	
5	VID.INV	Invertiert das Videosignal 0 - Hintergrund dunkel 1 - Hintergrund hell
6	SEL.DM	Selektiert den 'Display Mode' 0 - Graphische Darstellung 1 - Alphanumerische Darstellung
7	SEL.SYSM	Selektiert die Systemspeicherbank (Bank 0) In diesem Fall führt die Speicherverwaltung keine Adreßtransformation durch (Bit 7=1).

Hinweise zu den Bits 0 bis 3

- VA14 und VA15 bestimmen die höherwertigen beiden Bits der Scrolladresse des CRT-Controllers, der selbst nur 14 Adreßbits bereitstellt. Die Scrolladresse bestimmt die Anfangsadresse des auf dem Monitor dargestellten Ausschnitts des Bildwiederholerspeichers.
- Die Videobank ist 10 bit breit (10 x 64 kBit). VBIT8 und VBIT9 bestimmen, was beim Beschreiben des Bildwiederholerspeichers in dessen höherwertige Bits 8 und 9 geschrieben wird. VBIT8 und VBIT9 haben folgende Wirkung:

VBIT8 - Zeicheninvertierung
VBIT9 - Zeichen Blinken (Blinking)

Die Funktionen 'Invertieren und Blinken' sind auf der Interface-Platine realisiert. Insofern haben VBIT8 bzw. VBIT9 auf der KDT selbst keine besondere Bedeutung.

Achtung: Für Status Port 1 gelten unterschiedliche Adressen für Read/Write Operationen (39H bzw. 38H). Von Adresse 38H darf nicht gelesen werden.



3.2.3 Status Port 2

Status Port 2 ist ein 'Write only'-Port, der primär dem Real Time Clock Chip (NEC 1990, Blatt 8) zugeordnet ist. Außerdem werden über diesen Port die höherwertigen Datenbits bei der Programmierung des Memory Mappers (74LS612/10) festgelegt.

Tabelle 11: Bitzuordnung von Status Port 2 (Write only Port)

Bit Nr.	Funktion
0	MAPD 3/Data Input-uP 1990
1	MAPD 2/Control 0-uP 1990
2	MAPD 1/Control 1-uP 1990
3	MAPD 0/Control 2-uP 1990
4	CK (Clock) - uP 1990
5	STB (Strobe) - uP 1990
6	OE (Output Enable) - uP 1990
7	CS (Chip Select) - uP 1990

Hinweis:

Der Real Time Clock Chip 'uP 1990' ist nur dann selektiert, wenn Bit 7 (Chip Select) aktiv ist.

Das Auslesen der Real Time Clock geschieht über den SASI Control Port, Bit 0.



3.3 Parallele I/O-Ports

Es stehen insgesamt 24 parallele I/O-Datenleitungen, sowie 5 Handshakesignale zur Verfügung. Die Aufteilung ist wie folgt:

Z80-PIO	16 Datenleitungen (Input/Output)
	4 Handshakeleitungen
74LS374	8 Datenleitungen (Keyboard Input)
	1 Strobeleitung

Tabelle 12: I/O-Adressen der parallelen I/O-Ports

Adresse	I/O-Port	Adresssymbol
OC	PIO Port A Data	pio.port.a
OD	PIO Port B Data	pio.port.b
OE	PIO Port A Control	pio.port.a+2
OF	PIO Port B Control	pio.port.b+2
1D	Keyboard Input (74LS374)	keyboard

Tabelle 13: Steckerbelegung der parallelen Ein-/Ausgänge

ST-B

B-1	-	Keyboard Data 7
B-2	-	Keyboard Data 6
B-3	-	Keyboard Data 5
B-4	-	Keyboard Data 4
B-5	-	Keyboard Data 3
B-6	-	Keyboard Data 2
B-7	-	Keyboard Data 1
B-8	-	Keyboard Data 0
B-10	-	Keyboard Strobe (CTC2-Clock 1)
B-12...B19		PIO Port A: A0...A7
B-20		PIO Port A: Ready (ARDY)
B-21		PIO Port A: Strobe (ASTRB)
B-22		PIO Port B: Strobe (BSTRB)
B-23		PIO Port B: Ready (BRDY)
B-24...B-31		PIO Port B: B0...B7

Alle PIO-Anschlüsse sind ungepuffert. Pull Up Widerstände von 1k Ohm befinden sich an den Strobe-Eingängen (ASTRB/BSTRB).



3.4 Serielle I/O-Ports

Die Baugruppe enthält zwei serielle I/O-Ports, realisiert mit dem Baustein Z80-SIO, der asynchrone und synchrone Übertragungsarten unterstützt.

Tabelle 14: I/O-Adressen der seriellen I/O-Ports

Adresse	I/O-Port	Adreßsymbol
4	SIO Port A Data	sio.channel.a
5	SIO Port B Data	sio.channel.b
6	SIO Port A Control	sio.channel.a+2
7	SIO Port B Control	sio.channel.b+2

Alle I/O-seitigen Anschlüsse des Z80-SIO's sind zum Teil TTL-gepuffert an Stecker ST-B herangeführt. Wie bereits mehrfach erwähnt, befindet sich das leitungsspezifische Interface in KDT6-basierenden Systemen auf einer separaten I/O-Platine.

Tabelle 15: Steckerbelegung der seriellen Ein-/Ausgänge

Anschluß: ST-B	SIO-Anschluß	Bezeichnung	Input/Output
B-32 (*)	15/TxDA	Transmitter Data	x
B-33	16/DTRA	Data Terminal Ready	x
B-34	17/RTSA	Ready to Send	x
B-35 (*)	12/RxDA	Receiver Data	x
B-36	18/CTSA	Clear to Send	x
B-37	19/DCDA	Data Carrier Detect	x
B-38 (*)	14/TxCA	Transmitter Clock	x
B-39 (*)	13/RxCA	Receiver Clock,	x
B-30	11/SYNA	Sync In/Out	x x
B-48 (*)	26/TxDB	Transmitter Data	x
B-47	25/DTRB	Data Terminal Ready	x
B-46	24/RTSB	Ready to Send	x
B-45	28/RxDB	Receiver Data	x
B-44	23/CTSB	Clear to Send	x
B-43	22/DCDB	Data Carrier Detect	x
B-42 (*)	27/RxTxCB	Transceiver Clock	x
B-41	29/SYNCB	Sync In/Out	x x

(*) Diese Signale sind TTL-gepuffert (Schmitt Trigger-Charakteristik).



3.5 Zähler/Zeitgeber Kanäle

Zwei Z80-CTC Bausteine stellen insgesamt 8 Counter/Timer Kanäle bereit.

Tabelle 16: I/O-Adressen der Zähler/Zeitgeber Kanäle

Adresse	I/O-Port	Adreßsymbol
08H	CTC1 Channel 0	ctc1.channel.0
09H	CTC1 Channel 1	ctc1.channel.1
0AH	CTC1 Channel 2	ctc1.channel.2
0BH	CTC1 Channel 3	ctc1.channel.3
10H	CTC2 Channel 0	ctc2.channel.0
11H	CTC2 Channel 1	ctc2.channel.1
12H	CTC2 Channel 2	ctc2.channel.2
13H	CTC2 Channel 3	ctc2.channel.3

Verwendung der Kanäle:

CTC1 Channel 0 - Interrupt für FD-Controller uP765
CTC1 Channel 1 - Baudrate SIO Port B (siehe Hinweis)
CTC1 Channel 2 - Baudrate SIO Port A (siehe Hinweis)
CTC1 Channel 3 - Interrupt für Light Pen Input

CTC2 Channel 0 - Tongenerator
CTC2 Channel 1 - Interrupt für Keyboard Strobe
CTC2 Channel 2 - VSync Interrupt (Systemtakt für Multitasking)
CTC2 Channel 3 - nicht verwendet

Hinweis: Werden die Kanäle 1 und 2 von CTC1 im Counter Mode betrieben, so kann die Eingangsfrequenz über Jumper wahlweise von PAL8 (FD-Controller) oder von einem separaten Quarz-Oszillator geliefert werden. Der Oszillator ermöglicht Baudraten bis zu 76800 Bd.

Aus- und Eingänge folgender CTC-Kanäle sind direkt oder indirekt mit Stecker ST-B verbunden:

CTC1 - ZC1	B-49	(Baudrate SIO Port B)
ZC2	B-50	(Baudrate SIO Port A)
CTC2 - CLK0	B-9	-
CLK1	B-10	(Keyboard Strobe)
ZC0	B-11	(Audio Ausgang)

**Baudraten Einstellung**

Die Kanäle 1 und 2 von CTC1 können als Baudrate-Generator arbeiten, sofern auf der separaten I/O-Platine die entsprechende Verbindung zwischen CTC-Ausgang und SIO-Takteingang realisiert ist.

B-50 (CTC) ----> B-38/39 (SIO-Port A)
 B-49 (CTC) ----> B-42 (SIO-Port B)

Bei einer Eingangsfrequenz von 2 MHz (Jumper J3, Stellung A, Taktversorgung von PAL8) gilt folgende Tabelle für die Programmierung des CTC-Teilerfaktors:

Tabelle 17: CTC-Programmiertabelle zur Baudratengenerierung bei 2 MHz

SIO-Takt:	x16	x32	x64	x16
CTC-Betr.Art	Zähler	Zähler	Zähler	Zeitgeber

BAUDRATE	CTC-Teilerfaktor			
9600	13	--	--	--
4800	26	13	--	--
2400	52	26	13	--
1200	104	52	26	--
600	208	104	52	--
300	--	208	104	--
150	--	--	208	--
110	--	--	--	142
75	--	--	--	208

Werden die CTC-Eingänge von dem Quarzoszillator mit 9,8304 MHz/8 = 1,2288 MHz versorgt (Jumper J3, Stellung B), ergeben sich folgende Werte:

Tabelle 18: CTC-Programmiertabelle zur Baudratengenerierung bei 1,2288 MHz

SIO-Takt:	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zeitgeber

Baudrate	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	0	87
75	-	-	-	128

Teilerfaktor 0 entspricht 256.



3.6 Floppy Disk Controller

Die Floppy Disk Controller Schaltung der Baugruppe ermöglicht den Anschluß von 5 1/4" oder 8" FD-Laufwerken mit einfacher oder doppelter Schreibdichte (single/double density). In allen Fällen können auch Doppelkopf-Laufwerke betrieben werden. Gemischter Betrieb beliebiger Konfigurationen ist möglich.

In allen wichtigen Punkten ist die Controller Schaltung hard- oder softwaremäßig programmierbar. Das Herz des Controllers ist der Baustein NEC uP765, der als intelligenter Peripherieprozessor alle wesentlichen Aufgaben der FD-Ansteuerung übernimmt.

Sämtliche Zeittakte für den Floppy-Disk-Teil werden von einem 16 MHz Oszillator abgeleitet. Für die Erzeugung des CPU-Taktes wird bei 4 MHz Betriebsfrequenz ebenfalls ein 16 MHz Oszillator verwendet. Somit wird bei 4 MHz-CPU-Takt nur ein 16 MHz-Oszillator benötigt, bei allen anderen Frequenzen (z.B. 6 MHz bei Z80B-CPU) sind zwei Oszillatoren erforderlich. Dies wird über Jumper J2 geregelt:

J2: A: 2 Oszillatoren (16 MHz für Floppy Disk,
24 MHz für Z80B-CPU-Takt)
B: 1 Oszillator (16 MHz)

Für den 2. Oszillator ist ein eigener Bestückungsplatz vorgesehen, der nur im Falle J2/A verwendet wird.

Tabelle 19: I/O-Adressen des FD-Controllers

Adresse	I/O-Port		Adreßsymbol
14H	uP765	Main Status Register	fdc.765.status
15H	uP765	Data Register	fdc.765.data
1EH	uP765	Data Acknowledge Input	fdc.clock
1FH	uP765	Terminal Count Input	fdc.tc

Über Kanal 0 von CTC-1 ist der uP765 im Z80-System interruptfähig (Vektorinterrupt). Der Ausgang DRQ (Data Request) ist zur Steuerung von DMA-basierenden Datenübertragungen zwischen uP765 und Speicher mit der DMA-Controller Logik der Baugruppe verbunden.

**Programmierung der FD-Controller Schaltung**

a) softwaremäßig über die Bits 6 und 7 des Status Ports 0

Bit 6: Umschaltung zwischen 5 1/4" (Bit 6=1)
und 8" Laufwerken (Bit 6=0)

Bit 7: Motor Ein-/Ausschalten (Bit 7=0 --> Motor aus)

b) hardwaremäßig über zwei PAL-Bausteine
PAL 5 (Typ:16H2) bestimmt im wesentlichen die Write Pre-
compensation, welche in Inkrementen von 62.5 ns einstellbar
ist.

PAL 8 (Typ:12H6) bestimmt die Referenztakte für den uP765.
Der Referenztakt für den Datenseparator beträgt grundsätzlich
8 MHz.

Tabelle 20: FDC-Referenztakte

-STD/MINI	MF	!	FDC.CLK	W.CLK
0	0	!	8	0.5
0	1	!	8	1.0
1	0	!	4	0.25
1	1	!	4	0.50

Alle Angaben in Megahertz. Die Pulsbreite von W.CLK beträgt in
allen Fällen 250 ns (siehe: Timingdiagramme).

Hinweis: PAL 8 bestimmt auch die Eingangsfrequenz für die Kanäle
1 und 2 von CTC1 (Baudrategenerator).

**Steckerbelegung:**

Alle Signale sind an Stecker ST-C herausgeführt. Ausgänge sind mit Open Collector Puffern getrieben; Eingänge sind mit 150 Ohm Pull-Up Widerständen abgeschlossen.

Tabelle 21: Steckerbelegung der FDC-Ein-/Ausgänge

Anschluß ST-C	Bezeichnung	Input/Output	
C-1	Motor On		x
C-2	Drive Select 0		x
C-3	Drive Select 1		x
C-4	Drive Select 2		x
C-5	Drive Select 3 (Achtung: ungepuffert)		x
C-6	Disk Read Data	x	
C-7	Ground	-	-
C-8	Disk Write Data		x
C-9	Ground	-	-
C-10	Head Load		x
C-11	Head Select (Side Select)		x
C-12	Write Gate		x
C-13	Ready	x	
C-14	Index	x	
C-15	Write Protect	x	
C-16	Track 0	x	
C-17	Step		x
C-18	Direction		x

Parallel dazu sind sämtliche Signale auf den 34-pol Stecker ST-F geführt. Hier ist der direkte Anschluß von FD-Laufwerken mit einem 1:1-Flachbandkabel möglich.



Tabelle 22: Belegung des FD-Anschlußsteckers (ST-F)

Anschluß ST-F	Bezeichnung	Input/Output	
F-2	Motor On		x
F-4	nc	-	-
F-6	Ready	x	
F-8	Index	x	
F-10	Drive Select 0		x
F-12	Drive Select 1		x
F-14	nc	-	-
F-16	Motor On		x
F-18	Direction		x
F-20	Step		x
F-22	Write Data		x
F-24	Write Gate		x
F-26	Track 0	x	
F-28	Write Protect	x	
F-30	Read Data	x	
F-32	Head Select		x
F-34	nc	-	-

Alle ungeraden Pinnummern auf GND



3.7 Harddisk-Anschluß (SASI-Interface)

Das SASI-Interface (Shugart Associates System Interface) besteht aus einem parallelen 8-bit-Datenport, welcher den Datentransfer zwischen KDT und Peripherieeinheit (i.a. Harddisk) abwickelt, und aus einem Control Port, der für den Austausch von Steuersignalen zuständig ist.

Tabelle 23: I/O-Adressen des SASI-Interface

Adresse	I/O-Port	Adreßsymbol
3BH	SASI Control Port	sasi.ctrl
3FH	SASI Data Port	sasi.data

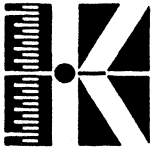
Die Bitzuordnung des Control Ports ist beim Lesen und Schreiben unterschiedlich.

Tabelle 24: Bitzuordnung des SASI-Control-Port (Read)

Bit	Funktion
0	Data Input uP 1990
1	SASI Busy (-BSY)
2	SASI Request (-REQ)
3	SASI Message (-MSG)
4	SASI Control/Data (-C/D)
5	SASI Input/Output (-I/O)
6	SASI Reset (-RST)
7	SASI Select (-SEL)

Bit 0 dient zum Auslesen der Zeit-Information aus der Real Time Clock. Siehe dazu auch Statusport 2.

Das SASI-Interface erzeugt ein DMA-Request Signal, so daß DMA-gesteuerte Datenübertragung möglich ist.



In Schreibrichtung stehen nur 4 Bit zu Verfügung.

Tabelle 25: Bitzuordnung des SASI-Control-Port (Write)

Bit	Funktion
0	-
1	SASI Reset (-RST)
2	DMA Trigger Selektierung
3	Sasi Select (-SEL)

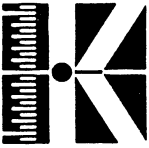
Steckerbelegung:

Alle Signale sind auf den 50-pol. Stecker ST-E geführt. Dieser ermöglicht den Anschluß einer Peripherie-Einheit mit SASI-Interface (z.B. Harddisk mit XEBEC-Controller-Board) über 50-poliges 1:1 Flachbandkabel.

Tabelle 26: Belegung des SASI-Anschlußsteckers (ST-E)

Anschluß ST-E	Bezeichnung	Input/Output
E-2	SD0 Datenbit 0	x x
E-4	SD1 Datenbit 1	x x
E-6	SD2 Datenbit 2	x x
E-8	SD3 Datenbit 3	x x
E-10	SD4 Datenbit 4	x x
E-12	SD5 Datenbit 5	x x
E-14	SD6 Datenbit 6	x x
E-16	SD7 Datenbit 7	x x
E-18	nc	- -
E-20	nc	- -
E-22	nc	- -
E-24	nc	- -
E-26	nc	- -
E-28	nc	- -
E-30	nc	- -
E-32	nc	- -
E-34	nc	- -
E-36	-BUSY Busy	x
E-38	-ACK Acknowledge	x
E-40	-RST Reset	x
E-42	-MSG Message	x
E-44	-SEL Select	x
E-46	-C/D Control/Data	x
E-48	-REQ Request	x
E-50	-I/O Input/Output	x

Alle ungeraden Pinnummern auf GND



3.8 Video Controller

Die Video Controller Schaltung der Baugruppe ist um den LSI-Baustein MC6845 aufgebaut. Einzelheiten der Adressierung des Bildwiederholerspeichers sind dem Abschnitt 'Bildwiederholerspeicher' (Kapitel 2) zu entnehmen.

a) der CRT-Controller 6845

Diesem Baustein sind zwei I/O-Adressen zugeordnet:

18H - Adreßregister
19H - Register File

Der 6845 erzeugt primär die zur Ansteuerung eines Monitors notwendigen Sync-Signale, sowie die Refresh Adressen für den Bildwiederholerspeicher. Da dies nur 14 bit sind, sorgt eine programmierbare Zusatzlogik (Zähler 74LS193) für die fehlenden beiden Bits zur Adressierung von 64 kByte.

Über einen Jumper (J1) kann zwischen 16 und 64 kByte Bildwiederholerspeicher gewählt werden:

J1 A: 64 kByte Video Memory
B: 16 kByte Video Memory (Voreinstellung)

Die Adressierung des Bildwiederholerspeichers ist auf Blatt 12 dargestellt. Für jede Adresse sind 3 Quellen möglich:

- CRTC alpha/numerischer Betrieb
- CRTC graphischer Betrieb
- CPU I/O-Adressierung

b) Zeichengenerator

Der Zeichensatz ist durch einen 4 oder 8 kByte EProm (2732/2764) festgelegt. Damit können 256 bzw. 512 verschiedene Zeichen generiert werden. Die Videobank (Blatt 13) ist 10 Bit breit. Zwei Bits bestimmen Zeichenattribute wie beispielsweise 'Character Invert' und 'Character Blinking'. Beides wird auf der separaten Interface-Platine erzeugt.

Wird ein 2764-EProm eingesetzt, so kann über Bit 3 von Status Port 0 zwischen zwei verschiedenen Zeichensätzen von jeweils 256 Zeichen gewählt werden.

**c) Steckerbelegung**

Alle Ausgänge der Video Controller Schaltung sind auf Stecker C (ST-C) herausgeführt.

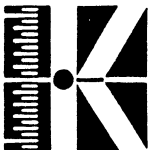
Tabelle 27: Steckerbelegung der CRTC-Ein-/Ausgänge

Anschluß ST-C	Bedeutung
C-24	Vertical Sync
C-25	Horizontal Sync
C-26	Display Enable
C-27	Cursor
C-28	Video Invert
C-29	Light Pen Input
C-30	Select Display Mode (Alpha/Graphic)
C-31	Video Bit 9
C-33	Video Bit 8
C-35	Video Data (Graphic)
C-37	Video Data (Alpha)
C-39	nc
C-41	nc
C-50	Dot Clock (13,5168 MHz) *

d) Video Zeitbasis

Alle zeitbestimmenden Signale sind von einem 13,5168 MHz * Quarzoszillator abgeleitet. Die wesentlichen Frequenzen werden durch PAL 7 (Typ 16L8) generiert. Dieser steuert auch den transparenten Zugriff von CPU und CRTC auf den Bildwiederholpeicher.

* Bei Kontron-LA 12,36 MHz



3.9 Real Time Clock (RTC)

Mit dem Uhrenbaustein uPD 1990 steht auf der KDT6 (Blatt 8) eine Echtzeituhr zur Verfügung, die jederzeit mittels Input-Befehlen ausgelesen werden kann. Durch eine externe Batterie (Anschluß: VCMOS) kann der Uhrenbaustein gepuffert werden.

Die Ansteuerung des Bausteins erfolgt über den Status Port 2 (Write only, 74LS273), der mittels I/O-Write-Befehle geladen wird (Adresse 3AH).

Es gilt dabei folgende Zuordnung:

Tabelle 28: Bitzuordnung von Statusport 2

Datenbit	uPD 1990-Signal
D0	DIN (Data In)/DO (Data Out)
D1	CO (Command Input 0)
D2	C1 (Command Input 1)
D3	C2 (Command Input 2)
D4	CLK (Shift Clock Input)
D5	STB (STROBE Input)
D6	OE (Output Enable Input)
D7	CS (Chip Select Input)

Der uPD 1990 besitzt ein internes 40 Bit-Register (10 x 4 Bit), in das folgende Daten geladen werden können:

Bit	0...7	Sekunde	BCD-Code
	8...15	Minute	BCD
	16...23	Stunde	BCD
	24...31	Datum	BCD
	32...35	Wochentag	0 = Sonntag, ...6 = Samstag
	36...39	Monat	Hex, automatische Berücksichtigung von langen und kurzen Monaten

Beispiel:

37 Sekunden									
Bit	0	0	1	1	0	1	1	1	1
	7	6	5	4	3	2	1	0	
Mai, Dienstag									
Bit	0	1	0	1	0	0	1	0	
	39	38	37	36	35	34	33	32	



Zusätzlich besitzt der uPD 1990 ein 40 Bit-Shift-Register, über das die Zeitdaten seriell am Data-Out-Ausgang herausgetaktet werden können, bzw. beim Laden der Zeitinformation über den Data-In-Eingang eingegeben werden können. Das Lesen geschieht über Bit 0 des SASI-Control-Port (Adresse 3BH).

Ablauf beim Schreiben/Lesen der Zeitinformation:

Zunächst muß über die Command-Input-Leitungen die Funktion ausgewählt werden:

Leitungen C0 bis C2:

C2	C1	C0	
0	0	0	Register Hold
0	0	1	Register Shift
0	1	0	Time Set
0	1	1	Time Read

Register Hold: Shift Register ausgechaltet, an DO (Data Out) wird 1 Hz ausgegeben

Register Shift: Shift-Register Daten werden mit dem CLK-Takt herausgeschiftet und erscheinen an DO (Data Out), Bit 0 zuerst

Time Set: Shift-Register Daten werden in das 40-Bit-Datenregister übernommen (entspricht dem eigentlichen Stellen der Uhrzeit)

Time Read: Die Zeitinformation wird vom Datenregister in das Shiftregister geladen.

Dies geschieht durch eine Folge von I/O-Write-Befehlen auf den Status Port 2.

Setzen der Uhrzeit:

1. Funktion 'Register Shift' programmieren
2. Serielles Laden des Shiftregisters über Datenbit 0 durch eine Folge von I/O-Write-Befehlen, wobei das INPUT/OUTPUT-TIMING zu beachten ist
3. Funktion 'Time Set' programmieren
4. Funktion 'Register Hold' programmieren



3.10 Watchdog

Ein Watchdog hat die Aufgabe, einen Rechner nach einem Ausfall in einen definierten Anfangszustand zu bringen, um ein automatisches Wiederaufsetzen (mit Softwareunterstützung) zu ermöglichen. Die Funktionsweise des Watchdog's beruht auf folgendem Prinzip:

Ein programmierbarer 8 Bit Zähler muß regelmäßig neu getriggert werden, bevor ein bestimmter Zählerstand erreicht ist. Ein Ausbleiben dieser Neutriggerung signalisiert mit großer Wahrscheinlichkeit einen Rechnerausfall. Der Watchdog generiert daraufhin ein Reset-Signal, um den Rechner neu zu starten.

Der Watchdog besteht aus einem 8 Bit Zähler mit 8 Bit Eingangsregister (Blatt 8, 74LS592). Über die I/O-Adresse 'SEL.WDR' kann das Eingangsregister mit einem beliebigen 8 Bit Ausgangswert geladen werden. Dieser Wert bestimmt die Zeit, nach der ein Reset generiert wird (Zählerstand: FFH), falls das Trigger Signal (I/O-Adresse: 'SEL.WDT') ausbleibt. Mit Bit 0 von Status Port 0 (STP0) kann der Watchdog gesperrt bzw. freigegeben werden. Das Signal VSYNC des Video Controllers bestimmt die Zählfrequenz.

Tabelle 29: Watchdog I/O-Adressen

Adresse	I/O-Port	Adreßsymbol
3DH	Watchdog Eingangsregister	wdog.register
3EH	Watchdog Triggereingang	wdog.trigger

Anwendungsbeispiel:

Die gewünschte Zeitkonstante betrage 40 ms (50 Hz VSYNC), dann sind folgende Programmteile zur Initialisierung bzw. Triggerung des Watchdogs notwendig:

```
init.wdog:
    ld a, ofdh                ; time constant
    out (wdog.register),a    ; program watchdog register
    di
    ld a,(status.port.0)    ; status port 0 should be
    set 0,a                  ; stored in memory because
    ld (status.port.0),a    ; it must not be read
    out (stp.0),a           ; enable watchdog
    ei
    ret

trigger.wdog:
    out (wdog.trigger),a    ; any out statement to I/O-address
    ret                     ; is sufficient
```



4. Steckerbelegungen

Tabelle 30: Belegung von Stecker A (ECB)

Pin Nr.	Signal	Charakteristik
1	A0	
2	A1	
3	A2	
4	A3	
5	A4	
6	A5	
7	A6	
8	A7	
9	A8	
10	A9	
11	A10	
12	A11	Adreßbus, bidirektional
13	A12	
14	A13	Fan Out: 24 mA
15	A14	Fan In : 0.4 mA
16	A15	
17	A16	
18	A17	
19	A18	
20	A19	
21	A20	
22	A21	
23	A22	
24	A23	
25	D0	
26	D1	
27	D2	
28	D3	Datenbus, bidirektional
29	D4	
30	D5	Fan Out: 24 mA
31	D6	Fan In : 0.4 mA
32	D7	
33	-HALT	
34	-RFSH	
35	-IORQ	Steuerbus, bidirektional
36	-M1	
37	-WR	Fan Out: 24 mA
38	-RD	Fan In : 0.4 mA
39	-MRQ	
40	-BUSRQ	Input Pull-up 4.7 k
41	-INT	Input Pull-up 4.7 k
42	-NMI	Input Pull-up 4.7 k
43	-RESET	Output 10 mA
44	-WAIT	Input Pull-up 470 Ohm
45	-IEO	Output 2 mA
46	-BAO	Output 12 mA
47	GND	
48	CLK	Output (MOS-Clock)
49	GND	
50	-RESET.IN	Input Pull-up 4.7 k



Tabelle 31: Belegung von Stecker B (I/O)

Pin Nr.	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.DO	"
9	CTC2.CLKO	-
10	CTC2.CLK1	(Keyboard Strobe)
11	CTC2.ZCO	(Audio Output)
12	PIO.A0	PIO Port A
13	PIO.A1	
14	PIO.A2	
15	PIO.A3	
16	PIO.A4	
17	PIO.A5	
18	PIO.A6	
19	PIO.A7	
20	PIO.ARDY	
21	-PIO.ASTRB	
22	-PIO.BSTRB	PIO Port B
23	PIO.BRDY	
24	PIO.B7	
25	PIO.B6	
26	PIO.B5	
27	PIO.B4	
28	PIO.B3	
29	PIO.B2	
30	PIO.B1	
31	PIO.B0	
32	SIO.TxDA	SIO Channel A
33	-SIO.DTRA	
34	-SIO.RTSA	
35	SIO.RxDA	
36	-SIO.CTSA	
37	-SIO.DCDA	
38	-SIO.TxCA	
39	-SIO.RxCA	
40	-SIO.SYNCA	
41	-SIO.SYNCB	
42	-SIO.RxTxCB	
43	-SIO.DCDB	
44	-SIO.CTSB	
45	SIO.RxDB	
46	-SIO.RTSB	
47	-SIO.DTRB	
48	-SIO.TxDB	
49	CTC1.ZC1	
50	CTC1.ZC2	



Tabelle 32: Belegung von Stecker C (I/O)

Pin Nr.	Signal	!	Charakteristik
1	-Motor On	!	Open Collector Output
2	-Drive Select 0	!	"
3	-Drive Select 1	!	"
4	-Drive Select 2	!	"
5	-Drive Select 3	!	"
6	-Disk Read Data	!	Input, 150 Ohm Pull-up
7	GND	!	
8	-Write Data	!	Open Collector Output
9	GND	!	
10	-Head Load	!	Open Collector Output
11	-Head Select	!	"
12	-Write Gate	!	"
13	-Ready	!	Input, 150 Ohm Pull-up
14	-Index	!	"
15	-Write Protect	!	"
16	-Track 0	!	"
17	-Step	!	Open Collector Output
18	-Direction	!	"
19	-	!	
20	-	!	
21	-	!	
22	-	!	
23	-	!	
24	-VSYNC	!	TTL-Output
25	-HSYNC	!	TTL-Output
26	DE: Display Enable	!	TTL-Output
27	CRS: Cursor Enable	!	TTL-Output
28	VINV: Video Invert	!	TTL-Output
29	LPEN: Light Pen	!	TTL-Input
30	DM: Display Mode	!	TTL-Output
31	VBIT9	!	TTL-Output
32	GND	!	
33	VBIT8	!	TTL-Output
34	GND	!	
35	VDOG: Video Data 0	!	TTL-Output
36	GND	!	
37	VDOA: Video Data 0	!	TTL-Output
38	GND	!	
39	-	!	
40	GND	!	
41	-	!	
42	GND	!	
43	-	!	
44	-	!	
45	-	!	
46	+ 5V	!	
47	+ 5V	!	
48	GND	!	
49	GND	!	
50	DOT.CLOCK (12.36 MHz)	!	TTL-Output



5.1 Testpunkte

Tabelle 34: Testpunkte

TP Nr.	Signalname	Bedeutung
1	CLK	Systemtakt
2	-BD.IN	Bussteuerung interner Datenbus
3	-ECB.IN	Bussteuerung externer Datenbus (ECB)
4	-MUXS	RAM Adreßmultiplexer Umschaltung
5	-RAS0	Row Address Strobe (Bank 0)
6	-RAS1	Row Address Strobe (Bank 1)
7	-BYTE.CLK	Byte Clock der Video Controller Schaltung
8	-RAS3	Row Address Strobe (Bank 3)
9	-RAS2	Row Address Strobe (Bank 2)
10	-VRAS	Row Address Strobe (Video Bank)
11	-VWR	Write Strobe (Video Memory)
12	-VRD.STRB	Read Strobe (Video Memory)
13	EXT.DMA	externer DMA-Zugriff
14	-BMRQ	CPU-MRQ gepuffert
15	-BRD	CPU-RD gepuffert
16	-BWR	CPU-WR gepuffert
17	-BM1	CPU-M1 gepuffert
18	-BIORQ	CPU-IORQ gepuffert
19	GND	Ground
20	GND	Ground
21	GND	Ground
22	GND	Ground



5.2 Jumper auf der KDT6

Voreinstellung der Jumper auf KDT6 Rev. 1.2

- * bedeutet : Jumper gesteckt
- bedeutet : Jumper nicht gesteckt

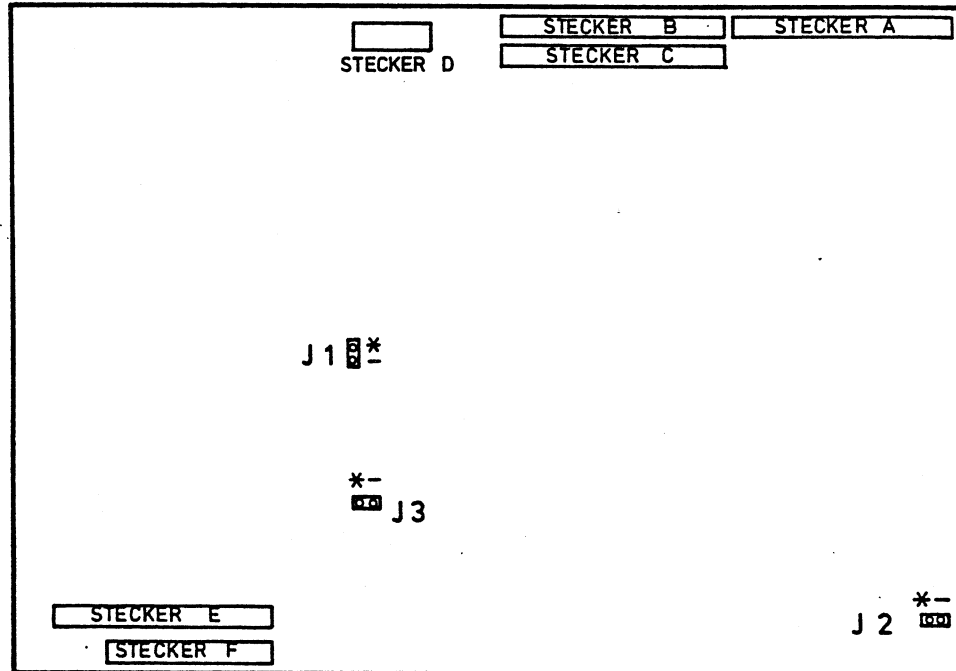


Abb. 4: KDT6 - Bestückungsseite: Jumper

Beschreibung ("---->") bedeutet: Voreinstellung):

Tabelle 35: Jumper

Jumper J1:

- A : 64 kByte Video-Memory
- > B : 16 kByte Video-Memory

Jumper J2:

- A : getrennte Oszillatoren für Floppy- und CPU-Takt-Erzeugung (OSZ1 und OSZ2)
- > B : gemeinsamer Oszillator (OSZ1; 16 MHz)

Jumper J3:

- A : 2.0000 MHz für Baudratenerzeugung
- > B : 1.2288 MHz für Baudratenerzeugung



6.1 IC-Liste

Tabelle 36: Liste aller IC's

Typ	IC-Nummer	Beschreibung
2164	(Anzahl: 42)	dyn. RAM 64k x 1 bit
2732	Prom 1,2,3	EPROM 32 kbit
AM2952	44, 75	8-bit Parallel Port
AM2966	62	Octal DRAM Drivers
74LS04	19	Hex Inverter
7406	29, 64	Hex Inverter, open Collector
7407	30	Hex Buffer, open Collector
74LS14	7, 32, 49, 70	Hex Schmitt-Trigger Inverter
74LS15	21	Triple 3-Input AND, open Collector
74LS32	20, 72	Triple 3-Input NOR
74LS74	63	Dual D Flip-Flop
74LS107	17, 22, 35, 38, 47	Dual J-K Flip-Flop
74LS132	23	Quad 2-Input Schmitt Trigger NAND
74LS138	33, 34	3 to 8 Decoder
74LS139	9, 11, 31	2 to 4 Decoder
74LS151	50, 51, 52, 53, 54, 55, 56, 57	1 of 8 Multiplexer
74S157	25, 27	Quad 2 to 1 Multiplexer
74LS158	28	Quad 2 to 1 Multiplexer (inv.)
74LS161	39, 48, ohne IC-Nr.	Synchronous 4-bit Counter
74LS164	45	8-bit parallel Output/Serial Input Shift Register
74LS166	67, 69	8-bit Shift Register
74S169	24	4-bit synchronous Up/Down Counter
74LS174	73	Hex D Flip-Flop
74LS191	36	Synchronous Up/Down Counter
74LS193	37, 58, 59, 60, 61	Synchronous Up/Down Dual Clock Counter
74LS244	8, 74	Octal Buffer/Line Driver
74LS245	1, 2, 3, 4, 5, 13	Octal Bus Transceiver
74LS273	42, 43, 68	Octal D Flip-Flop
74LS374	6, 14, 66	Octal D Flip-Flop
74LS393	46	Dual 4-bit Binary Counter
74LS396	40	Octal Storage Register
74LS541	12, 15, 16, 18, 26	Octal Bus Buffer
74LS592	41	8-bit Binary Counter
74LS153	71	Dual 4 to 1 Multiplexer
74LS612/10	10	Memory Mapper
PAL 10H8	PAL 3	Programmable Array Logic
PAL 10L8	PAL 2	Programmable Array Logic
PAL 10L8	PAL 6	Programmable Array Logic
PAL 12H6	PAL 8	Programmable Array Logic
PAL 12L6	PAL 1	Programmable Array Logic
PAL 16H2	PAL 5	Programmable Array Logic
PAL 16L8	PAL 4	Programmable Array Logic
PAL 16L8	PAL 7	Programmable Array Logic



CRTC MC 6845	*	Video Controller
FDC 9216	*	Data Separator
NEC uP765	*	Floppy Disk Controller
NEC uP1990	*	Clock-Calendar-Chip
Z80A-CPU	*	Central Processor Unit
Z80A-CTC	* (Anzahl:2)	Counter/Timer Circuit
Z80A-DMA	*	Direct Memory Access Controller
Z80A-PIO	*	Parallel Interface
Z80A-SIO/O	*	Serial Interface

** 13,5168MHz	*	Oszillator	13.51 MHz
LOCO II 16 MHz	*	Oszillator	16 MHz
OSZ 9.8304 MHz	*	Oszillator	9.8304 MHz
Quartz 32,678MHz	Q 1	Quartz	32,678 KHz

* Keine IC-Nummer im Schaltplan

** bei Kontron-LA 12,360 MHz



6.2 IC-Liste

Tabelle 37: Referenzliste - IC-Nummer - IC-Typ

1	74LS245	27	74S157	53	74LS151
2	74LS245	28	74LS158	54	74LS151
3	74LS245	29	7406	55	74LS151
4	74LS245	30	7407	56	74LS151
5	74LS245	31	74LS13	57	74LS151
6	74LS374	32	74LS14	58	74LS193
7	74LS14	33	74LS138	59	74LS193
8	74LS244	34	74LS138	60	74LS193
9	74LS139	35	74LS107	61	74LS193
10	74LS612/10	36	74LS191	62	AM 2966
11	74LS139	37	74LS193	63	74LS74
12	74LS541	38	74LS107	64	7406
13	74LS245	39	74LS161	65	nicht verwendet
14	74LS374	40	74LS396	66	74LS374
15	74LS541	41	74LS592	67	74LS166
16	74LS541	42	74LS273	68	74LS273
17	74LS107	43	74LS273	69	74LS166
18	74LS541	44	AM2952	70	74LS14
19	74LS04	45	74LS164	71	74LS153
20	74LS32	46	74LS393	72	74LS32
21	74LS15	47	74LS107	73	74LS174
22	74LS107	48	74LS161	74	74LS244
23	74LS132	49	74LS14	75	AM 2952
24	74S169	50	74LS151		
25	74S157	51	74LS151		
26	74LS541	52	74LS151		

PAL 1	12L6	PAL 5	16H2
PAL 2	10L8	PAL 6	10L8
PAL 3	10H8	PAL 7	16L8
PAL 4	16L8	PAL 8	12H6

PROM1	2732
PROM2	2732
PROM3	2732

Q1 Quartz 32.678 KHz

Ohne IC-Nummer im Schaltplan:

2164-20	Dyn. RAMs
74LS161	Oszillator 13,5168 MHz *
LOCO II	Oszillator 16 MHz
CRTC MC 6845	Oszillator 9.8304 MHz
FDC 9261	
NEC uP765	
NEC uP1990	
Z80A-CPU	
Z80A-CTC	
Z80A-DMA	
Z80A-PIO	
Z80A-SIO/O	

* bei Kontron-LA 12,360 MHz



7. Programmierung der PAL-Bausteine

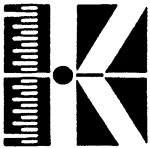
Auf der Platine sind folgende PAL-Bausteine eingesetzt:

Tabelle 38:

PAL Nr.	Typ	Beschriftung	Funktion
1	12L6	1-FF5B	Memory-Address Decoder
2	10L8	2-OF61	I/O-Address Decoder
3	10H8	3-C7BF	Interrupt Priority Controller
4	16L8	4-EC5E	Bus Controller
5	16H2	5-1126	FDC-Write Precompensation
6	10L8	6-1BA7	Video Memory Access Controller
7	16L8	7-C1ED	Video Memory Timing Generator
8	12H6	8-CD9F	FDC-Timing Generator

Die Beschriftung ergibt sich aus:

PAL-Nr. und Checksumme



PAL12L6
PAT004
PAL1 KDT6

PAL SPECIFICATION DESIGN
24/08/1982
MEMORY ADDRESS DECODER CHECKSUM: FF5B

/PROM1 /EMRQ /BRFSH BA23 BA22 BA21 BA20 BA19 BA16 GND
BA17 BA18 /RAS2 /RAS3 /SEL.RAM /RAS1 /RAS0 /INT.MEM /PROM2 VCC

RAS0 = BMRQ*/BRFSH*/BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

RAS1 = BMRQ*/BRFSH*BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

RAS2 = BMRQ*/BRFSH*/BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

RAS3 = BMRQ*/BRFSH*BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

INT.MEM = BMRQ*/BRFSH*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*/BRFSH*PROM1 +
BMRQ*/BRFSH*PROM2

SEL.RAM = BMRQ*/BRFSH*/PROM1*/PROM2*/BA18*/BA19*/BA20*/BA21*
/BA22*/BA23

DESCRIPTION:

RAS0: ROW ADDRESS STROBE (BANK 0)
RAS1 : ROW ADDRESS STROBE (BANK 1)
RAS2 : ROW ADDRESS STROBE (BANK 2)
RAS3 : ROW ADDRESS STROBE (BANK 3)
INT.MEM : INTERNAL (ON BOARD) MEMORY SELECT
SEL.RAM : ENABLE DATA BUSBUFFER FOR BANK 0, 1, 2, OR 3



PAL10L8
PAT002
PAL2 KDT6

I/O-ADDRESS DECODER

PAL DESIGN SPECIFICATION
09/03/1982
CHECKSUM: OF61

BA7 BA6 BA5 BA4 BA3 BA2 /BIORQ BA1 BAO GND
/EM1 /SEL.MAP /SEL.VALH /SEL.VALL /SEL.VDAT /SEL.IO1 /SEL.IOO
/EXT.IO /INT.IOB VCC

SEL.IOO = BIORQ*/EM1*/BA5*/BA6*/BA7

SEL.IO1 = BIORQ*/EM1*/BA7*/BA6*BA5*BA4*BA3

SEL.MAP = BIORQ*/EM1*/BA4*BA5*/BA6*/BA7

SEL.VDAT = BIORQ*/EM1*/BA3*BA4*BA5*/BA6*/BA7

SEL.VALH = BIORQ*/EM1*/BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

SEL.VALL = BIORQ*/EM1*BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

INT.IOB = BIORQ*/EM1*BA5*/BA6*/BA7

EXT.IO = BIORQ*/EM1*BA7 +
BIORQ*/EM1*BA6

DESCRIPTION:

SEL.IOO : SELECT I/O-GROUP 0 (0...1FH)
SEL.IO1 : SELECT I/O-GROUP 1 (38H...3FH)
SEL.MAP : SELECT MEMORY MAPPER (20H...2FH)
SEL.VDAT : VIDEO MEMORY DATA PORT (30H...37H)
SEL.VALL : VIDEO ADDRESS LATCH, LOW BYTE (41H)
SEL.VALH : VIDEO ADDRESS LATCH, HIGH BYTE (40H)
INT.IOB : INTERNAL I/O-PORT SELECTED (0...3FH)
EXT.IO : EXTERNAL I/O-PORT SELECTED (>40H). MUST NOT BE 40H OR 41H.



PAL10H8
PATO01
PAL3 KDT6

INTERRUPT PRIORITY CONTROLLER

PAL DESIGN SPECIFICATION
03/02/1982
CHECKSUM: C7BF

IEO.DMA IEO.CTC1 IEO.SIO IEO.CTC2 IEO.PIO 6 7 8 /BIORQ GND
SEL.SYSM IEI.DMA IEI.CTC1 IEI.SIO IEI.CTC2 IEI.PIO IEO.KDT 18 DIS.MAP
VCC

IEI.DMA = 6 + /6

IEI.CTC1 = IEO.DMA

IEI.SIO = IEO.DMA*IEO.CTC1

IEI.CTC2 = IEO.DMA*IEO.CTC1*IEO.SIO

IEI.PIO = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2

IEO.KDT = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2*IEO.PIO

DIS.MAP = BIORQ + SEL.SYSM

DESCRIPTION:

IEI.XXX : INTERRUPT ENABLE IN FOR DEVICE XXX
IEO.KDT : INTERRUPT ENABLE OUT OF KDT
DIS.MAP : DISABLE MEMORY MAPPER



PAL16L8
PAT004
PAL4 KDT6

BUS CONTROLLER

PAL DESIGN SPECIFICATION
22/04/1982
CHECKSUM: EC5E

/BUSAK /INT.IOB /EXT.IO IEO.KDT /INT.MEM /BAO.KDT /BIORQ /EM1 /BWR GND
/BRD 12 /BMRQ /RAS23 /BD.IN /ECB.IN /BD.XDMA /ECB.XDMA 19 VCC

IF (VCC) BD.XDMA = BMRQ*BRD*INT.MEM +
BIORQ*BRD*INT.IOB

IF (VCC) ECB.XDMA = BMRQ*BRD*INT.MEM +
BIORQ*BRD*/EXT.IO

IF (VCC) BD.IN = /BAO.KDT*BIORQ*BRD*INT.IOB +
/BAO.KDT*BIORQ*BRD*EXT.IO +
/BAO.KDT*BIORQ*EM1*IEO.KDT +
/BAO.KDT*BMRQ*BRD*/INT.MEM +
/BAO.KDT*BMRQ*BRD*/RAS23 +
BAO.KDT*/BD.XDMA

IF (VCC) ECB.IN = /BAO.KDT*BIORQ*BRD*EXT.IO +
/BAO.KDT*BIORQ*EM1*IEO.KDT +
/BAO.KDT*BMRQ*BRD*/INT.MEM +
BAO.KDT*/ECB.XDMA

DESCRIPTION:

BD.IN : INTERNAL DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM INTERNAL I/O-PORT >20H
2. READ FROM EXTERNAL I/O-PORT
3. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
4. READ FROM EXTERNAL MEMORY
5. READ FROM INTERNAL VIDEO MEMORY
6. DURING EXTERNAL DMA-CYCLES IF NOT DB.XDMA

ECB.IN : ECB DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM EXTERNAL I/O-PORT
2. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
3. READ FROM EXTERNAL MEMORY
4. DURING EXTERNAL DMA-CYCLES IF NOT ECB.XDMA



PAL16H2
PAT005
PAL5 KDT6 FDC WRITE PRECOMPENSATION

PAL DESIGN SPECIFICATION
29/11/1982
CHECKSUM: 1126

QH QG QF PSO LCT QE /STD MFM PS1 GND
11 12 QD QC CDO WD QB QA 19 VCC

CDO = $\text{STD}*/\text{MFM} + /\text{STD}*\text{MFM}$

WD = $\text{/MFM}*\text{QA} +$
 $\text{MFM}*/\text{STD}*\text{QA} +$
 $\text{MFM}*/\text{LCT}*\text{STD}*\text{QD} +$
 $\text{MFM}*\text{LCT}*\text{STD}*/\text{PSO}*/\text{PS1}*\text{QD} +$
 $\text{MFM}*\text{LCT}*\text{STD}*\text{PSO}*/\text{PS1}*\text{QB} +$
 $\text{MFM}*\text{LCT}*\text{STD}*/\text{PSO}*\text{PS1}*\text{QF}$

DESCRIPTION:

CDO : DATA SEPARATOR CONTROL INPUT
WD : COMPENSATED WRITE DATA OUTPUT



PAL10L8
PATO02
PAL6 KDT6

VIDEO MEMORY ACCESS CONTROLLER

PAL DESIGN SPECIFICATION
24/08/1982
CHECKSUM: 1BA7

/SEL.VDAT /SEL.DM 3 4 /BRD BA2 BA1 BAO SEL.CPU GND
11 12 13 /VO.RD /AUTO.INC /AUTO.DEC /VMUXSC /VMUXSB /VM.REQ VCC

VO.RD = SEL.VDAT*BRD*/BA1*/BA2 +
SEL.VDAT*BRD*BA1*BA2

AUTO.INC = SEL.VDAT*BA0

AUTO.DEC = SEL.VDAT*/BA0*BA1*BA2

VMUXSC = /SEL.CPU

VMUXSB = /SEL.CPU*/SEL.DM +
SEL.CPU*SEL.VDAT

VM.REQ = SEL.VDAT

DESCRIPTION:

VO.RD : READ FROM VIDEO MEMORY
AUTO.INC : INCREMENT CPU VIDEO ADDRESS COUNTER
AUTO.DEC : DECREMENT CPU VIDEO ADDRESS COUNTER
VMUXSC : SELECT INPUT 'C' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VMUXSB : SELECT INPUT 'B' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VM.REQ : CPU READ/WRITE REQUEST TO VIDEO MEMORY



PAL16L8
PATO06
PAL7 KDT6

VIDEO MEMORY TIMING GENERATOR

PAL DESIGN SPECIFICATION
09/09/1983
CHECKSUM: C1ED

VMRQ /SEL.VDAT /BRD BA2 BA1 6 7 QC QB GND
QA /ACKN /BCLK /IQB 15 /VRASO /VMUXSA /VRD.STRB /VWR VCC

IF (VCC) VRASO = QA * /QB * /QC +
VRASO * QC * /VRD.STRB +
VMRQ * QA * /QB * QC * SEL.VDAT * /BA2 * /BA1 +
VMRQ * QA * /QB * QC * SEL.VDAT * BA2 * BA1 +
VRASO * /QC * /BCLK

IF (VCC) VMUXSA = VRASO + VMUXSA * QB * QA +
VMUXSA * /QA * QB

IF (VCC) VWR = QC * VMRQ * /BRD +
QC * VRASO * /BRD

IF (VCC) BCLK = QA * IQB * /QC

IF (VCC) IQB = QB

IF (VCC) ACKN = VMUXSA * QA * QB * QC
+ VMRQ * /SEL.VDAT

IF (VCC) VRD.STRB = QA * QB * QC

DESCRIPTION:

VRASO: ROW ADDRESS STROBE (VIDEO BANK)
VMUXSA: SELECT INPUT 'A' FOR VIDEO MEMORY ADDRESS MULTIPLEXERS
VWR: VIDEO MEMORY WRITE STROBE
BCLK: BYTE CLOCK
ACKN: ACKNOWLEDGE TO CPU AFTER VIDEO MEMORY REQUEST
VRD.STRB: VIDEO MEMORY READ STROBE



PAL12H6
PAT002
PAL8 KDT6

FDC TIMING GENERATOR

PAL DESIGN SPECIFICATION
26/08/1982
CHECKSUM: CD9F

MFM /STD 4MHZ QA QB 2MHZ QD 9 GND
11 QC CLK.393 W.CLK FDC.CLK S.CLK CD1 CLR.393 8MHZ VCC

$$\begin{aligned} \text{CLR.393} &= \text{STD} * \text{MFM} + \\ &\quad \text{STD} * / \text{MFM} * 2\text{MHZ} + \\ &\quad / \text{STD} * \text{MFM} * 2\text{MHZ} + \\ &\quad / \text{STD} * / \text{MFM} * 1\text{MHZ} \end{aligned}$$

$$\begin{aligned} \text{CLR.393} &= \text{STD} * \text{MFM} + \\ &\quad \text{QC} * 2\text{MHZ} \end{aligned}$$

$$\begin{aligned} \text{W.CLK} &= \text{STD} * \text{MFM} * 2\text{MHZ} * 1\text{MHZ} + \\ &\quad \text{QC} \end{aligned}$$

$$\text{CD1} = / \text{STD} * / \text{MFM}$$

$$\text{S.CLK} = 2\text{MHZ}$$

$$\text{FDC.CLK} = \text{STD} * 8\text{MHZ} + / \text{STD} * 4\text{MHZ}$$

DESCRIPTION:

CLK.393 : CLOCK INPUT FOR 'LS393 (COUNTER 2)
CLR.393 : CLEAR INPUT FOR 'LS393 (COUNTER 2)
W.CLK : FDC WRITE CLOCK
CD1 : DATA SEPARATOR CONTROL INPUT 1
S.CLK : BAUDRATE GENERATOR REFERENCE CLOCK (CTC INPUT)
FDC.CLK : FDC CLOCK



8. Liste aller Adreßsymbole für I/O-Ports

Tabelle 39:

```
;This module contains all the hardware related
;equates for the KDT6 computer board, like
;I/O-addresses and I/O-bit assignments
;-----
dma                equ 00h ;on board dma

sio.channel.a     equ 04h
sio.channel.b     equ 05h

ctc1.channel.0    equ 08h
ctc1.channel.1    equ 09h
ctc1.channel.2    equ 0ah
ctc1.channel.3    equ 0bh

pio.port.a        equ 0ch
pio.port.b        equ 0dh

ctc2.channel.0    equ 10h
ctc2.channel.1    equ 11h
ctc2.channel.2    equ 12h
ctc2.channel.3    equ 13h

fdc.765.status    equ 14h ;fdc status register
fdc.765.data      equ 15h ;fdc data register

crtc.pointer      equ 18h ;crtc pointer register
crtc.data         equ 19h ;crtc data register

stp.0             equ 1ch ;status port 0
keyboard          equ 1dh ;keyboard input register
fdc.dack          equ 1eh ;fdc data acknowledge
fdc.tc           equ 1fh ;fdc terminal count input

map.reg.0         equ 20h ;
map.reg.1         equ 21h
map.reg.2         equ 22h
map.reg.3         equ 23h
map.reg.4         equ 24h
map.reg.5         equ 25h
map.reg.6         equ 26h
map.reg.7         equ 27h
map.reg.8         equ 28h
map.reg.9         equ 29h
map.reg.10        equ 2ah
map.reg.11        equ 2bh
map.reg.12        equ 2ch
map.reg.13        equ 2dh
map.reg.14        equ 2eh
map.reg.15        equ 2fh

vmb0              equ 30h ;bank 0
vmb0.auto.inc     equ 31h ;bank 0 with auto increment

;Ports 32h...35h not used since KDT6 rev. 1.2

auto.dec          equ 36h ;bank 0 with auto decrement
vmb0.auto.inc.1   equ 37h ;bank 0 with auto increment
```



```
stp.1.write      equ 38h ;status port 1 (read)
stp.1.read       equ 39h ;status port 1 (write)
stp.2.write      equ 3ah ;status port 2 (write)

dma.map.reg      equ 3ch ;dma map register
wdog.reg         equ 3dh ;watch dog register
wdog.trigger     equ 3eh ;watch dog trigger input

sasi.ctrl        equ 3bh ;sasi control port
sasi.data        equ 3fh ;sasi data port

sasi.ctrl        equ 3bh ;sasi control port
sasi.data        equ 3fh ;sasi data port

val.low          equ 41h ;video address latch (low)
val.high         equ 40h ;video address latch (high)

;Bit assignments for status port 0
;-----

watchdog         equ 0   ;watchdog (enable=1/dis.=0)
sysfrequ         equ 1   ;system frequency (full=1/half=0)
sound            equ 2   ;sound (enable=1/disable=0)
a12.cg          equ 3   ;character generator address a12
dma.ready        equ 4   ;select dma trigger (fdc=0/sio=1)
poff             equ 5   ;prom off control (off=1/on=0)
stddsk          equ 6   ;select standard/mini floppy disk drive
                  ;(mini=1/standard=0)
motor            equ 7   ;fd-drive motor on control (on=1/off=0)

;Bit assignments for status port 1
;-----

va14             equ 0   ;bit 14 video scroll address
va15             equ 1   ;bit 15 " " " "
vbit8           equ 2   ;video bit 8 (e.g. char. invert)
vbit9           equ 3   ;video bit 9 (e.g. char. blinking)
sel.all         equ 4   ;select 3 video memory banks
vid.inv         equ 5   ;video invert (background bright=1)
sel.dm          equ 6   ;select display mode (alpha=1/graph.=0)
sel.sysm       equ 7   ;select system memory (disable mapper=1)

;Bit assignment for SASI-Control Port
;-----
SEL.bit         equ 3   ;Select bit
RES.bit         equ 1   ;Reset bit
IO.bit          equ 5   ;I/O bit
CD.bit          equ 4   ;C/D bit
MSG.bit         equ 3   ;MSG bit
REQ.bit         equ 2   ;REQ bit (Request)
BSY.bit         equ 1   ;BSY bit (Busy)
```



```
;Bit assignments for status port 2
```

```
-----  
mapd3          equ 0   ;memory mapper data bit 3  
mapd2          equ 1   ;memory mapper data bit 2  
mapd1          equ 2   ;memory mapper data bit 1  
mapd0          equ 3   ;memory mapper data bit 0
```

```
;Port assignment for TCB/IOV (only required because of  
;serial Keyboard)
```

```
-----  
iov.dart2.cha  equ 58h  
iov.dart2.chb  equ 59h  
iov.ctc1.ch0   equ 54h  
iov.ctc1.ch1   equ 55h  
iov.ctc1.ch2   equ 56h ;used for baudrate (ser. Keyb.)  
iov.ctc1.ch3   equ 57h
```



9.1 Änderung von Rev. 1.1A auf Rev. 1.1B

Grund der Änderung: Schaltungsänderung, 16 MHz Quarz für Floppy entfällt.

Art der Änderung: 2,16 MHz Oszillator direkt mit IC46 Pin1 verbinden (IC74LS393).

9.2 Änderung von Rev. 1.1B auf Rev. 1.1C

Grund der Änderung: Funktionskompatibler Einsatz der Bausteine 74LS610 und 74LS612.

Art der Änderung: Verbindung von IC10 Pin 28 auf IC10 Pin 40

9.3 Änderung von Rev. 1.1C auf Rev. 1.1D (1.2A)

Grund der Änderung: Timing-Probleme im Videoteil.

Art der Änderung: IC49 (74LS14) wird gegen 74LS04 getauscht.



9.4 Änderung von Rev. 1.2A auf 1.2B

- Grund der Änderung:
1. Universeller Einsatz des Bausteins 74LS610 und 74LS612 (Memory Mapper) auf dem KDT6 Board. Bisläng fand nur der Baustein 74LS612 Verwendung.
 2. Beseitigung der Probleme bei Graphikbetriebes Boards
 3. Universeller Einsatz von "MPI" und "TANDON" Drives.

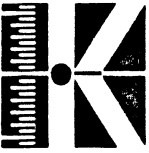
- Art der Änderung:
- zu 1. Verbindung IC10/Pin 28 --> IC10/Pin 40
- zu 2. Verbindung IC40/Pin7 (Bestückungsseite) ---> IC48/Pin12(Lötseite)
- Draht wird durch die Durchkontaktierung zwischen IC40 und Stecker"D" durchgezogen.
- zu 3. Verbindung Stecker"F"/Pin6 ---> Stecker "F"/Pin34.

**Inhaltsverzeichnis**

		Seite
1.	Einführung	2
2.	Reparatur-Flußplan für KDT6	3
3.	Signal-/Baugruppenerläuterungen	4

Abbildungen:

Nr.	Titel	Seite
1	Reparatur-Flußplan für KDT6	3
2	Position EPROM 2732 (PROM3)	4
3	FDC Write Clock Timing	8
4	INDEX-Signal	9
5	Interrupt-Prioritätskette auf der KDT6 mit Ersatzschaltbild für PAL3	10
6	24 Bit-Adresse	12
7	MMU-Adressierung	13
8	Speicher der KDT6	17
9	SYNC-Signale	18
10	RAM-Bank-Umschaltsockel	21
11	KDT6-Video Timing	22
12	Fehlerhaftes -VRD.STRB-Signal	23
13	WR-Signal	24



1. Einführung

Die Zentralplatine KDT6 stellt in Verbindung mit der IO-Platine, auf der sich hauptsächlich nur Treiberbausteine und Steckverbinder befinden, eine Funktionseinheit dar. Aus diesem Grund wird die Kombination KDT6 mit Interface-Board als eine Einheit betrachtet. Dies hat insbesondere zur Folge, daß bei der Fehler-suche keine frühzeitige Entscheidungshilfe darüber gegeben werden kann, auf welcher der beiden Platinen ein Fehler wahrscheinlich zu finden sein wird.

Ein Test der KDT6 ist schon deshalb nur in Verbindung mit dem Interface-Board sinnvoll, da sich dort unter anderem auch die Anschlüsse für den Monitor und die Tastatur befinden.

Zur Fehlereingrenzung auf Bauteilebene ist eine Vorgehensweise nach folgendem Flußplan empfehlenswert.

Als Gedankenstütze für auszuführende Arbeiten sind dabei nur Stichworte angegeben. Dem erfahrenen Service-Techniker werden diese Hinweise genügen. Im Zweifelsfall kann im Anschluß an den Flußplan unter dem jeweiligen Stichwort eine ausführliche Beschreibung der Signale/Bauteile nachgeschlagen werden.

Insbesondere wird dort ausführlich auf die Themen Speicherverwaltung und -Organisation eingegangen. Die jeweiligen Beschreibungen werden dort, wo es notwendig erschien, durch Oszillographenbilder von typischen zu erwartenden Signalen ergänzt.

Ergänzt werden die Reparaturhinweise außerdem durch die Schaltpläne sowie den dazugehörigen Bestückungsplänen, auf denen die zu den Teilschaltplänen gehörigen Bauteile besonders gekennzeichnet sind, um dem Service-Techniker die Orientierung auf der Platine zu erleichtern.

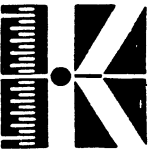
Verweise bei Bauteilen beziehen sich stets auf eine Blattnummer der Schaltpläne.

Zur Reparatur der KDT6 sollte folgende Ausstattung vorhanden sein:

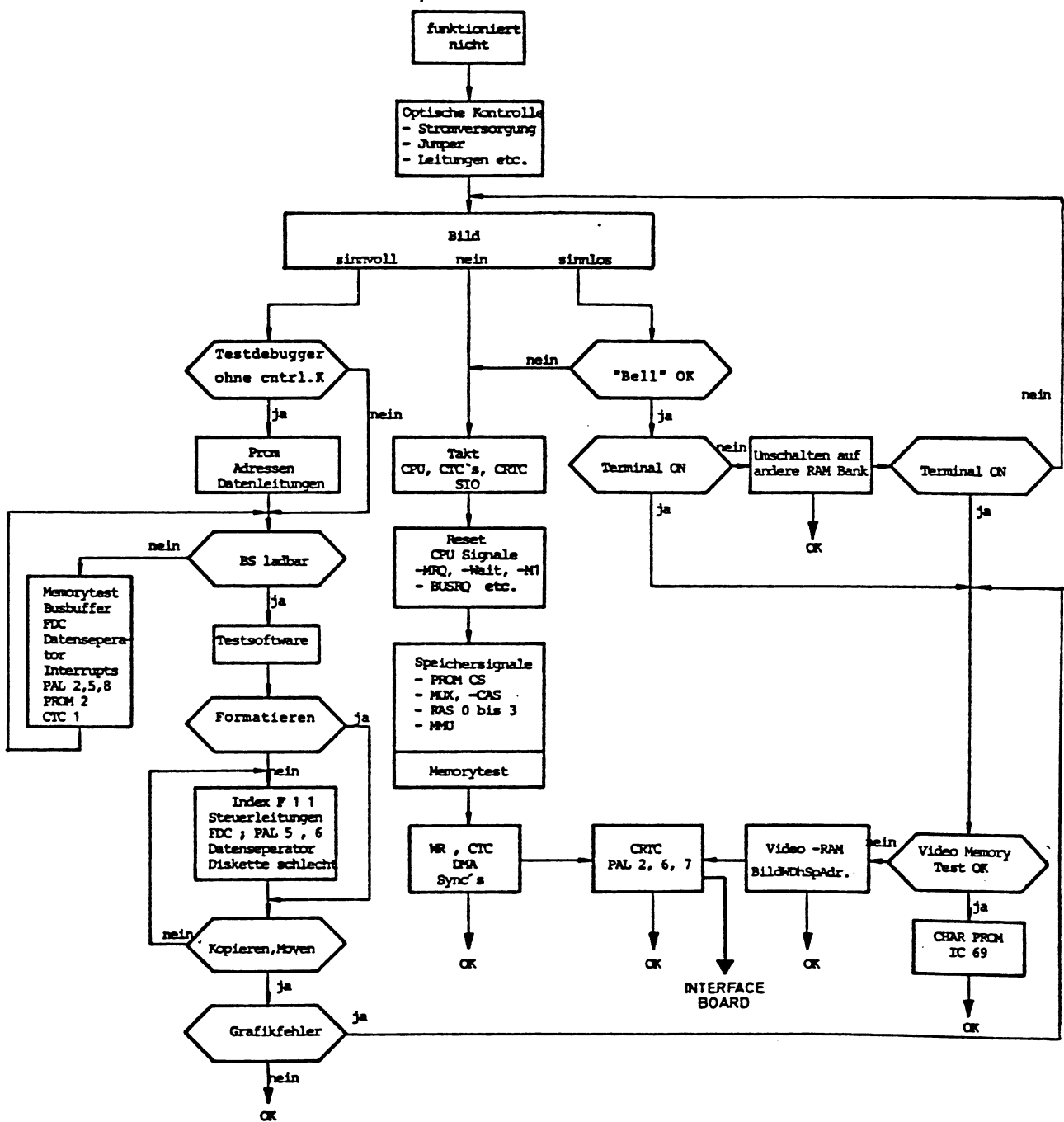
- Oszilloscope mit 2 Kanälen > 20 MHz
- Vielfachmeßgerät
- Terminal mit 9600 Baud
- Keyboard parallel
- Umschaltsockel für PAL1 (--> Umschalten)

- Testdiskette für KDT6/TCB-Systeme

- 2 Test-PROMs:
 - "WR55")
 - "OUT55") siehe Text



2. Reparatur-Flußplan für KDT6



**CPU**

Wenn sich überhaupt keine Reaktion am System erkennen läßt, überprüfen Sie, ob die CPU richtig arbeitet.

Dazu sollten zuerst die wichtigsten CPU-Signale überprüft werden.

Hierbei ist es zunächst nicht notwendig, genaueres über das Aussehen der einzelnen Signale zu wissen. Wichtig bei den im folgenden angeführten Signalen ist nur, daß sie sich ändern. Ständig auf Low oder High liegende Signale sind stets verdächtig. Näheres über die Signale können Sie unter den entsprechenden Stichpunkten nachlesen.

Die Daten- und Adreßleitungen können entweder z.B. mit dem Testdebugger-Kommando

```
>WR 5000 55 -->
```

**Test PROM
"WR 55"**

oder, falls der Testdebugger nicht aufgerufen werden kann, wird ein Testprom mit folgendem Programm anstelle des BOOT-Proms eingesetzt:

```
0000 WR 4000 55  
0001 JP 0000
```

Es wird nun stets das Datum 55 Hex auf Adresse 4000 geschrieben. An den Datenleitungen kann nun 55 Hex gemessen werden.

Falls nicht ist zu überprüfen, ob 55H ins RAM geschrieben wird und ob Bank Nr.0 richtig selektiert wird.

Wenn nicht, muß die MMU (IC10, Blatt 3) und PAL1 (Blatt 3) überprüft werden.

CRTC

siehe Video-Controller

CS

(Chip-Select)

Die gesamte promresidente Debuggersoftware ist so geschrieben, daß alle Grundroutinen (Initialisierung, Kommandos, Verwalter, Bildschirmausgabe etc.) in PROM1 liegen. Somit ist der Adreßbereich des ablaufenden Programms auf PROM1 (0-FFF) und den benötigten RAM-Bereich (4000-44FFH) begrenzt. Daraus ergibt sich die Forderung, daß während der Transferphase (entspricht M1-Zyklus) nur PROM1 selektiert werden darf. Also kann an PIN 18 von PROM1 gemessen werden, ob dieses PROM auch zyklisch selektiert wird.



Falls nicht:

- > Prom defekt; Buspuffer defekt;
ein I/O-Baustein spricht auf den Datenbus;
eine Adresse hängt.
- > Falls das PROM nie selektiert wird, so ist
entweder das PROM defekt, oder die Signale
-RD, -MRQ, -RFSH etc. zeigen ein Fehlver-
halten.

CTC

(Zähler/Zeitgeber-Baustein)

Diese Bausteine dienen zur Interrupt-/Takt-Generierung und sind u.a. für den Betrieb der PIO/SIO-Bausteine nötig.

Zeigt sich keine Reaktion auf dem Bildschirm bei Eingabe eines beliebigen Zeichens auf der Tastatur, so ist entweder die Tastatur oder aber CTC2 (Blatt 6) defekt.

Falls sich keine Reaktion auf dem angeschlossenen Terminal zeigt, so muß der SIO-Baustein überprüft werden.

CTC 1 liefert außerdem den Takt für die Baudrateneinstellung des SIOA (bei LA) bzw. SIOB (PSI).

Auch muß Jumper 3 überprüft werden, ob er in Stellung B steht, da er den Takt für die Baudratensteuerung liefert.

Diskette

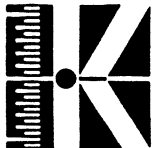
Eine schlechte Diskette oder ein dejustiertes Laufwerk läßt sich mit dem Disktestprogramm des Testdebuggers erkennen:

Testdebugger mit CNTRL-K aufrufen.

Diskette in Laufwerk einlegen.

```
>J 1800      (Einsprungpunkt Disktest)
>Drive ID:  (Laufwerksnummer, 1/2/11/12)
>Versuche:  (Leseversuche/Zugriff)
>LOOPS:     (Anzahl der Durchläufe)
>Mode:      (1/2: Ausdruck/Schaubild)
```

Falls bei "Mode" 2 eingegeben wurde, werden nun in einem Diagramm Soft- und Harderrors angezeigt. Schlechte Spuren auf einer Diskette lassen sich auf diese Weise leicht erkennen (Häufung der Lesefehler auf einer bestimmten Spur). Mit diesem Programm läßt sich außerdem ein dejustiertes Laufwerk erkennen: Wenn eine gute Diskette, die auf einem einwandfreien Laufwerk überprüft wurde, dort keine Fehler zeigt, eine Überprüfung auf einem anderen Laufwerk aber Fehler erkennen läßt, so ist dieses zweite Laufwerk dejustiert. Wichtig ist, daß die Behandlungsvorschriften für Disketten und Laufwerke stets eingehalten werden (Disketten vorsichtig in Laufwerk einlegen etc.)



Diesen Test sollte man über längere Zeit laufen lassen, damit auch eventuelle sporadische Fehler sowie Wärmefehler erkannt werden können (siehe auch "Testsoftware für KDT6").

DMA

(Direct Memory Access)

Mittels des Testdebuggers ist es möglich, entweder direkt unter Umgehung des DMA-Bausteins oder über den DMA-Baustein von einem Laufwerk zu lesen. Somit kann eine Spur einer beliebigen Diskette, auf der aber Daten vorhanden sein sollten, einmal über den DMA-Baustein in einen bestimmten Speicherbereich eingelesen werden, um dann mit den Daten derselben Spur, die aber ohne DMA in einen anderen Speicherbereich eingeschrieben wurden, verglichen zu werden.

Treten dann beim Vergleich dieser beiden Datenbereiche keine Fehler auf, so ist der DMA-Baustein höchstwahrscheinlich in Ordnung.

Ablauf des Testes: Diskette in Laufwerk 1,
Daten auf Spur 1

TD: >RT A 1 5000 (mit DMA)
>RT 1 1 6000 (ohne DMA)
>CP 5000 6000 1000 (Vergleich)

Zur Kontrolle kann der DMA-Baustein aus der Fassung gezogen werden. Das Einlesen der Daten ohne DMA

>RT 1 1 5000 -->

darf nur keine Fehlermeldung erzeugen. Falls dennoch ein CRC-Error erzeugt wird, so ist der Fehler an anderer Stelle zu suchen.

Bei Eingabe von

> RT A 1 5000 -->

muß ein CRC-Error angezeigt werden.

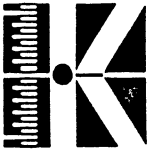
Kann das System über DMA nicht lesen, so muß nicht unbedingt der DMA-Baustein defekt sein, vielmehr kann der Fehler auch in den Steuer-signalen des DMA zu suchen sein, z.B. auf Blatt 2: -MRQ, -RD, -WR, -M1, -IORQ, CE etc.

FDC

(Floppy-Disk-Controller)

Zum Überprüfen der Steuerleitungen vom Controller zum Drive setzt man sich am besten folgende Kommandoschleife auf:

>S 5000 /WS;DO 5000 -->
>RS 1 1 6000;DO 5000 -->



Es wird nun der Inhalt von Sektor 1 Drive 1 ausgelesen und dann laufend wieder zurückgeschrieben. Somit läßt sich ein stehendes Bild auf dem Oszilloskop erzeugen.

Mit Oszilloskop und Schaltplan Blatt 9 läßt sich nun der Fehler schnell finden.

Die Read/Write-Logik läßt sich mit Hilfe des FC-Kommandos des Testdebuggers und eines Oszilloskopes überprüfen.

>FC 1 1 -->

Es wird nun ständig von der Floppy gelesen und man kann nun leicht alle Leitungen vom Drive zum Kontroller überprüfen. Ein einwandfreies Laufwerk wird natürlich vorausgesetzt. Dieses Programm wird nun gestartet. Das Scope mit einem Kanal an IORQ/ (PIN 20 CPU) anklemmen und danach triggern.

Nun kann man bequem alle Datenleitungen (D0 bis D7) und Steuerleitungen (CE, E, R/W) mit dem zweiten Kanal überprüfen.

Zu beachten ist, daß das Enable-Signal (PIN 23 activ HIGH) erst kurze Zeit, nachdem CE/ (activ LOW, Pin 25) LOW geworden ist, auf HIGH geht.

Zur Überprüfung von Port 6 mit seinen Ausgangssignalen eignet sich das auf der nächsten Seite ersichtliche Bild mit den Zeitverhältnissen der Signale.

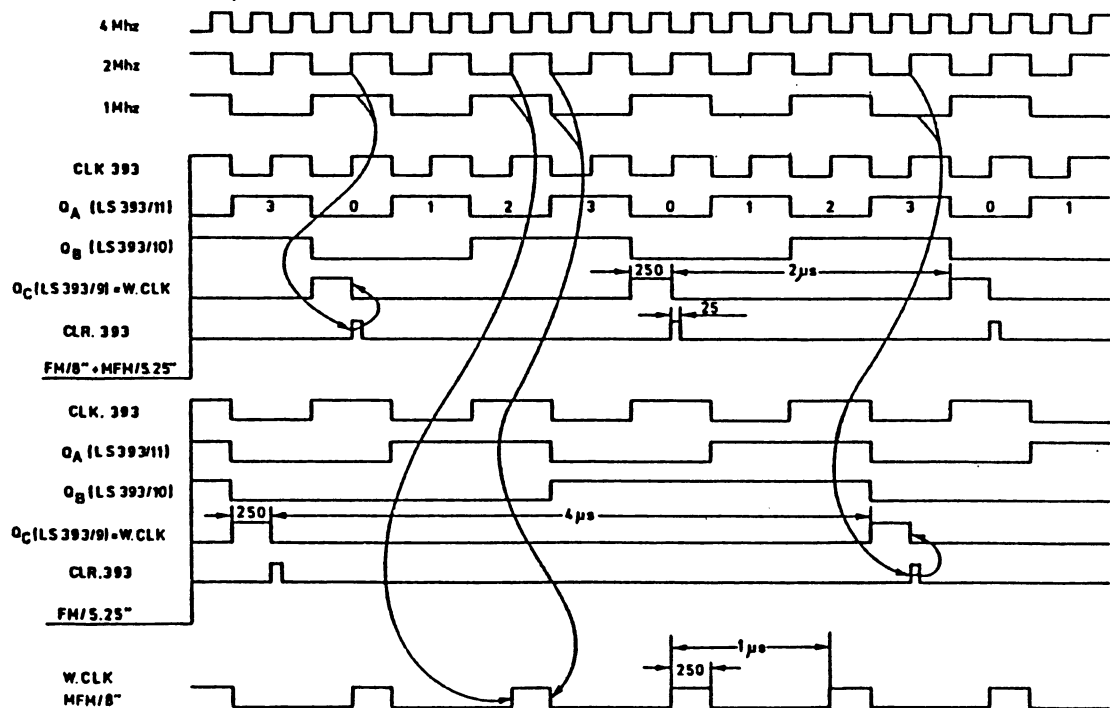


Abb. 3: FDC Write Clock Timing

**-INDEX**

Das Signal wird vom Floppy-Drive erzeugt. Bei jeder Umdrehung der Diskette, also alle 200 ms, wird ein 4 ms langer Puls gesendet. Dieses Signal ist neben den übrigen Steuersignalen unbedingt erforderlich. Das Signal "Index" teilt dem System mit, daß sich der Schreib-/Lesekopf am Anfang einer Spur, also bei Sektor 0 befindet. Das Überprüfen des Signales -INDEX geht am einfachsten mit dem Kommando

>FC 1 0 -->

mit dem dauernd vom Laufwerk 1, Spur 0 gelesen wird.

An PIN 17 des FD-Controllers (uP 765 Blatt 9) kann das Signal gemessen werden.

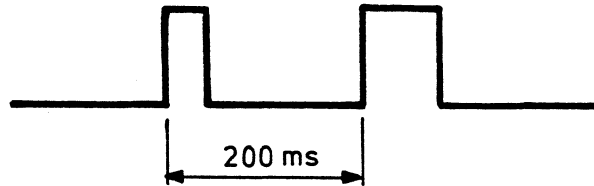


Abb. 4: INDEX-Signal

Interrupts

-NMI Der Z80 verfügt über einen Eingang -NMI (Non-maskable Interrupt). Dieser Interrupteingang kann nicht gesperrt (maskiert) werden und dient zur Meldung von Katastrophen, wie z.B. Netzausfall.

-INT Der Eingang -INT wird für alle anderen Unterbrechungsanforderungen herkommend von Peripherielementen (DMA, PIO, SIO, CTC) verwendet.

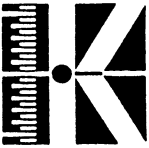
Er kann gesperrt (maskiert) werden durch den Befehl DI (Disable Interrupt) oder durch den Hardware-RESET. Der Befehl EI (Enable Interrupt) hebt die Maskierung wieder auf. Von den Interrupteingängen dominiert RESET über NMI und INT über INT.

In der Peripherie werden Interrupts nach dem Daisy-Chain-Prinzip (Eimerkette) gekettet:

Die Bausteine sind bezüglich der Priorität in Serie geschaltet über die Signale

IEI und IEO.

Derjenige periphere Baustein, der IEI high und IEO low liefert, hat Interrupt gemeldet und seinen Interrupt-Vektor ausgesandt.



Erstes Glied dieser Kette bei der KDT6 mit der höchsten Priorität ist die DMA (siehe auch Abb. 3, KDT6-HW).

In der folgenden Abbildung ist die Prioritätskette auf der KDT6 dargestellt.

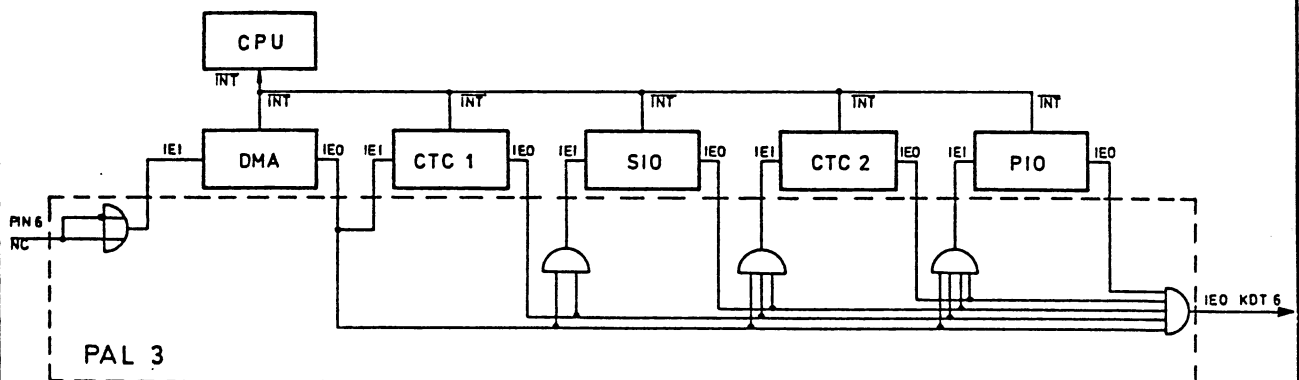
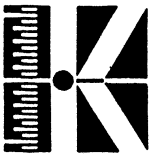


Abb. 5: Interrupt-Prioritätskette auf der KDT6 mit Ersatzschaltbild für die Logik des PAL3

Die durch die Kettenlänge auftretenden Schaltzeitprobleme können durch eine "Look-Ahead"-Schaltung umgangen werden. Auf der KDT6 wird diese Schaltung durch PAL3 dargestellt (siehe auch Blatt 5 und Programmierung PAL3).

Derjenige Baustein, der bei IEI high IEO hart auf low liegt, ist Ursache für auftretende Fehler. Sehr schnell läßt sich die Prioritätskette am PAL3 durchmessen.

--> PAL3, DMA, CTC1, SIO, CTC2, PIO



Memory Managment (74LS612/10)

Dieser Baustein arbeitet nicht, wenn eine der folgenden drei Bedingungen erfüllt wird:

- 1) BUSAK ist aktiv (PIN 14), d.h. ein DMA basierender Zugriff ist im Gange. Der DMA-Controller stellt die Adressen BAO...BA23 bereit. Die Ausgänge MOO...MO11 müssen dabei hochohmig sein.
- 2) Das Statussignal SEL.SYSM (Select System Memory) von Status Port 1 ist gesetzt.
- 3) Ein I/O Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MBA16...MBA23 immer 0, sowie die Adreßbits MBA12...MBA15 unverändert. Dieser Zustand ist gekennzeichnet durch das Signal DIS.MAP (Disable Mapper) PIN 13.

Diese grobe Arbeitsweise kann relativ leicht überprüft werden.

Allgemeines zur Memory-Management-Unit (MMU)

Der Sinn dieser Einheit besteht darin, den mit 16 Bit Adreßbreite vorgegebenen physikalischen Adreßraum von 64 kByte zu vergrößern.

Dies ist nur durch eine Verbreiterung der durch die Z80-CPU vorgegebenen 16-Bit-Adresse möglich. Mit Hilfe des MMU-Bausteins 74LS612/10 ist es möglich, die Adreßbreite auf 24 Bit zu vergrößern. Dies entspricht einer Vergrößerung des physikalischen Adreßraums auf 16 MByte.

Der Baustein 74LS612/10 besitzt 16, jeweils 12 Bit breite sogenannte MAP-Register, die frei programmierbar sind. In diese Register werden die HIGH-Bytes der Basisadresse eines 4 kByte-Bereiches geladen.

Das Besetzen der geforderten 12 Bit geschieht folgendermaßen:

- 1) Der 12 Bit breite Inhalt eines MAP-Registers setzt sich aus 8 Datenbits und 4 weiteren aus Port 2 ausgelesenen Bits zusammen. Also muß dieser Port zunächst belegt werden.
- 2) Die Auswahl eines MAP-Registers geschieht durch 4 Adreßbits (BA0...BA3). Da die Basisadresse des Mapregisters bei 20H liegt, enthalten die Bits BA7...BA4 stets den Wert 2H = 0010.
- 3) Belegen der fehlenden 8 Bits des Mapregisters mit den 8 Datenbits.



Soll nun ein bestimmter Speicherbereich adressiert werden, so geschieht das wie folgt:

- 1) Auswahl eines Mapregisters mit den Adreßbits BA15...BA12
- 2) Zusammensetzen der 24-Bit Adresse:

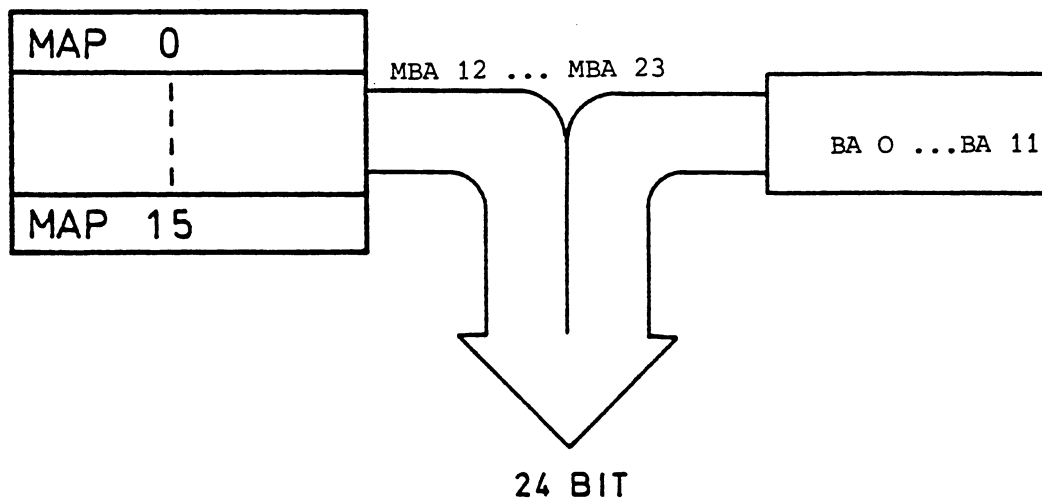


Abb. 6: 24 Bit-Adresse

Die Basisadresse eines 4 kByte-Bereiches kann so nach Belieben in einen physikalischen Adreßraum von max. 16 MByte gelegt werden.

MMU

Das Umschalten zwischen den einzelnen Speicherbänken funktioniert nicht. Mögliche Ursachen:

- > PAL 1 oder ICS defekt (Blatt 3)
- > ändern sich die Signale MOO...MO7 = MBA23...MBA16 (Blatt 3)
- > alle diese Bits 0?
falls ja: ---> DIS.MAP dauernd aktiv?
- > Fehler z.B. PAL 3 (Blatt 5)
- > ein Baustein dominiert auf einer dieser Leitungen (z.B. DMA)
(Meßpunkte TP 5, 6, 8, 9)



Zusammenfassend:

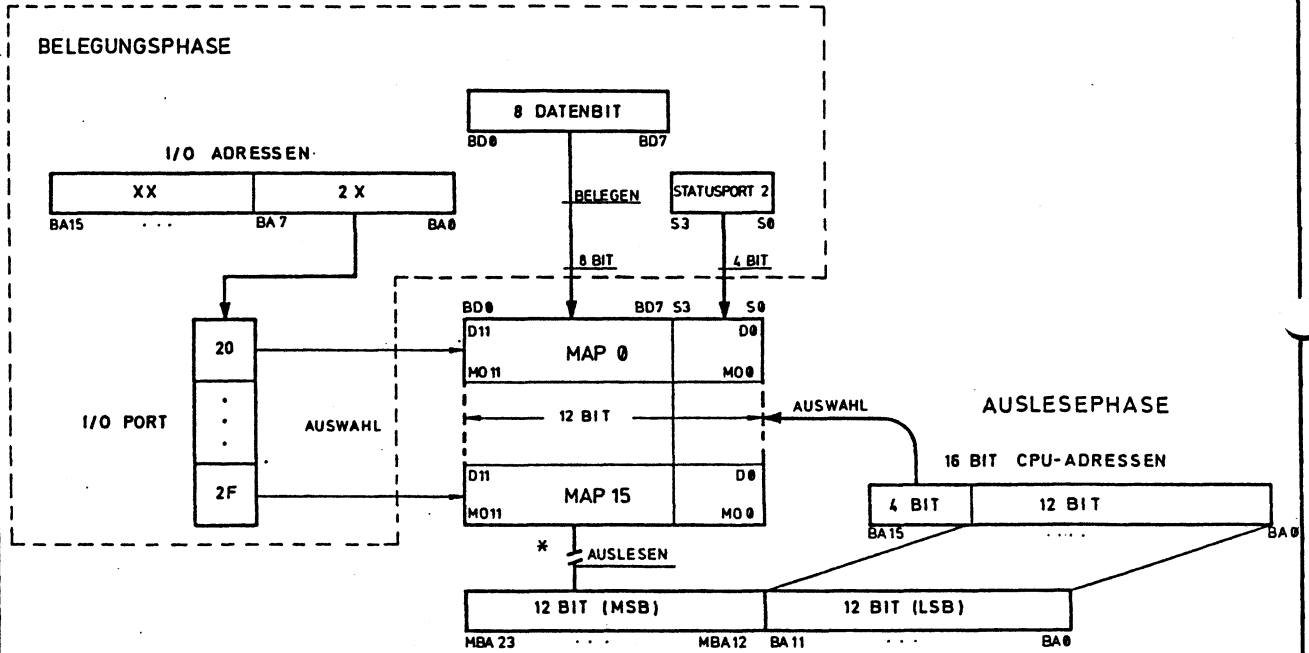
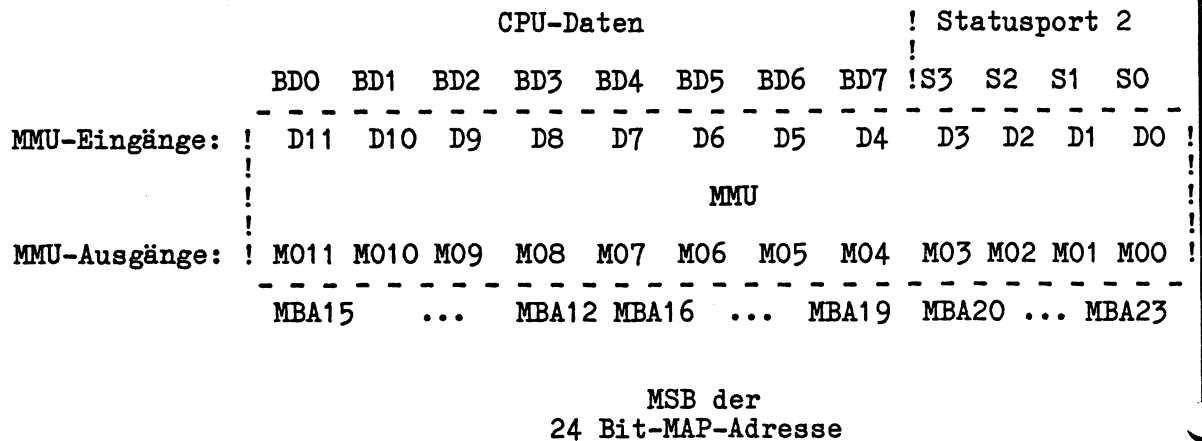


Abb. 7: MMU-Adressierung

* Bitzuordnung:



**-MRQ** (Memory-Request)

MRQ = aktiv bedeutet, daß auf dem Adreßbus die Adresse für einen Speicherzugriff (Lesen oder Schreiben) ansteht.

An Pin 19 der CPU (Blatt 1) messen. Das Signal muß zwischen LOW und HIGH wechseln.

MRQ/ liegt auf halbem Pegel:

---> arbeitet RESET/ (Pin 26) richtig?

Es muß nach Drücken der Reset-Taste ein mindestens einen Taktzyklus langer Puls ankommen.

IC23, D1, R7 und C1 überprüfen.

MRQ/ liegt ständig auf LOW oder auf HIGH:

---> Wahrscheinlich ist -WAIT dauernd aktiv (PIN 24 an der CPU). WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren.

Ist nun -WAIT dauernd aktiv, so wird auch -MRQ eingefroren. Als Ursachen für ein ständig aktives -WAIT kommen z.B. in Frage:

- | | | | |
|-------------------|-----------|---------|------------|
| - R9 | (Blatt 1) | - IC 47 | (Blatt 10) |
| - Stecker A | (Pin 44) | - IC 38 | (Blatt 11) |
| - IC 21 | (Blatt 1) | - IC 39 | (Blatt 11) |
| - IC 22 | (Blatt 2) | - IC 19 | (Blatt 11) |
| - CPU | | | |
| - RESET-Erzeugung | | | |

-RESET

-RESET dient zur Initialisierung der gesamten Hardware und wird entweder durch Drücken des Reset-Knopfes, oder aber durch Anlegen der Versorgungsspannung erzeugt. Während des Rückstellvorganges befinden sich Daten- und Adreßbus im hochohmigen, sämtliche übrigen Ausgänge der CPU im inaktiven Zustand. Beim Einschalten der Spannung folgt PIN2 am IC23 der Eingangsspannung sofort, während der zweite Eingang PIN1 über ein RC-Glied (R7, C1) verzögert wird. D1 wirkt als Entladediode.

Die CPU benötigt einen mindestens einen Taktzyklus langen Puls, nachdem Vcc auf mindestens 3.6 Volt angestiegen ist.

Wird -RESET nicht richtig erzeugt, so ist der Fehler bei R7, C1, D1 oder IC23 (alle auf Blatt 8) zu suchen.

Meist liegt die Ursache in einem zu kleinen C1. C1 kann in kritischen Fällen von 22 uF auf 47 uF vergrößert werden.



Speichertest

Der Memorytest schreibt nacheinander die hexadezimalen Werte 00, FF, 55, AA, 01, 02, 04, 08, 10, 20, 40, 80, FE, FD, FB, F7, EF, DF, BF, 7F, in den zu testenden Memorybereich ein und prüft die Richtigkeit. Also der gesamte zu testende Bereich wird zuerst mit 00 geladen und dann überprüft; als nächstes folgt FF usw.

Damit lassen sich harte RAM- oder Bufferfehler finden. Es besteht allerdings noch keine Aussage darüber, ob alle Adressen an den RAM's richtig anliegen. Um dies feststellen zu können, werden alle zu testenden Speicherzellen mit dem LOW-Byte ihrer Adresse geladen und danach überprüft. Es kommt z.B. auf die Adresse 5000 der Wert 00, auf 5001 01, auf 011 11 usw.

Würde nun das Adreßbit A0 hart auf LOW liegen, wird zwar zuerst - wie in unserem Beispiel - auf die Adresse 5000 der Wert 00 eingeschrieben, dann aber sofort mit 01 überschrieben, wenn auf die Adresse 5001 01 geschrieben werden sollte. Die nach dem Einschreiben erfolgende Überprüfung meldet diesen Fehler. Damit lassen sich alle Fehler mit Adreßbits A0 bis A7 finden.

Jetzt werden die zu testenden Speicherzellen mit den HIGH Bytes der Adressen geladen. Zum Beispiel:

die Adressen 5000H bis 50FFH mit 50H
die Adressen 5100H bis 51FFH mit 51H usw.

Damit lassen sich auch noch Adreßfehler der obersten Adreßbits finden.

Als nächstes wird der gesamte zu testende Speicher mit 76H (HALT) gefüllt, der CTC 1 Channel 0 (Adresse 08H) als Timer programmiert und ein Jump auf die erste zu testende Speicheradresse ausgeführt. Hier liest die CPU nun ständig diesen Befehl, bis der Interrupt des CTC erfolgt (ca. 512 X HALT). In der Interruptserviceroutine wird nun die Herkunftsadresse mit der Solladresse verglichen. Ist diese ok, wird ein Jump auf die nächste zu testende Speicheradresse ausgeführt usw.

Steht durch Umkippen eines Bits z.B. 77H (LD HL),A in der Speicherzelle, dann stimmt beim nächsten Interrupt die Herkunftsadresse nicht mit der Solladresse überein und es wird ein REALTIME Test Error angezeigt.

Achtung: Das Drücken einer Taste während dieses Test führt ebenfalls zur gleichen Fehlermeldung.

Der letzte Test innerhalb des Memorytests ist ein 100H langes Programm, das fast ausschließlich aus Ein-Byte-Befehlen besteht. Dieses Programm wird an den Anfang des zu testenden Speichers geladen und mit einem Jump darauf abgearbeitet. Es schreibt sich bis ans Ende des zu testenden Speichers fort.



Mit diesem Test lassen sich auch noch RAM's mit einer zu knappen Zugriffszeit finden (Timing von M1 Zyklen ist kürzer als beim normalen RD).

Zur Durchführung des Speichertests stehen zwei Hilfsmittel zur Verfügung:

- 1) Testdebugger (nur für Schreib-/Lese-Speicher)
- 2) Testsoftware auf Diskette (für Video- und Schreib-/Lesespeicher)

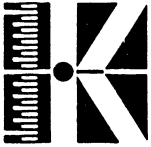
Um einen Speichertest durchführen zu können, bzw. um die richtigen Schlüsse aus den gewonnenen Ergebnissen zu ziehen, ist eine gute Kenntnis der Speicherorganisation der KDT6 notwendig.

Die KDT6 besitzt max. 8 kByte ROM-Speicher (2 EPROM's vom Typ 2732 mit je 4 kBit x 8), 256 kByte Schreib-/Lesespeicher, der aus 32 RAM's vom Typ 2164 mit je 64 kBit x 1 aufgebaut ist. Ferner ist ein Bildwiederhol-speicher 64k x 10 Bit vorhanden, der aus 10 RAM's vom Typ 2164 aufgebaut ist. Ferner ist noch ein EPROM aufgesetzt, das den Zeichensatz enthält (entweder Typ 2764 oder 2732; 8 oder 4 kByte Zeichensatz).

Die Adressierung der PROM's Nr. 1 und 2 erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der PROM-Bereich adressiert werden muß, bevor die Speicherverwaltung adressiert wird. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der PROM-Bereich völlig abgeschaltet werden.

Adreßbereiche der beiden PROM's:

-----	-----
Socket	Adreßbereich
-----	-----
PROM1	0000 - 0FFF
PROM2	1000 - 1FFF
-----	-----



Bei Durchführung des Memory-Testes (entweder mit Testdisk für Video-Bereich oder MX ---> Schreib-/Lese-RAM) läßt sich nun anhand der Fehlermeldung der fehlerhafte Speicherschaltkreis lokalisieren:

z.B. Test in Schreib-/Lese RAM Bank 3

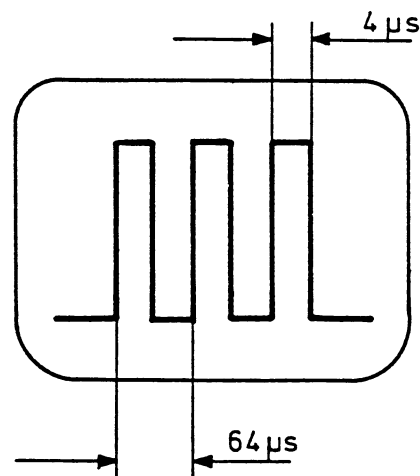
ingelesen 3AH = 00 11 1010
ausgelesen 2AH = 00 10 1010

---> IC Bit 4 in Bank 3 defekt; aber auch Fehler in Adreßzuführung oder Leiterbahn denkbar.

Zeigt die Fehlermeldung auch in einer anderen Bank stets auf das gleiche Bit, so kann es auch sein, daß das IC 62 (Blatt 4) defekt ist, oder aber eine Adreßleitung "hängt". Ebenso müssen die Multiplexer in IC25, IC27 (Blatt 4) überprüft werden (ebenso Blatt 4). Weitere Fehlermöglichkeiten sind IC26 (Treiber), sowie alle Daten und Adreßleitungen auf Blatt 4 und die auf diesen Leitungen hängenden Schaltkreise (Blatt 1, 2, 3, 5, 12).

Sync-Signale

H-SYNC



V-SYNC.

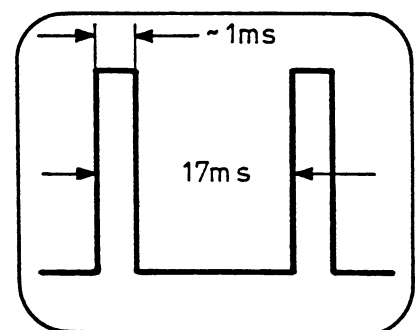


Abb. 9: SYNC-Signale



Schwingt 12.36 MHz (bzw. bei PSI 13,5168 MHz)
Oszillator ?
---> an TP's messen (Blatt 10)

TP7: BYTE.CLK }
TP10: VRAS } zur Zeitabfolge, siehe
TP11: VWR } "Video-Controller"
TP12: VRD }

Am Ausgang des Video-Controllers (Blatt 2) die Synchronisier-Signale VSYNC, HSYNC messen (Pin 39 und 40).

Haben Horizontalsync und/oder Vertikalsync nicht den richtigen Abstand oder sind sie nicht vorhanden, so ist es denkbar, daß der CRTC (Schaltplan Blatt 11) nicht richtig programmiert wird. Es sollte dann der Datenpfad und die Steuerleitungen zum CTC untersucht werden.

Zur Darstellung der übrigen Signale wird am besten eine Schreibschleife für den Videocontroller aufgesetzt. Dies geschieht mit dem Kommando

>O 31 55 (*)

des Testdebuggers, wobei anstelle des Wertes 55 auch der ASCII-Code eines beliebigen anderen Zeichens stehen kann. Das jeweilige Zeichen wird nun dauernd auf den Bildschirm geschrieben, wodurch eine Überprüfung aller Signale ermöglicht wird.

(*) Dies läßt sich natürlich nur realisieren, falls der CRTC richtig arbeitet.

Test PROM
"OUT55"

Falls der Testdebugger nicht aufgerufen werden kann, wird ein Testprom mit folgendem Programm anstelle des BOOT-Proms eingesetzt.

```
0000 LD A,55H
0002 OUT (18H),A
0004 OUT (31H),A
0006 JP 0002
```

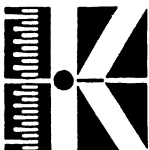
Takt

Blatt 1: An Pin 6 der CPU muß ein 4 MHz Takt (TTL-CLK) liegen. Falls nicht:

---> Blatt 8: Oszillator + Teiler
(IC24, IC22) überprüfen, oder

---> Blatt 1: Clocktreiber (T1, T2, R1-R6)
überprüfen.

Die Taktsignale müssen auch an SIO, PIO sowie CTC's anliegen.



Die Taktfrequenz wird während der BOOT-Phase halbiert, um auch langsame Proms verwenden zu können.

An der MMU muß am Strobe-Eingang (IC10, Pin 5, Blatt 3) ein über IC 17 (Blatt 3) halbiertes Takt anliegen, falls SEL.MAP aktiv ist.

Außerdem müssen die abgeleiteten Signale FD.CLK (Blatt 8, IC 2) = 16 MHz und SEL.CLK (Blatt 5, IC43, Pin 5) = 8 MHz vorhanden sein.

Terminal ON

Um festzustellen, daß es sich um einen Fehler im Videoteil handelt, kann dieser erst einmal durch Anschluß eines Terminals an den SIO umgangen werden.

Durch Eingabe des Testdebugger-Kommandos ON wird die serielle Schnittstelle eingeschaltet, die Baudrate ist auf 9600 Baud gestellt.

Die Initialisierung des SIO geschieht sofort nach RESET oder Einschalten und nicht erst nach Ausführung des ON-Kommandos.

Welche serielle Schnittstelle (A oder B) eingeschaltet wird, hängt von der Testdebugger-Version ab.

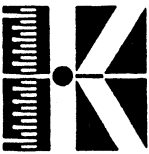
Erscheint keine Meldung auf dem Terminal, so kann ein Fehler in RAM-Bank 0 vorliegen, der durch Umschalten auf eine andere Bank (--> Umschalten) umgangen werden kann.

Tritt danach der Fehler immer noch auf, so ist die Ursache woanders (CPU, PAL1, MMU) zu suchen.

Testdebugger ohne CNTL-K

Der Testdebugger ist so geschrieben, daß alle Grundroutinen im PROM 1 sind. Nach dem Start (Reset) wird nun die gesamte Hardware der KDT6 initialisiert, der Bildschirm gelöscht, ein "Bell" erzeugt und dann geprüft, ob auf der Adresse 17FC die Kombination 00 FF 55 AA steht.

Ist dies der Fall, so wird ein Jump auf den Einsprungpunkt des Urladers ausgeführt, d.h. es wird versucht, von der Floppy zu laden.



Erscheint nun, ohne daß CNTL-K gedrückt wurde, das Wort Testdebugger etc. am Bildschirm, so wird die Kombination 00 FF 55 AA nicht gefunden. Zur Überprüfung eignet sich ein Readloop auf die Adresse 17FC

>RD 17FC

Nun kann mit dem Oszilloskop überprüft werden, ob PROM 1 selektiert wird und die Adreßbits richtig ankommen. Wenn ja ---> PROM defekt; wenn nein ---> Schaltplan Blatt 1 (Buffer, -CS, CPU).

Umschalten auf andere RAM-Bank Nach Einschalten der Spannungsversorgung oder RESET ist der Mapper so initialisiert, daß die Speicherbank 0 im 64k-Adreßbereich der CPU liegt.

Ist ein Daten- oder Adreßfehler in der unteren Hälfte dieser Bank vorhanden, so kann dieser erst einmal dadurch umgangen werden, daß durch Umverdrahten von -RAS0 mit z.B. -RAS2 ein anderer HW-Bankbereich als Bank 0 initialisiert wird.

Das Umschalten geschieht durch den in der folgenden Abbildung gezeigten Doppelsockel.

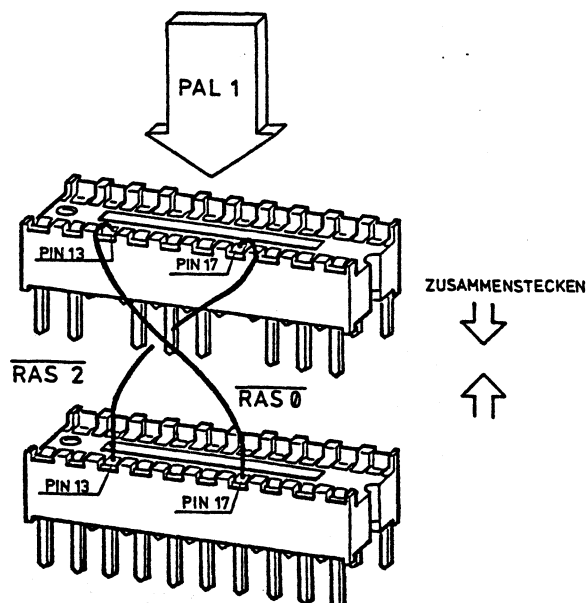
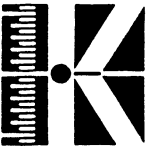


Abb. 10: RAM-Bank-Umschaltsockel
(Bank 0 vertauscht mit Bank 2)

Tritt danach weiterhin keine Änderung ein (Meldung auf Terminal), so ist der Fehler bei

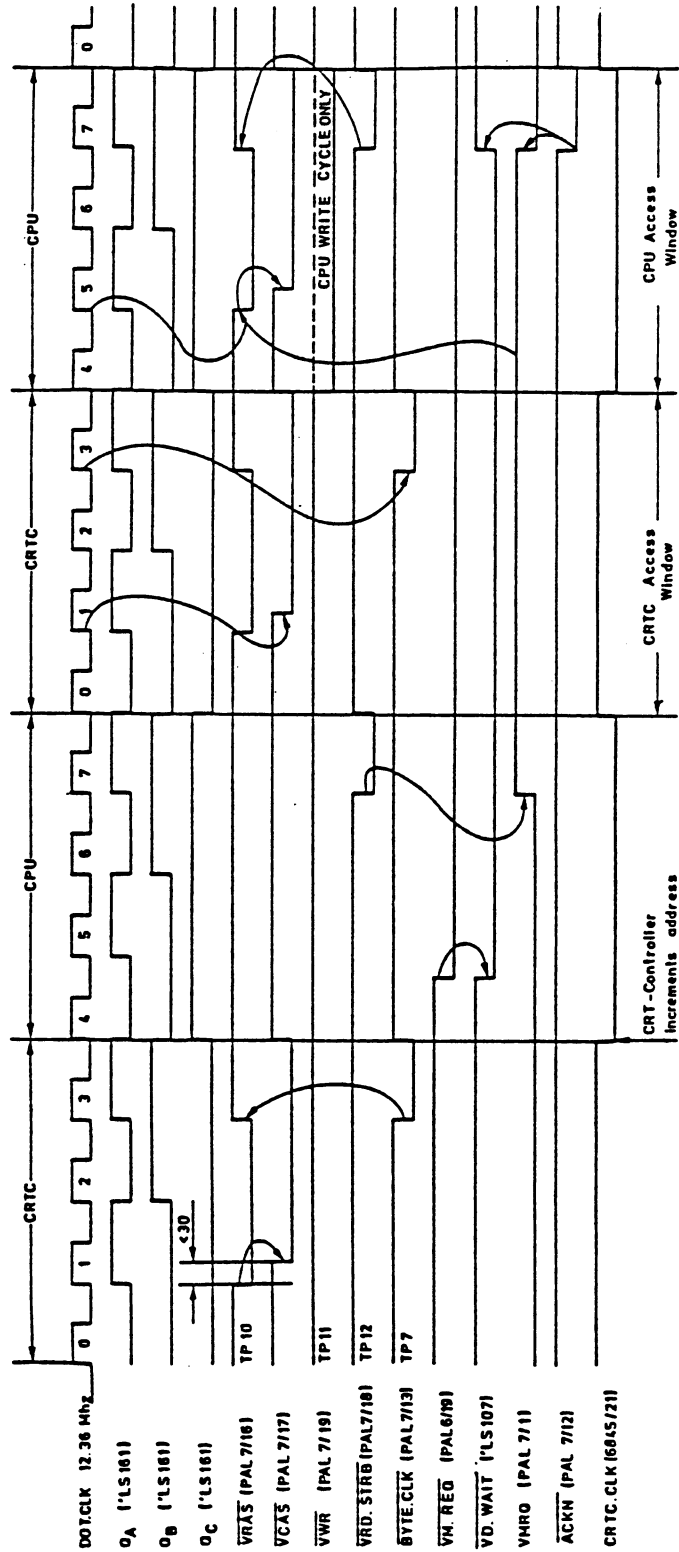
--> PAL1, MMU, CPU, PROM1

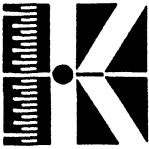
zu suchen.



Video-Controller

Er erzeugt alle Signale zur Monitorsteuerung. Das folgende Diagramm auf der nächsten Seite zeigt den zeitlichen Ablauf der benötigten/erzeugten Signale. Die Signale HSync und VSync sind bei "Sync-Signale" beschrieben.





Videoteil Eine Überprüfung des Videoteils erfordert nach dem Controllerteil noch weitere 3 Stufen:

- 1) Videomemory mit Zeichensatz EPROM (Blatt 13)
- 2) Bildwiederholungspeicheradressierung (Blatt 12)
- 3) Video Interface (auf Interface-Board, siehe dort)

Treten auf dem Monitor Schleier oder instabile Zeichen auf, so ist insbesondere auf

---> PAL 7

das Signal -VRD.STRB an Pin 18 oder TP12 anzuschauen. Häufig schaltet PAL7 zu schnell, so daß eine charakteristische Störspitze auftritt (siehe folgende Abb.).

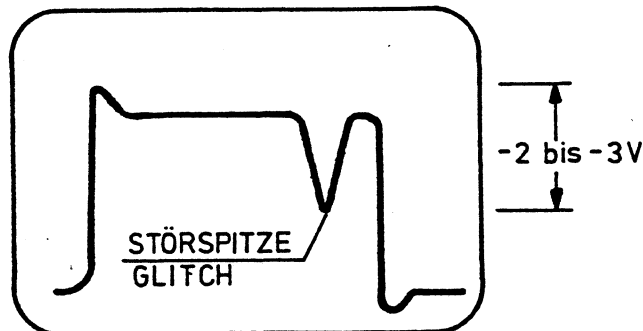


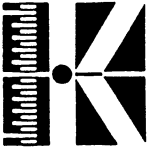
Abb. 12: Fehlerhaftes VRD.STRB-Signal

Durch Auswechseln des PAL's oder durch Überbrücken von Pin 9 und Pin 10 (GND) mit einem Kondensator von 82 pF (Verzögerung), läßt sich dieser Fehler beseitigen.

Zeigt die Graphik Fehler, so muß zuerst die einwandfreie Funktion des Videomemorys sichergestellt werden. Also mit Testprogramm (Diskette) Memorytest durchführen.

Zeigt der Memorytest keine Fehler, so kann ein Defekt nur noch in den nachgeschalteten Baueinheiten zu suchen sein (IC 40, IC 67, PROM 3, IC 69, Blatt 13). Außerdem wäre ein Fehler im Videointerface denkbar, der aber mit dem entsprechenden Schaltplan und Oszilloskop leicht zu beheben sein dürfte (siehe Interface-Board).

Siehe auch "Video-Controller" und "SYNC's".

**-WAIT**

-WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren. Ist also WAIT ständig aktiv, so werden die CPU-Signale wie z.B. -MRQ "eingefroren".

Ein LOW-Signal am WAIT-Eingang zeigt der CPU, daß die angesprochenen Speicher- oder I/O-Bausteine zur Datenübertragung noch nicht bereit sind.

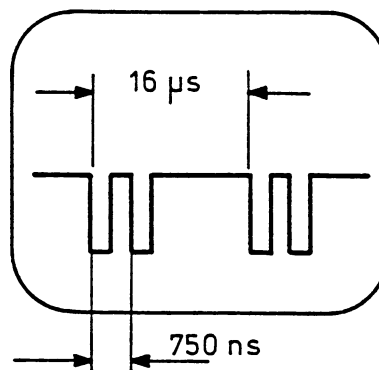
-WR

-WR = aktiv bedeutet, daß die CPU Daten für den Speicher oder einen I/O-Baustein auf dem Datenbus bereithält.

Während des Ablaufs des in Testprom "WR55" gespeicherten Programms wird immer wieder geprüft, ob ein neues Zeichen eingegeben worden ist. Dies geschieht in einem Unterprogramm, das mit CALL aufgerufen wird. Hierzu wird stets die Adresse des nächsten Befehls im Stack abgelegt, was zwei WRITE-Zyklen erfordert.

An TP16 müssen deshalb -WR Enable-Pulse in Zweiergruppen mit einem Abstand von ca. 16 us zueinander zu sehen sein. Der Abstand innerhalb einer Gruppe muß etwa 750 ns (= 3 Taktzyklen) betragen.

Kommen nun die -WR-Pulse nicht wie oben angegeben, muß untersucht werden, ob der benötigte RAM-Bereich beschrieben oder gelesen wird. Außerdem muß sichergestellt werden, ob überhaupt ein Programm ab Adresse 0 abgearbeitet werden kann.

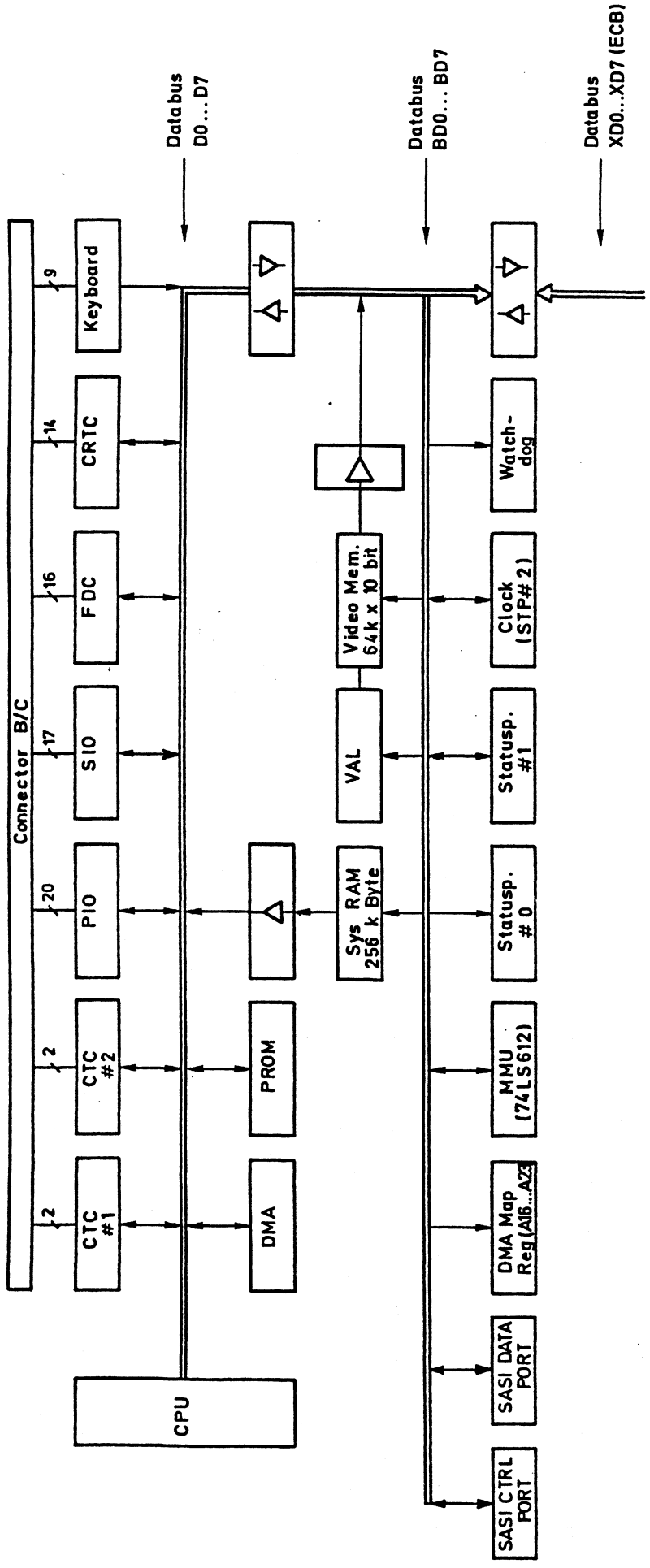


WR - PULS

Abb. 13: WR-Signal

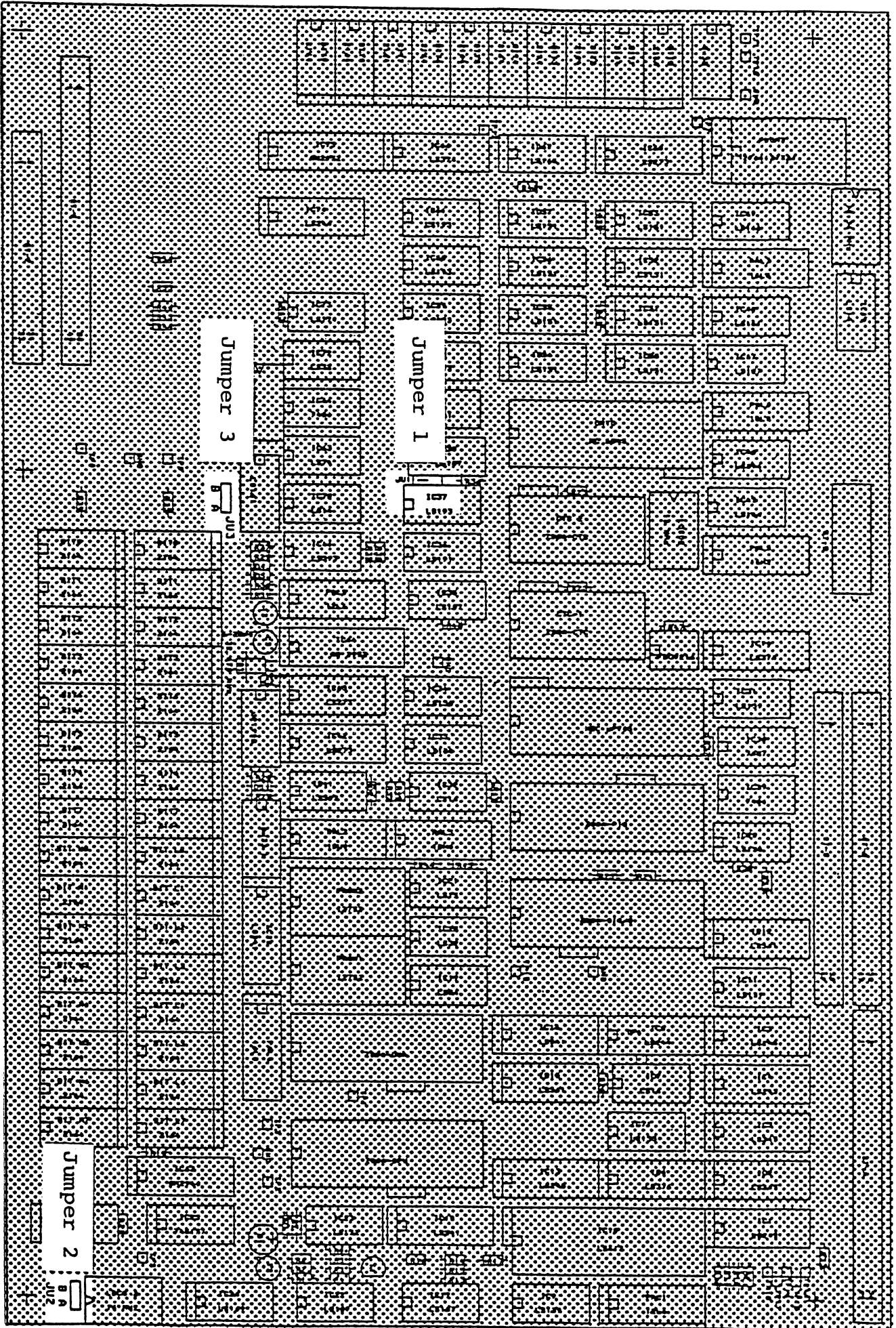


1	a	Datenbus	
	b	Adreßbus	
2	a	Lage Jumper	
	b	Voreinstellung der Jumper	
3	a	Lage aller Testpunkte	
	b	Tabelle Testpunkte	
4	a	Bestückungsplan der KDT6	
	b	Lage CPU	
5	a	CPU/Buffer/Takt	1. von 14
	b	Lage DMA	
6	a	DMA + PROMs	2. von 14
	b	Lage MMU	
7	a	MMU	3. von 14
	b	Lage RAM-Memory	
8	a	RAM-Memory	4. von 14
	b	Lage Int.-Pos. + I/O - Adr.Dek.	
9	a	Interrrupt-Priorität + I/O-Adreßdeko- der	5. von 14
	b	Lage CTC	
10	a	CTC	6. von 14
	b	Lage SIO/PIO	
11	a	SIO/PIO	7. von 14
	b	Lage Uhr + Takterzeugung	
12	a	Uhr + Takterzeugung	8. von 14
	b	Lage FD-Treiber	
13	a	FD-Treiber	9. von 14
	b	Lage Video Memory	
14	a	Video Memory-Access Controller + Timing Generator	10. von 14
	b	Lage Video	
15	a	Video (CRTC)	11. von 14
	b	Lage Bildwiederhol-speicherad- ressierung	
16	a	Bildwiederhol-speicherad- ressierung	12. von 14
	b	Lage Video-RAM	
17	a	Video-RAM	13. von 14
	b	Lage SASI	
18	a	SASI	14. von 14



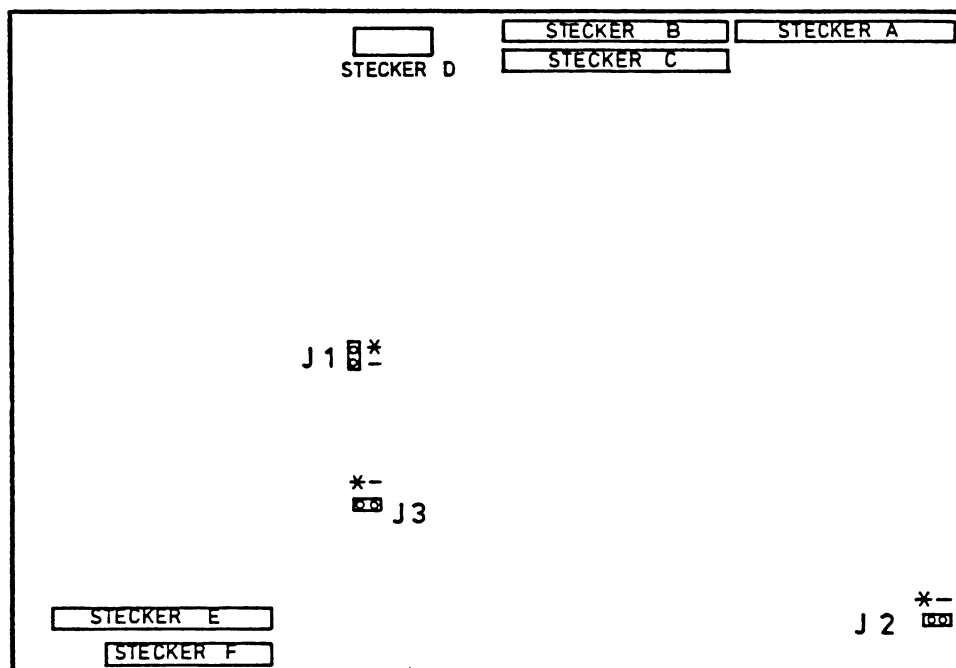
Benennung		KDT 6	
Data Bus Structure			
Tag	Name	Blatt-Nr.	
20.4.82	SPIES	1010	
22.4.82			
KONTROTRON ELECTRONIC			
Rev.	Änderungs-Nr.	zu Gerät	
1.1	20	7	

Lage der Jumper (KDT 6)



Voreinstellung der Jumper auf KDT6 Rev. 1.2

- * bedeutet : Jumper gesteckt
- bedeutet : Jumper nicht gesteckt



KDT6 - Bestückungsseite: Jumper

Beschreibung ("--->") bedeutet: Voreinstellung):

Jumper J1:

-
- A : 64 kByte Video-Memory
- > B : 16 kByte Video-Memory

Jumper J2:

-
- A : getrennte Oszillatoren für Floppy- und CPU-Takt-Erzeugung (OSZ1 und OSZ2)
- > B : gemeinsamer Oszillator (OSZ1; 16 MHz)

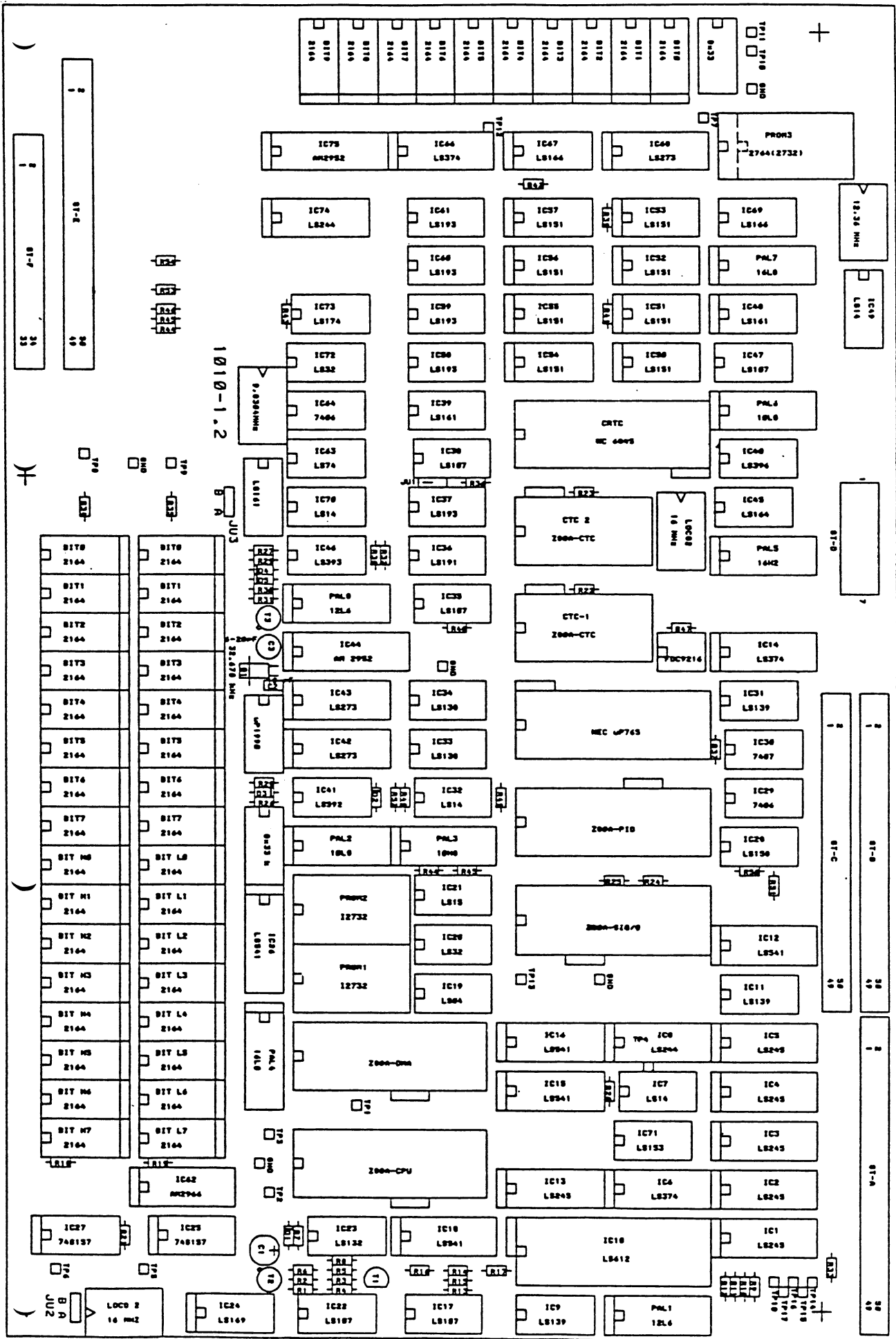
Jumper J3:

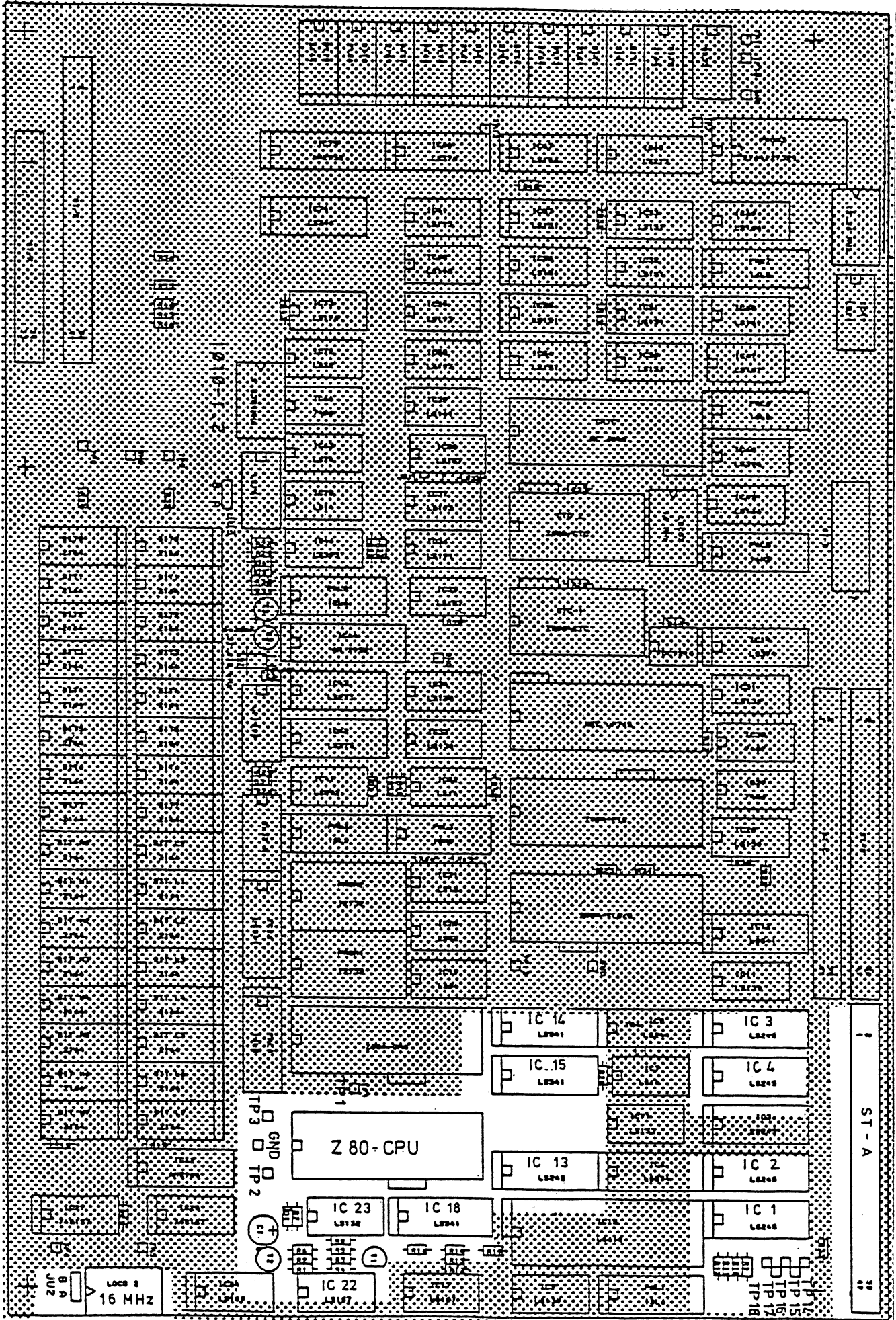
-
- A : 2.0000 MHz für Baudratenerzeugung
- > B : 1.2288 MHz für Baudratenerzeugung

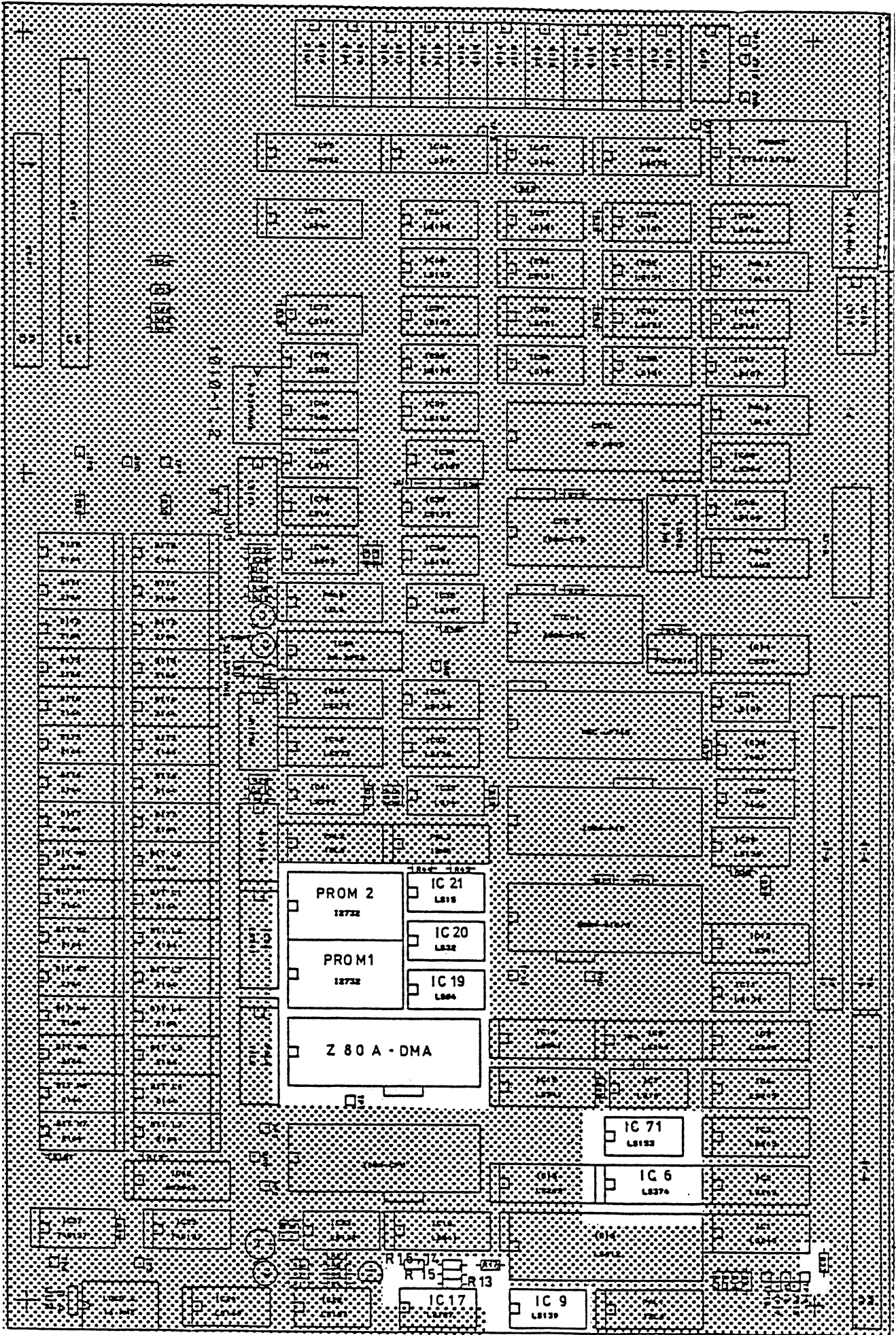
Testpunkte

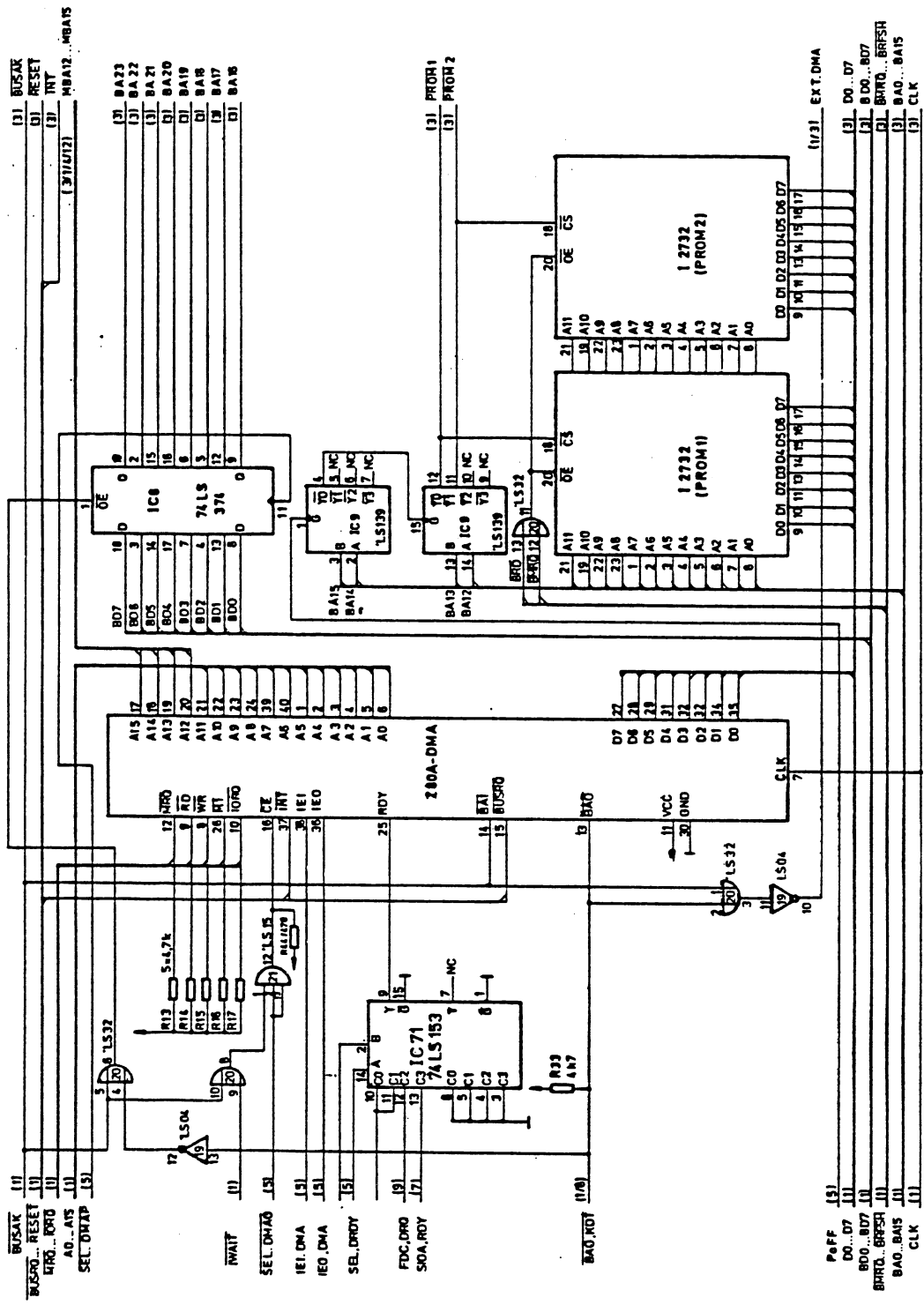
TP Nr.	Signalname	Bedeutung
1	CLK	Systemtakt
2	-BD.IN	Bussteuerung interner Datenbus
3	-ECB.IN	Bussteuerung externer Datenbus (ECB)
4	-MUXS	RAM Adreßmultiplexer Umschaltung
5	-RAS0	Row Address Strobe (Bank 0)
6	-RAS1	Row Address Strobe (Bank 1)
7	-BYTE.CLK	Byte Clock der Video Controller Schaltung
8	-RAS3	Row Address Strobe (Bank 3)
9	-RAS2	Row Address Strobe (Bank 2)
10	-VRAS	Row Address Strobe (Video Bank)
11	-VWR	Write Strobe (Video Memory)
12	-VRD.STRB	Read Strobe (Video Memory)
13	EXT.DMA	externer DMA-Zugriff
14	-BMRQ	CPU-MRQ gepuffert
15	-BRD	CPU-RD gepuffert
16	-BWR	CPU-WR gepuffert
17	-BM1	CPU-M1 gepuffert
18	-BIORQ	CPU-IORQ gepuffert
19	GND	Ground
20	GND	Ground
21	GND	Ground
22	GND	Ground

BESTÜCKUNGSPLAN









Item	Quantity	Part No.	Description
1	1	280A	DMA
2	2	12732	PROMS
3	2	LS04	Inverter
4	2	LS32	NAND Gate
5	1	20K	Resistor
6	1	10K	Resistor
7	1	100K	Resistor
8	1	100K	Resistor
9	1	100K	Resistor
10	1	100K	Resistor
11	1	100K	Resistor
12	1	100K	Resistor
13	1	100K	Resistor
14	1	100K	Resistor
15	1	100K	Resistor
16	1	100K	Resistor
17	1	100K	Resistor
18	1	100K	Resistor
19	1	100K	Resistor
20	1	100K	Resistor
21	1	100K	Resistor
22	1	100K	Resistor
23	1	100K	Resistor
24	1	100K	Resistor
25	1	100K	Resistor
26	1	100K	Resistor
27	1	100K	Resistor
28	1	100K	Resistor
29	1	100K	Resistor
30	1	100K	Resistor
31	1	100K	Resistor
32	1	100K	Resistor
33	1	100K	Resistor
34	1	100K	Resistor
35	1	100K	Resistor
36	1	100K	Resistor
37	1	100K	Resistor
38	1	100K	Resistor
39	1	100K	Resistor
40	1	100K	Resistor
41	1	100K	Resistor
42	1	100K	Resistor
43	1	100K	Resistor
44	1	100K	Resistor
45	1	100K	Resistor
46	1	100K	Resistor
47	1	100K	Resistor
48	1	100K	Resistor
49	1	100K	Resistor
50	1	100K	Resistor
51	1	100K	Resistor
52	1	100K	Resistor
53	1	100K	Resistor
54	1	100K	Resistor
55	1	100K	Resistor
56	1	100K	Resistor
57	1	100K	Resistor
58	1	100K	Resistor
59	1	100K	Resistor
60	1	100K	Resistor
61	1	100K	Resistor
62	1	100K	Resistor
63	1	100K	Resistor
64	1	100K	Resistor
65	1	100K	Resistor
66	1	100K	Resistor
67	1	100K	Resistor
68	1	100K	Resistor
69	1	100K	Resistor
70	1	100K	Resistor
71	1	100K	Resistor
72	1	100K	Resistor
73	1	100K	Resistor
74	1	100K	Resistor
75	1	100K	Resistor
76	1	100K	Resistor
77	1	100K	Resistor
78	1	100K	Resistor
79	1	100K	Resistor
80	1	100K	Resistor
81	1	100K	Resistor
82	1	100K	Resistor
83	1	100K	Resistor
84	1	100K	Resistor
85	1	100K	Resistor
86	1	100K	Resistor
87	1	100K	Resistor
88	1	100K	Resistor
89	1	100K	Resistor
90	1	100K	Resistor
91	1	100K	Resistor
92	1	100K	Resistor
93	1	100K	Resistor
94	1	100K	Resistor
95	1	100K	Resistor
96	1	100K	Resistor
97	1	100K	Resistor
98	1	100K	Resistor
99	1	100K	Resistor
100	1	100K	Resistor

DMA + PROMS

KDT 6

1010

100K

100K

100K

100K

100K

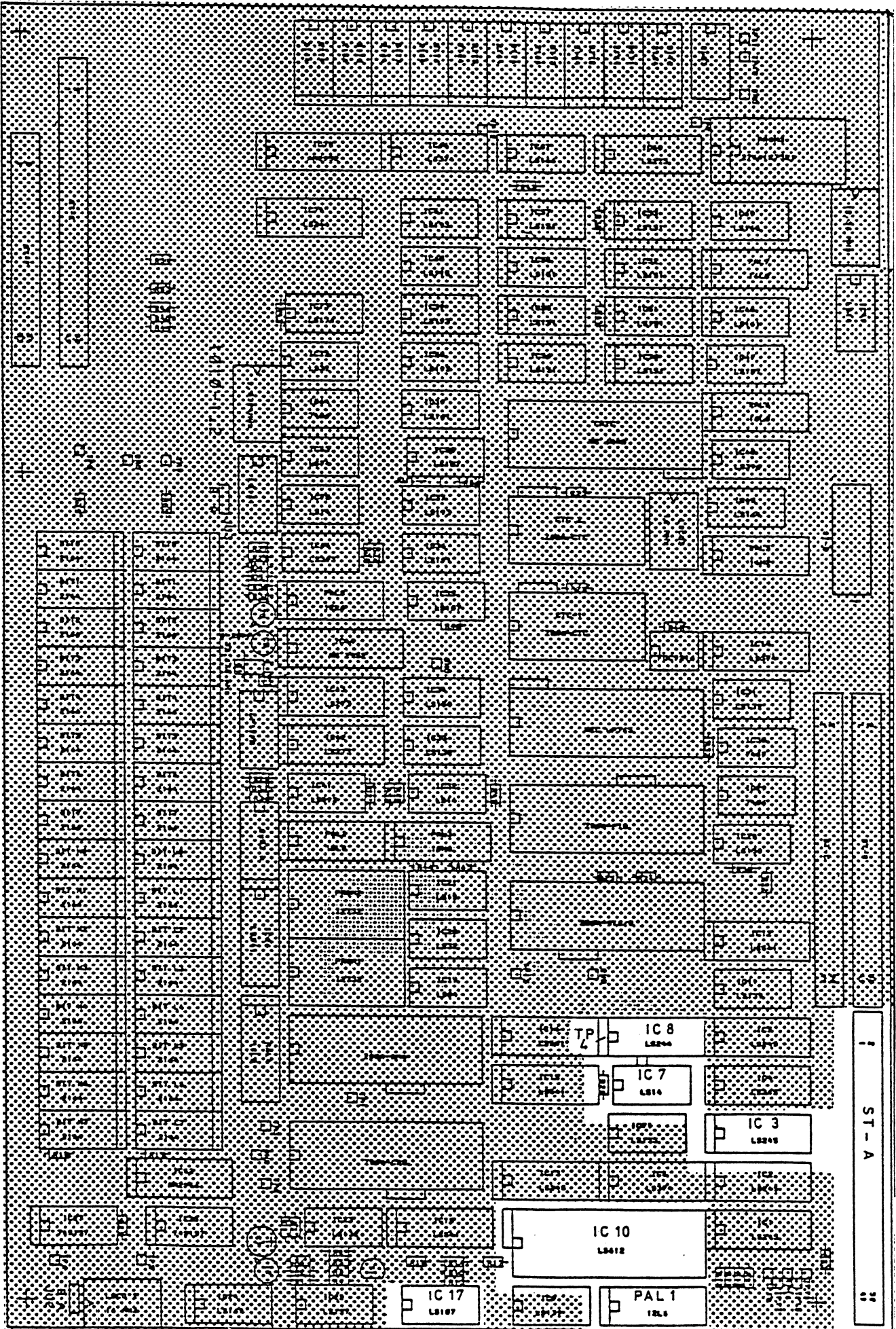
100K

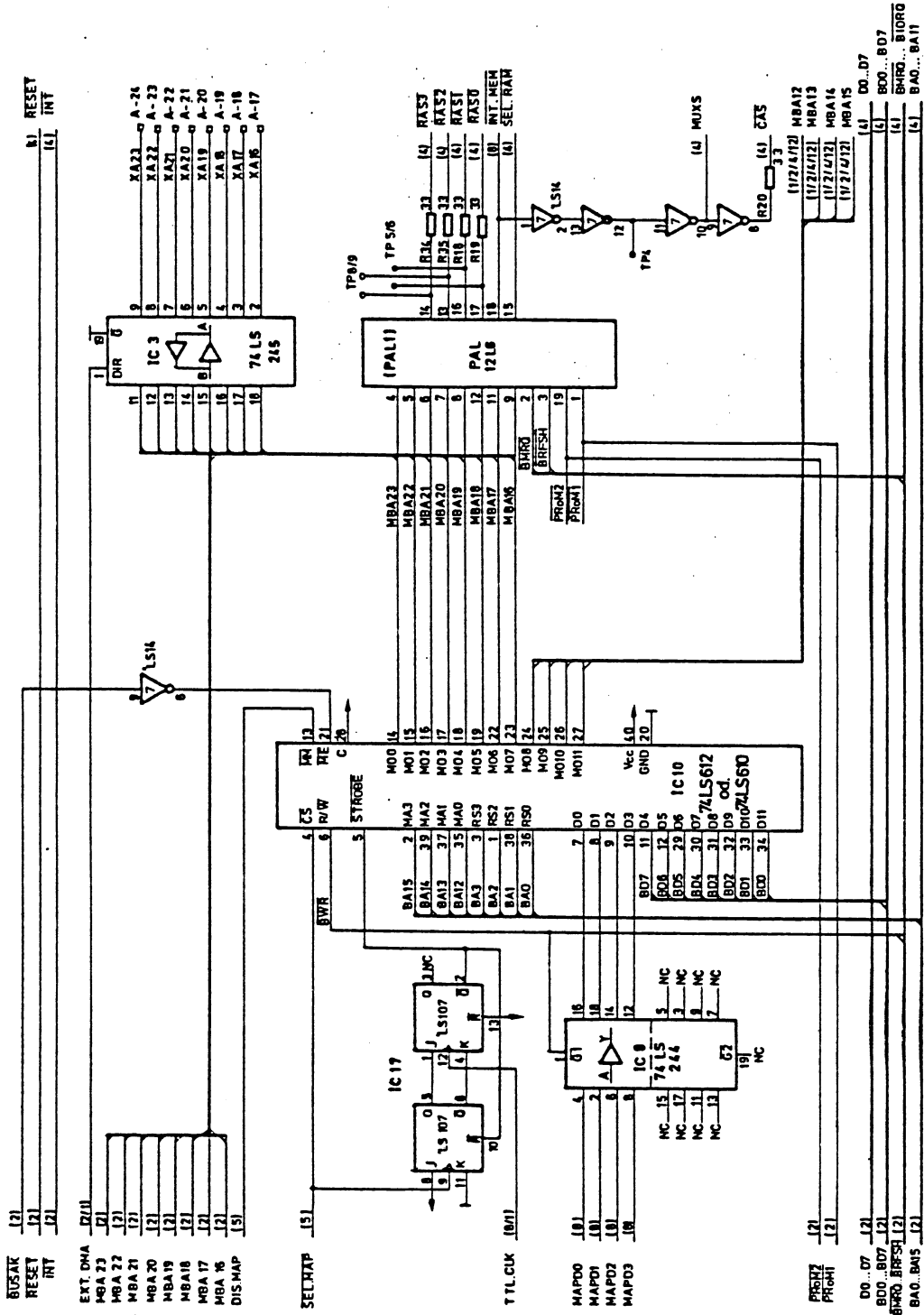
100K

100K

100K

100K

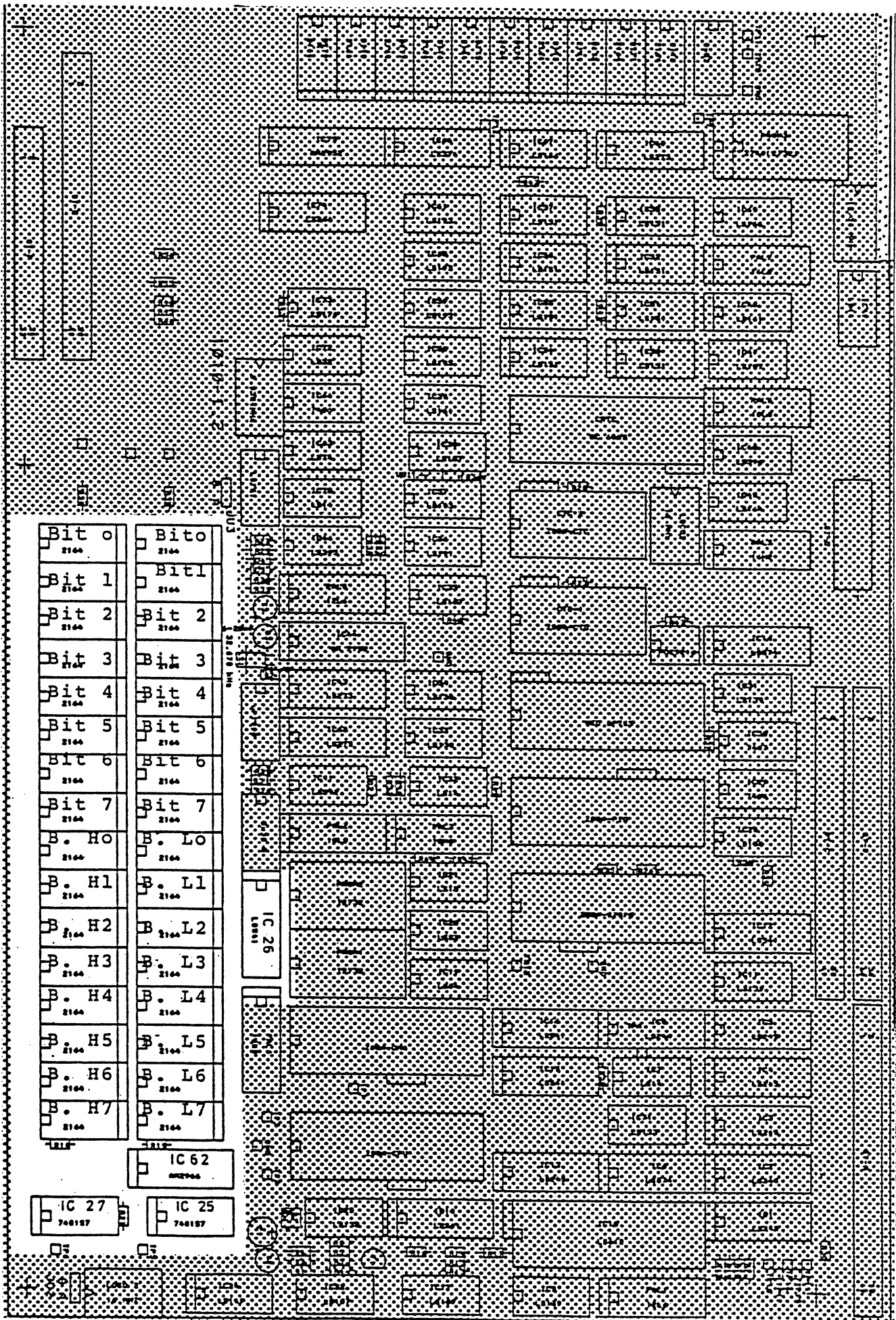


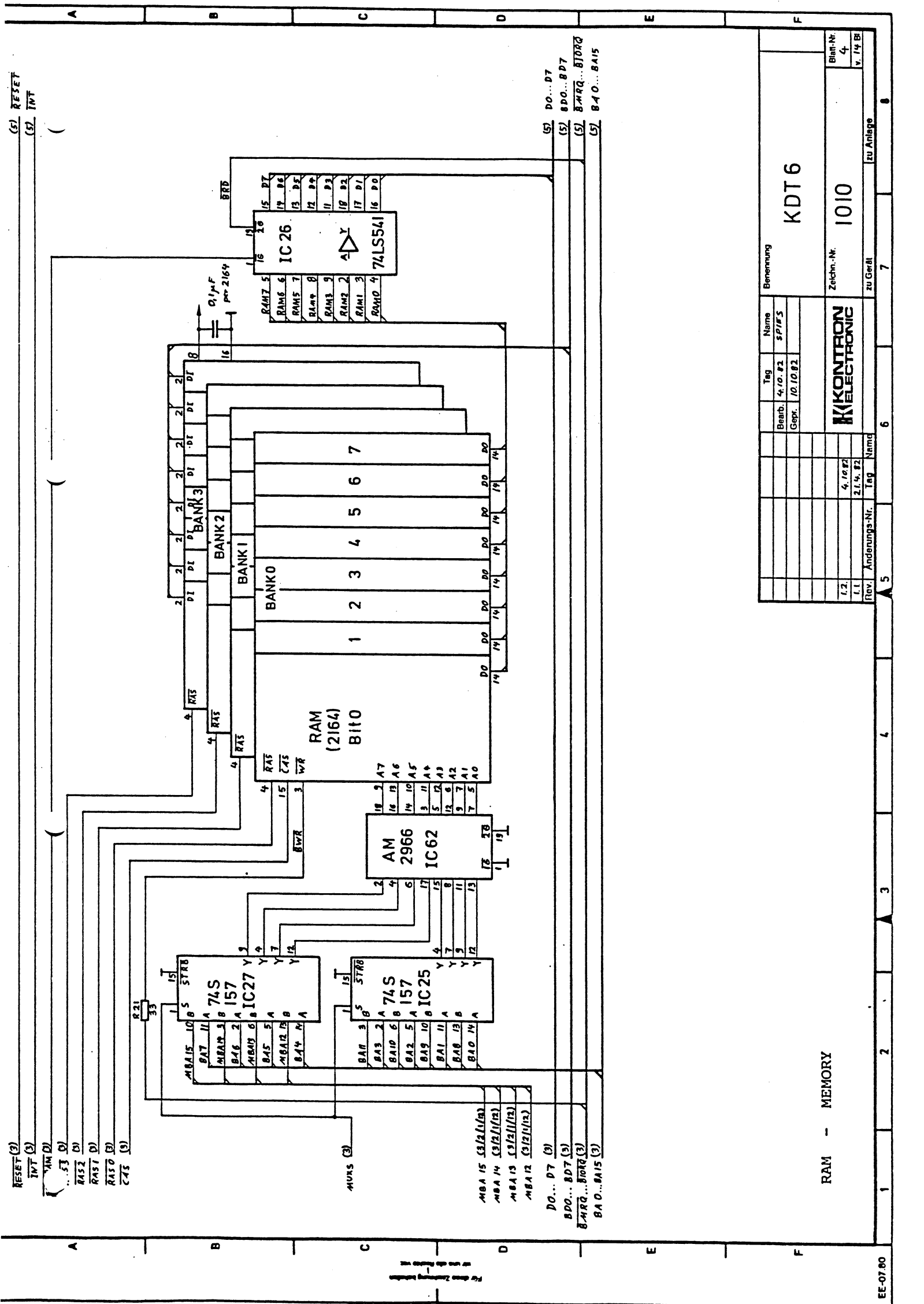


Part No.	1010
Rev.	1
Quantity	1000
Material	SP1ES
Manufacturer	KONTRON ELECTRONIC
Part Name	KDT 6
Part No.	1010
Rev.	1
Quantity	1000
Material	SP1ES
Manufacturer	KONTRON ELECTRONIC

MMU

RAM - MEMORY





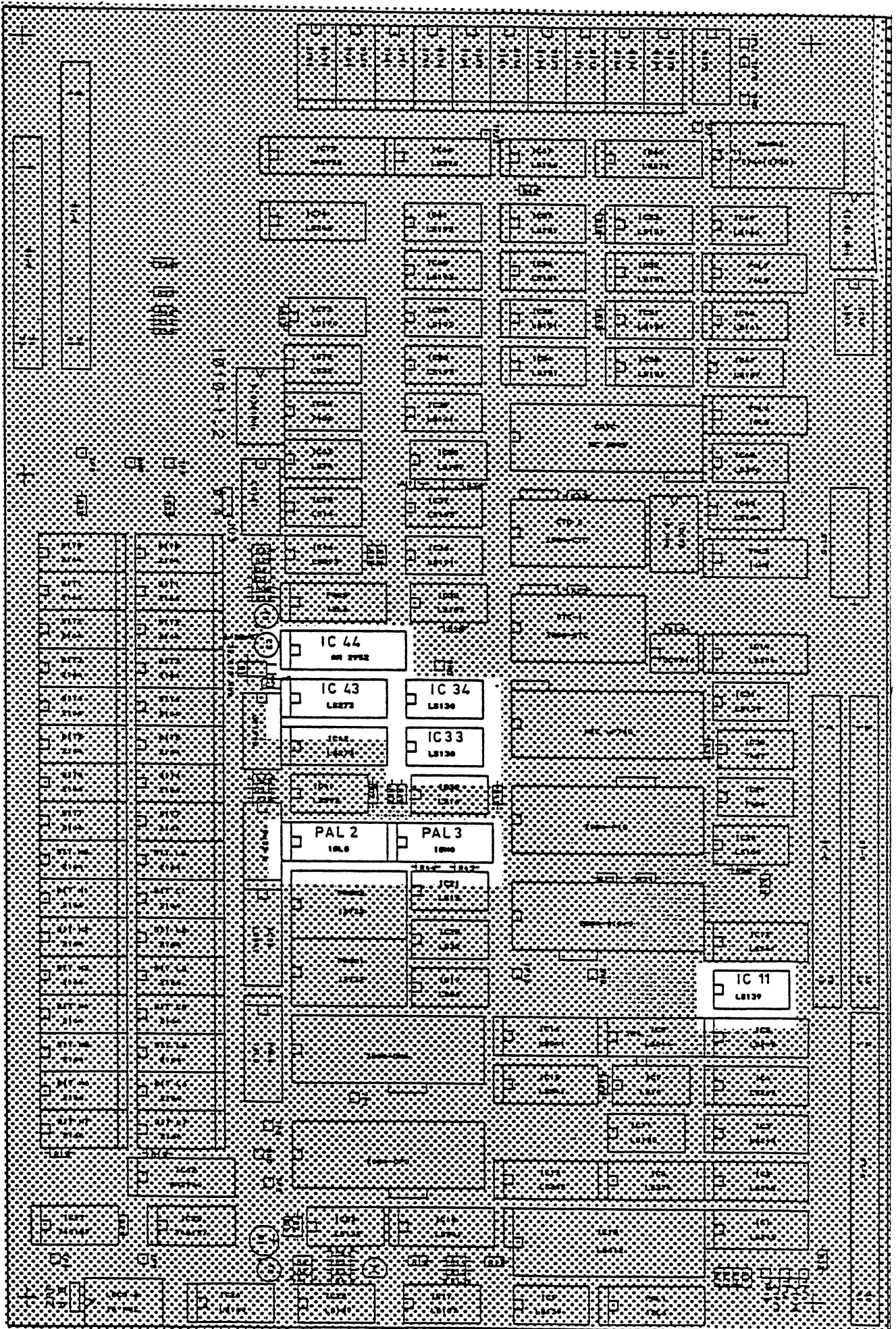
RESET (3)
 INT (3)
 ... (3)
 RAS2 (3)
 RAS1 (3)
 CAS (3)

DO... D7 (3)
 BDO... BD7 (3)
 BMRQ... BMRQ (3)
 BA0... BA15 (3)

RAM - MEMORY

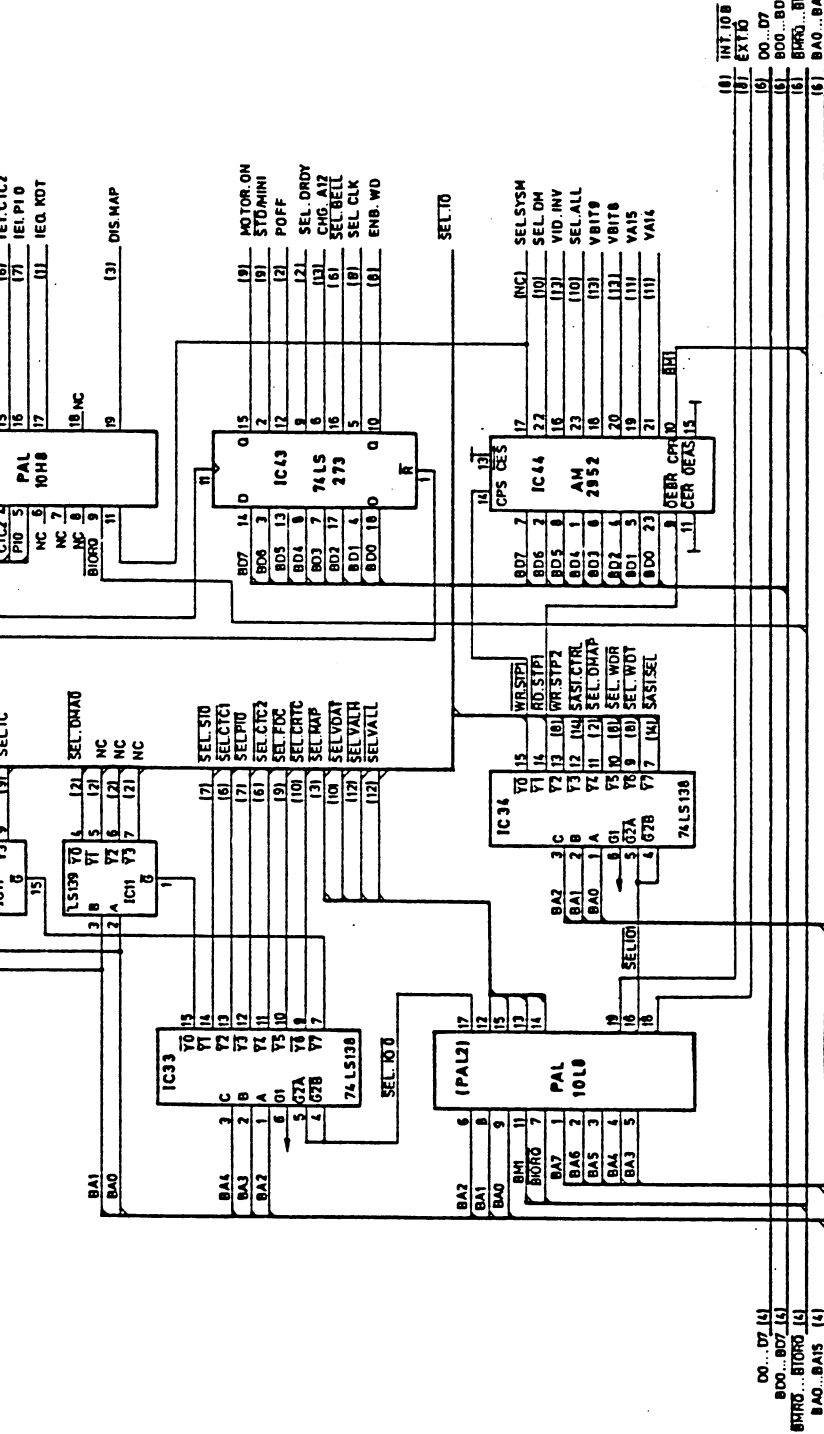
Benennung	Name	Tag	Bearb.	Gepr.	Tag	Benennung
KDT 6	SP/RS	4.10.82	4.10.82	10.10.82	4.10.82	KONTRONIK ELECTRONIC
					21.4.82	
Zeichn.-Nr. 1010	zu Gerat	zu Anlage	Blatt-Nr. 4			v. 14 Bl.
			Blatt-Nr. 4			

INTERRUPT - PRIORITÄT UND I/O ADRESSDEKODER



RESET (1) (1)
INT (1) (1)

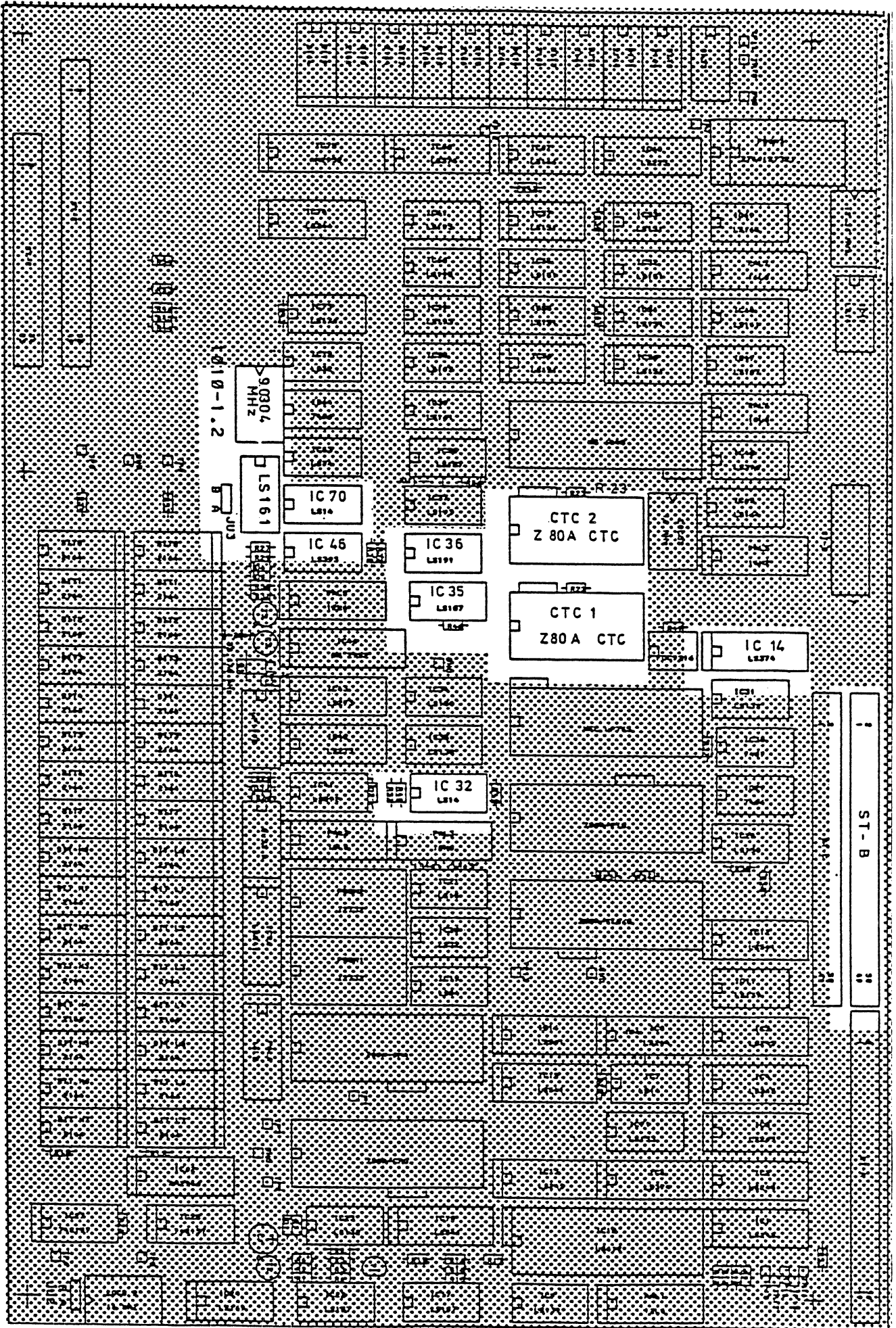
IEO DMA (1) (1)
IEO CTC1 (1) (1)
IEO SIO (1) (1)
IEO CTC2 (1) (1)
IEO PIO (1) (1)



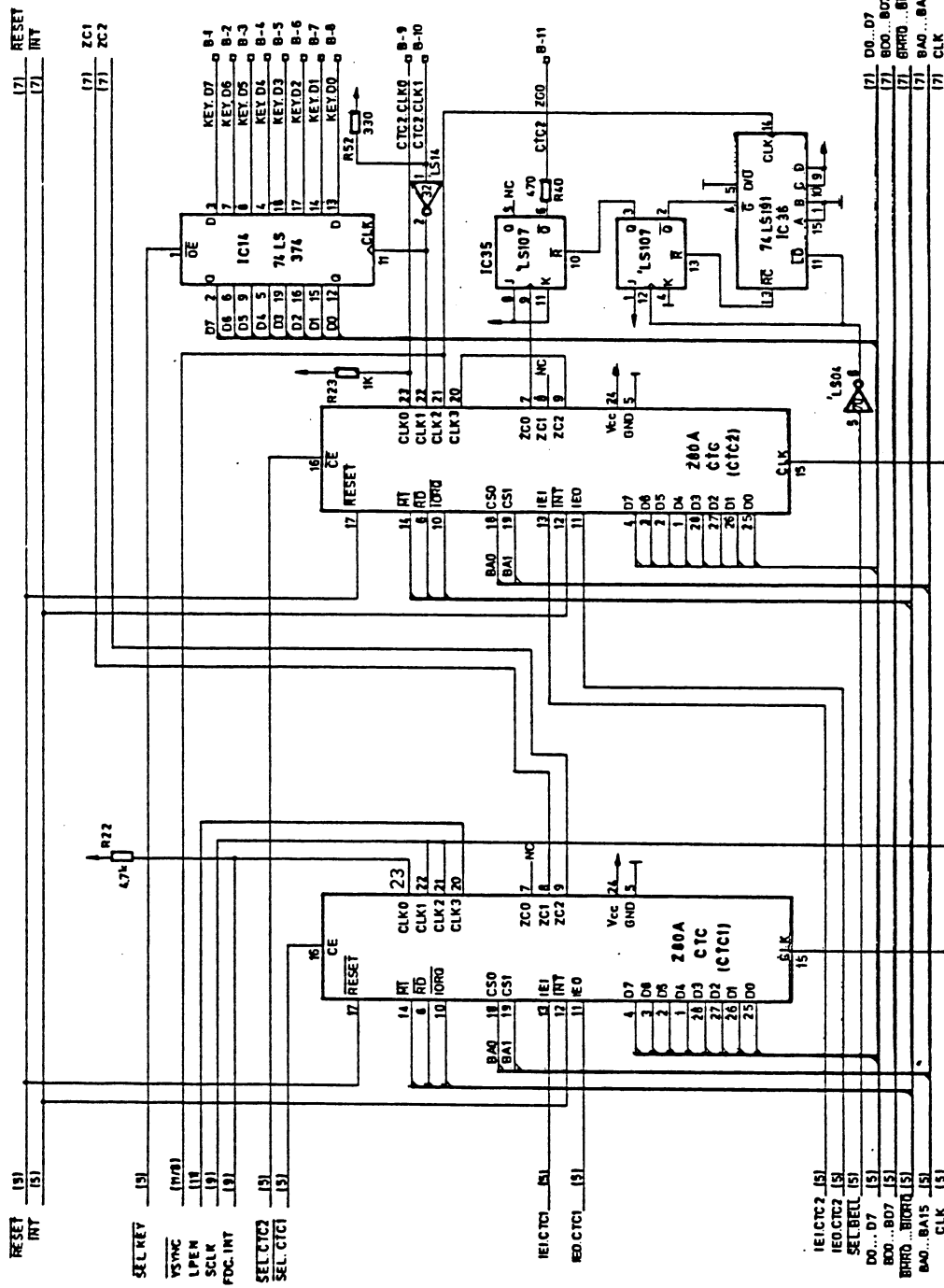
DO...D7 (1) (1)
BDO...BD7 (1) (1)
BIORS...BIORO (1) (1)
BAO...BA15 (1) (1)

Name		KONTROL	
Form	211.02	SPIES	
Druck	19.09.82		
Zustimm. Nr.		1010	
Blatt Nr.		3	
v. L. D.		C. L. D.	

INTERRUPT - PRIORITÄT UND I/O ADRESSEKODER

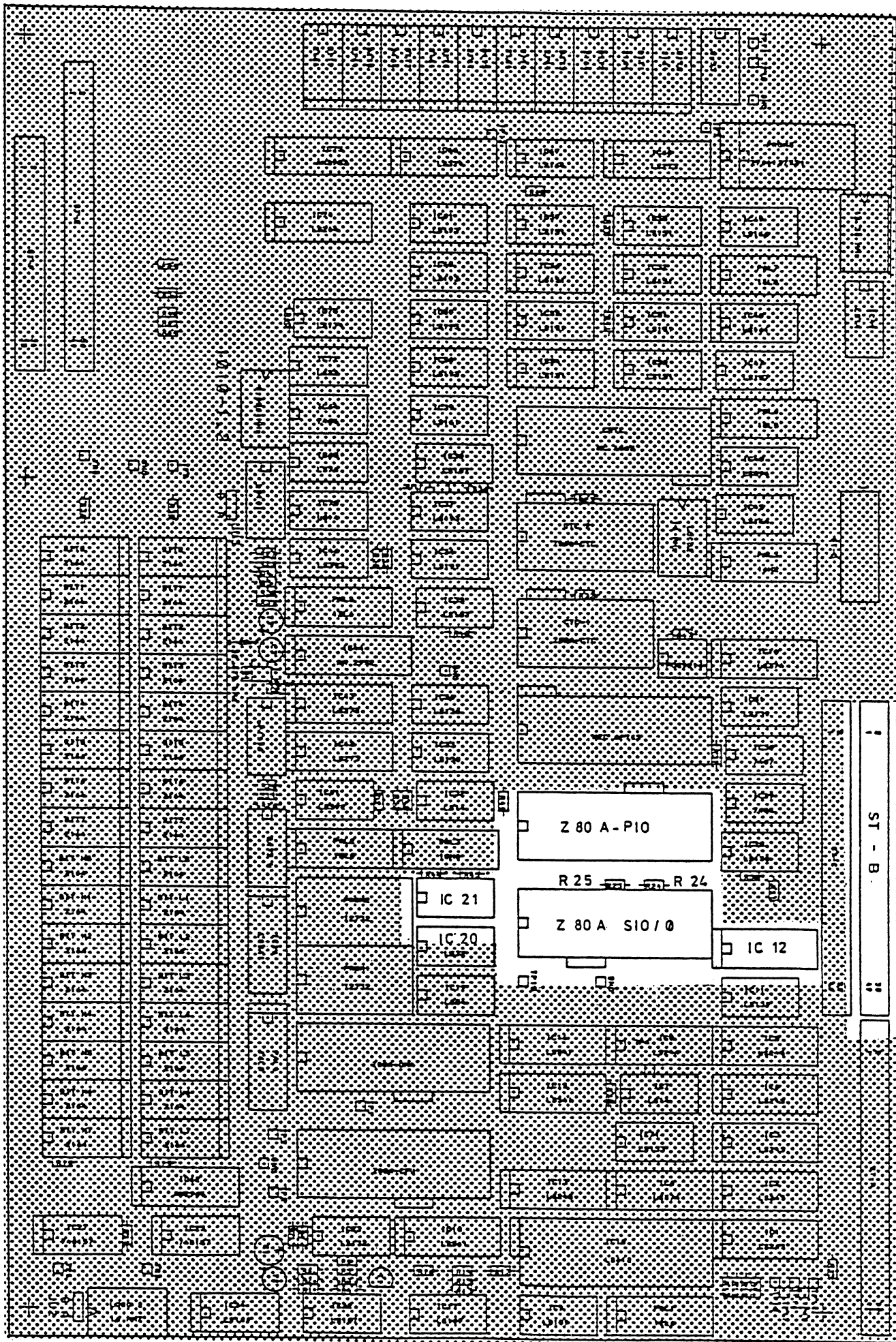


ST-B

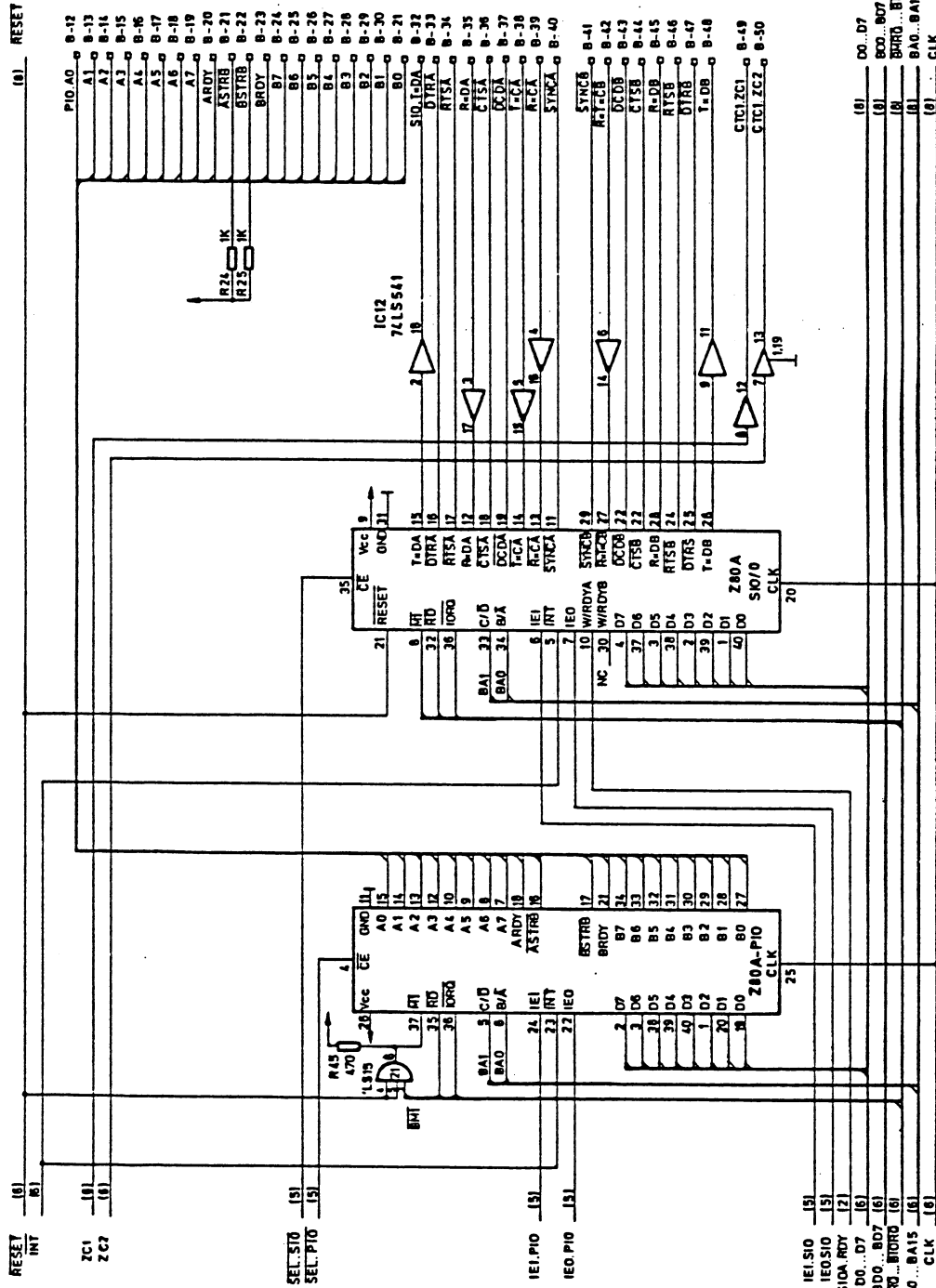


TYP		Name		Drawing	
1	11/73	SP/ES		KDT 6	
2	10/91			Zust.-Nr. 1010	
3				Ar.-Nr.	
4				Ar.-Nr.	
5				Ar.-Nr.	
6				Ar.-Nr.	
7				Ar.-Nr.	
8				Ar.-Nr.	
9				Ar.-Nr.	
10				Ar.-Nr.	
11	11/73			Ar.-Nr.	
12	11/73			Ar.-Nr.	
13				Ar.-Nr.	
14				Ar.-Nr.	
15				Ar.-Nr.	
16				Ar.-Nr.	
17				Ar.-Nr.	
18				Ar.-Nr.	
19				Ar.-Nr.	
20				Ar.-Nr.	
21				Ar.-Nr.	
22				Ar.-Nr.	
23				Ar.-Nr.	
24				Ar.-Nr.	
25				Ar.-Nr.	
26				Ar.-Nr.	
27				Ar.-Nr.	
28				Ar.-Nr.	
29				Ar.-Nr.	
30				Ar.-Nr.	
31				Ar.-Nr.	
32				Ar.-Nr.	
33				Ar.-Nr.	
34				Ar.-Nr.	
35				Ar.-Nr.	
36				Ar.-Nr.	
37				Ar.-Nr.	
38				Ar.-Nr.	
39				Ar.-Nr.	
40				Ar.-Nr.	

C T C



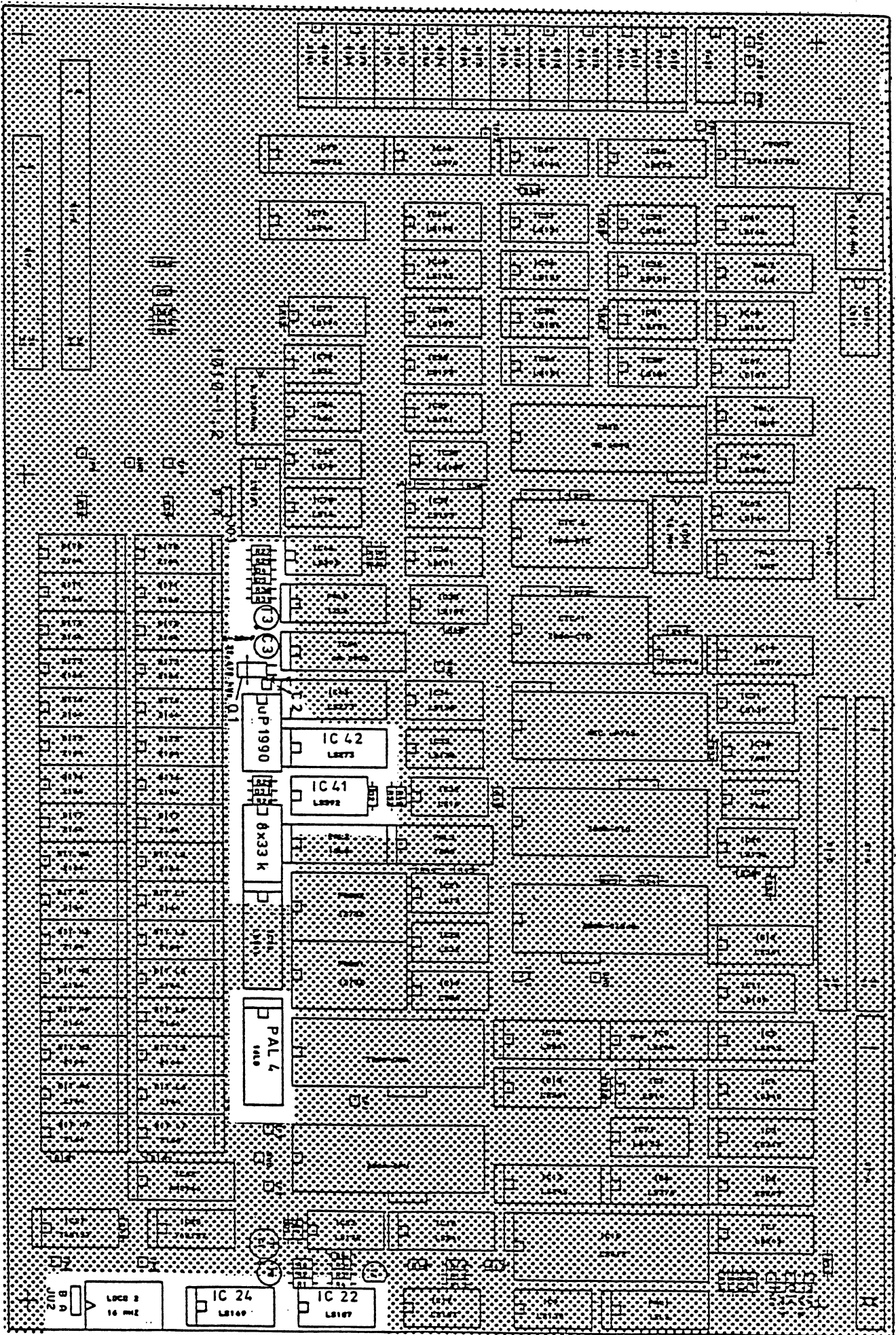
ST - B

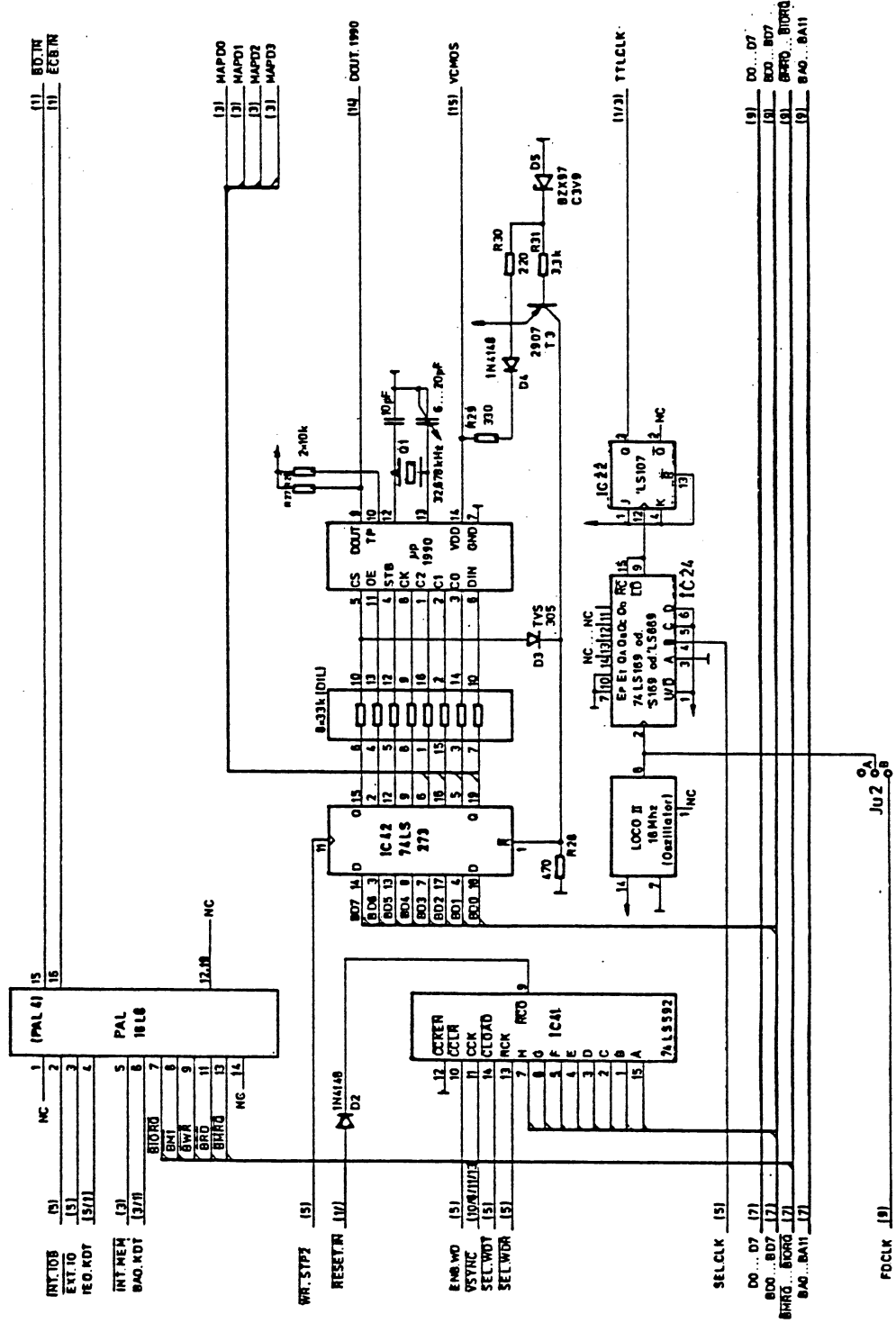


Name		KONTAKT	
Sheet	21	SPIES	7
Order	10.10.82		
Zust. Nr.		1010	
Rev.		15.8	

SIO / PIO

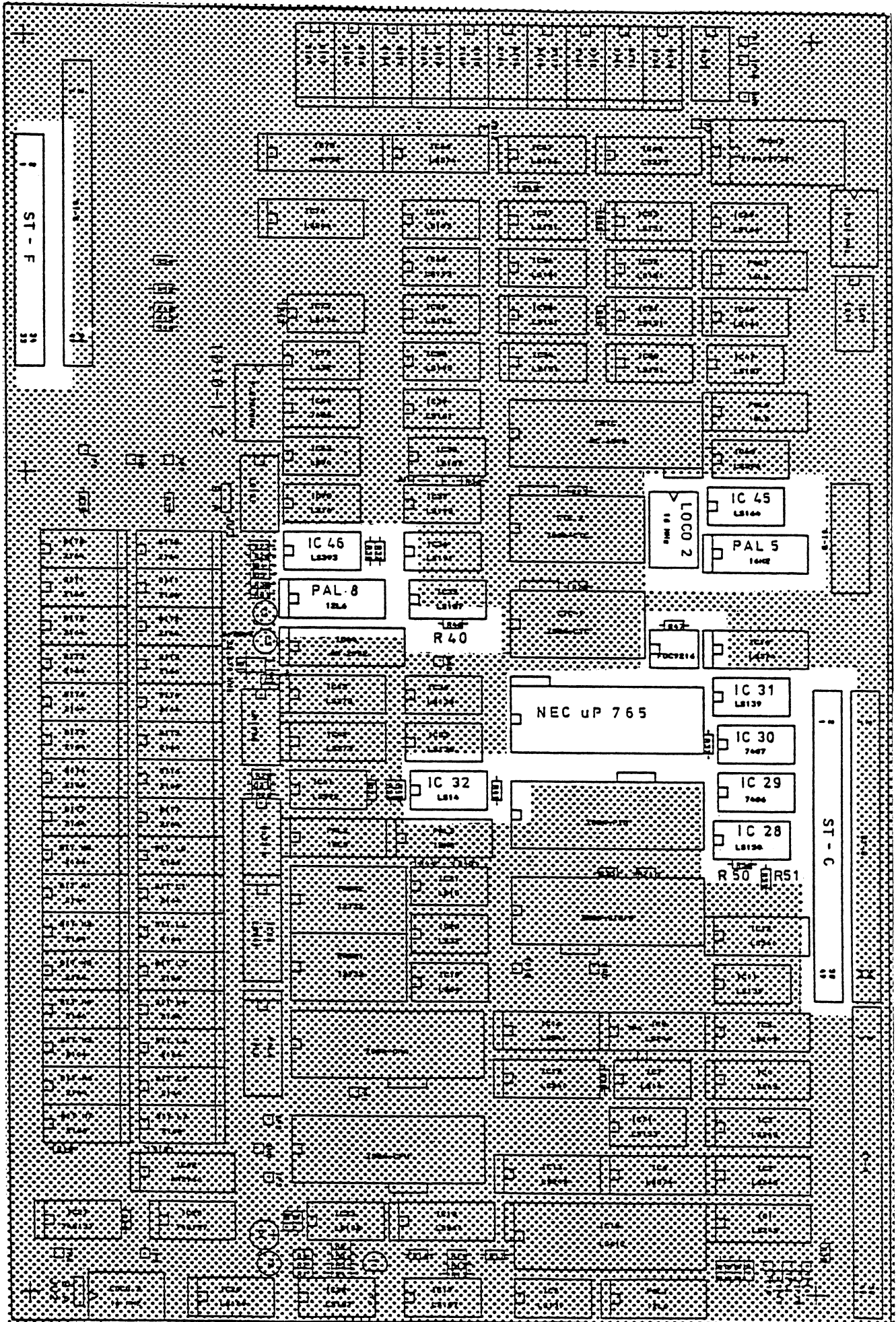
UHR UND TAKTIERZEUGUNG

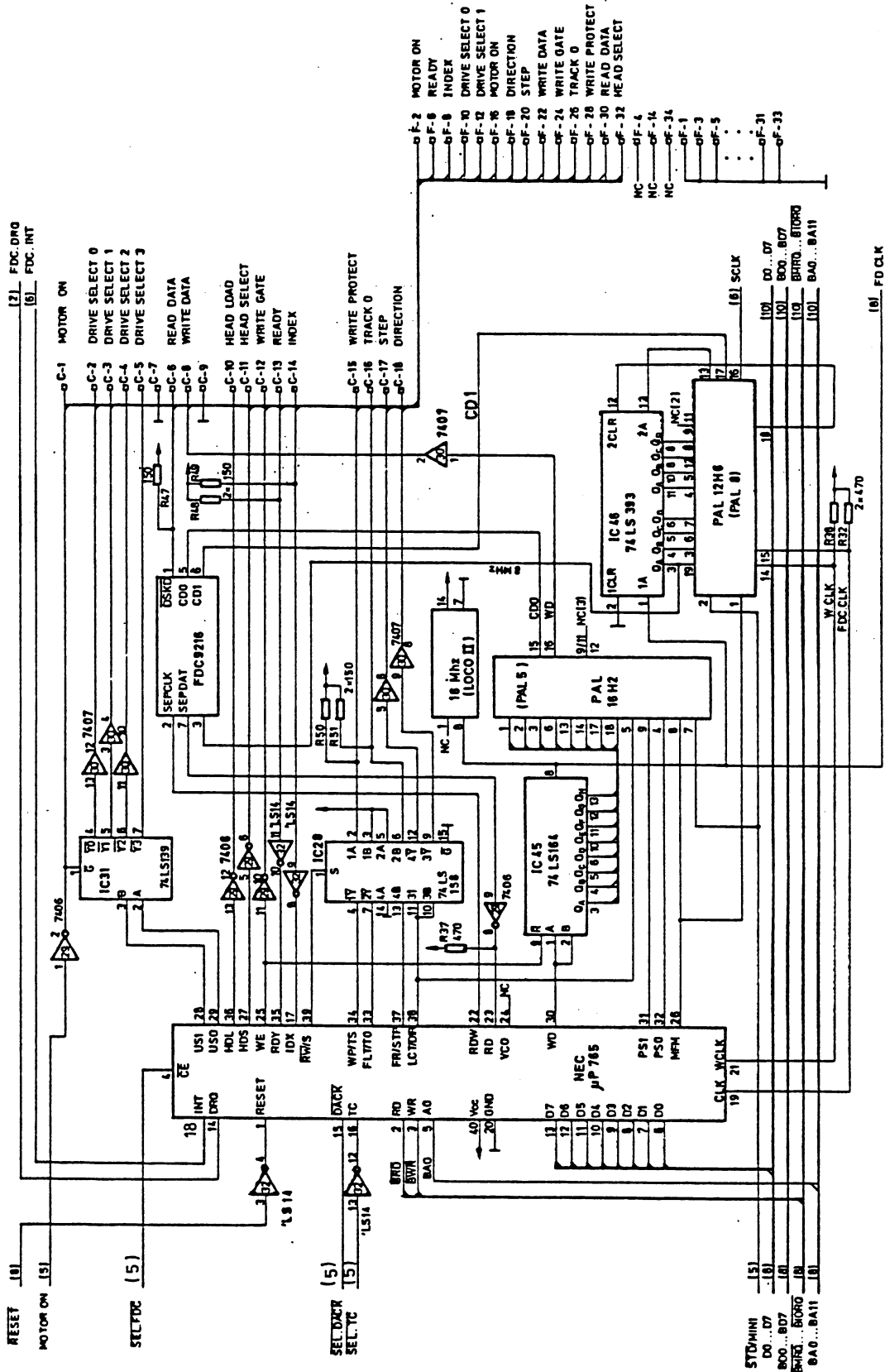




Name		KONTROL	
No.		1010	
Date		1988	
Author		KONTROL	
Title		KDT 6	
Project		1010	
Rev.		1.0	
Date		1988	
By		KONTROL	
Checked		KONTROL	
Approved		KONTROL	

UHR UND TAKTERZEUGUNG

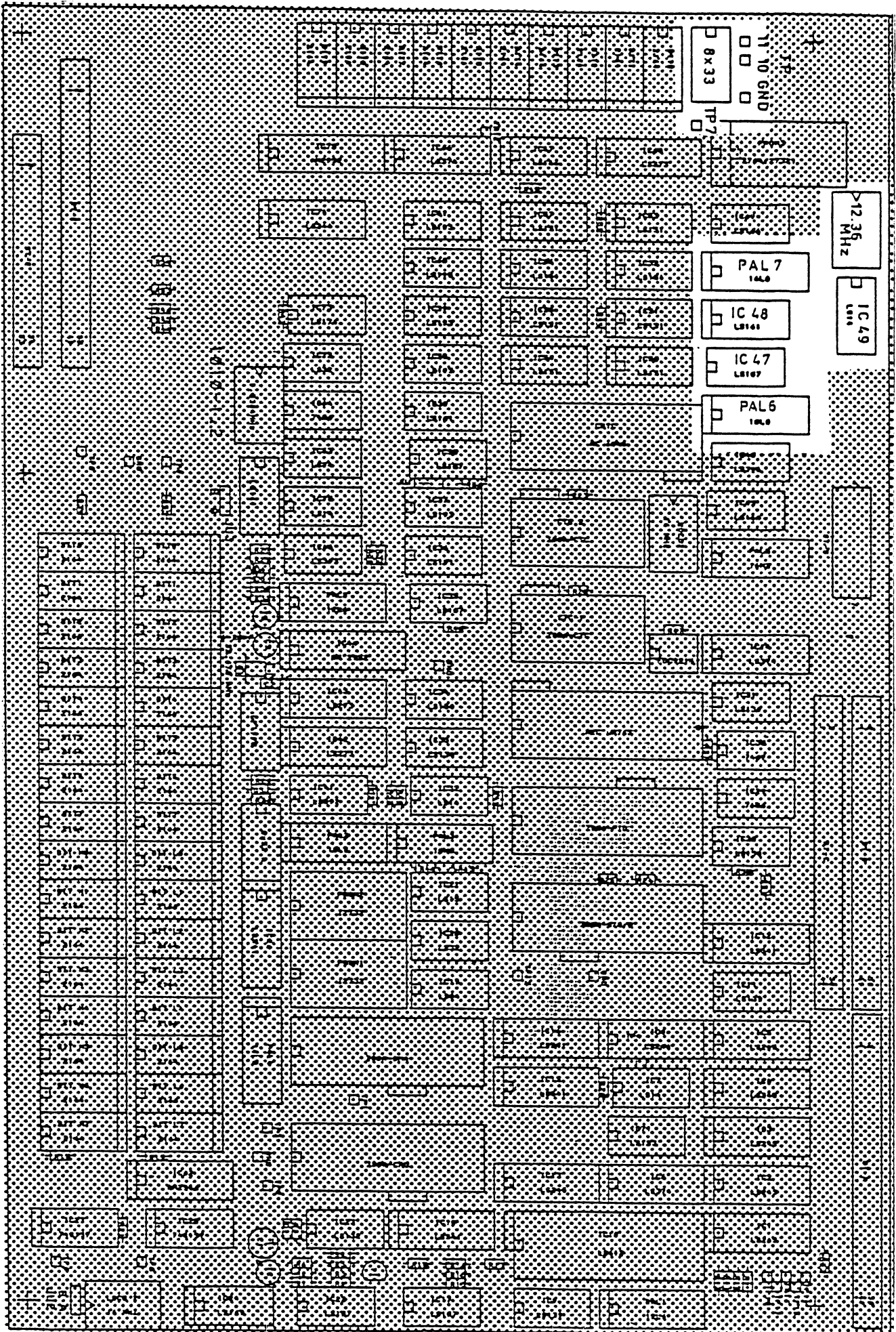




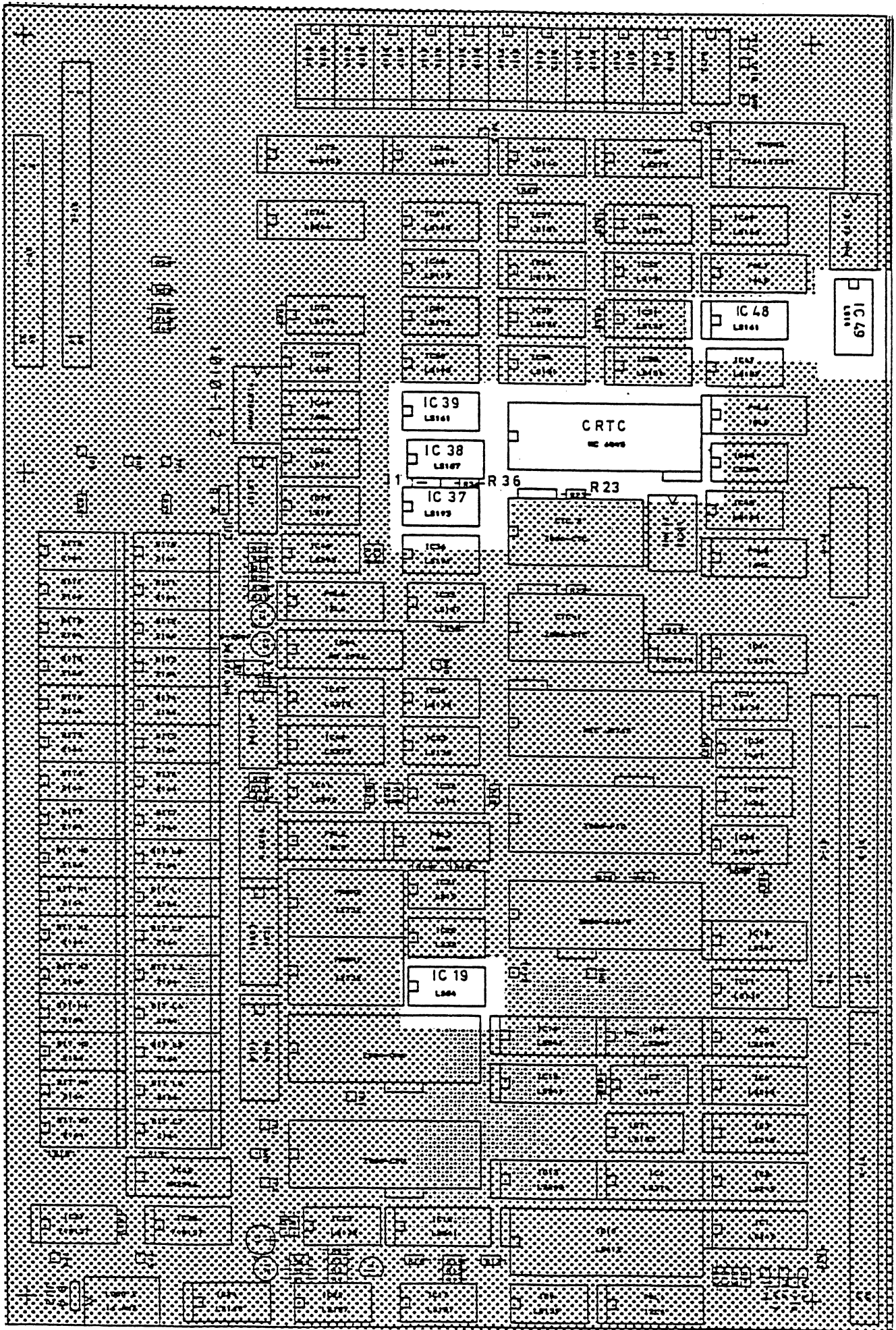
Rev. No.	1010
Date	
Drawn by	KISBERGER
Checked by	
Approved by	

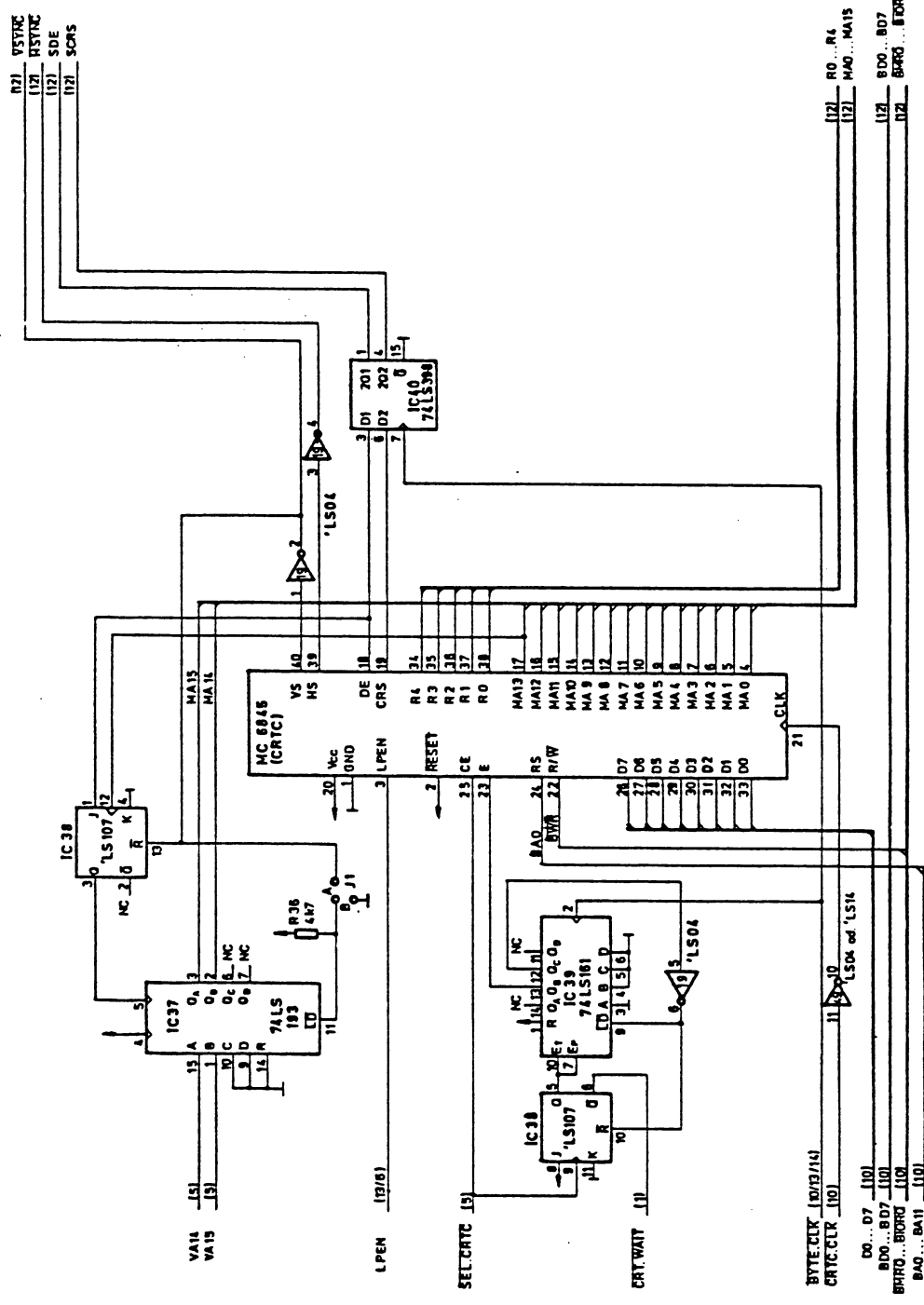
FD - TREIBER

VIDEO MEMORY - ACCESS CONTROLLER UND TIMING GENERATOR



VIDEO (CRTC)

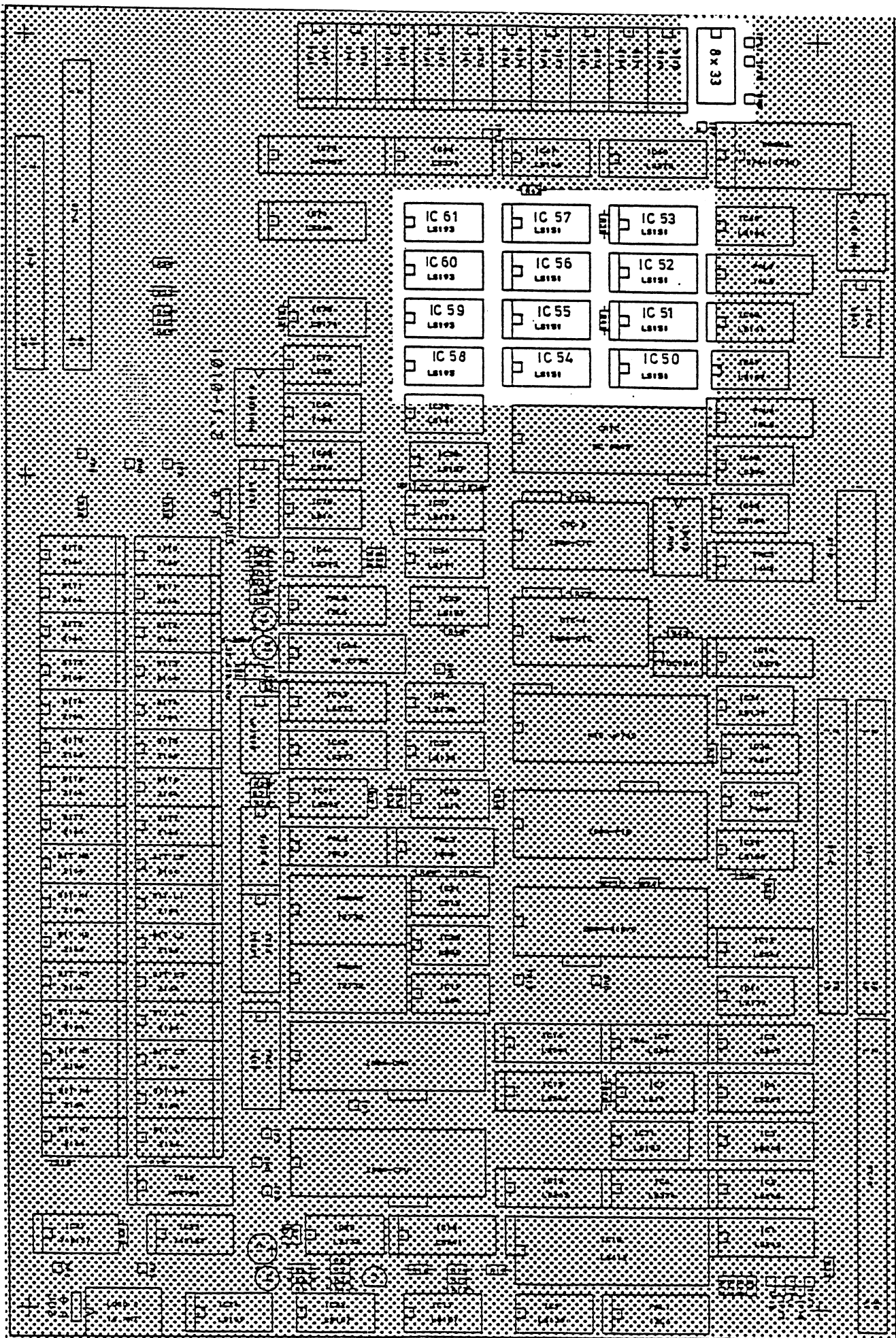




VIDEO (CRIC)

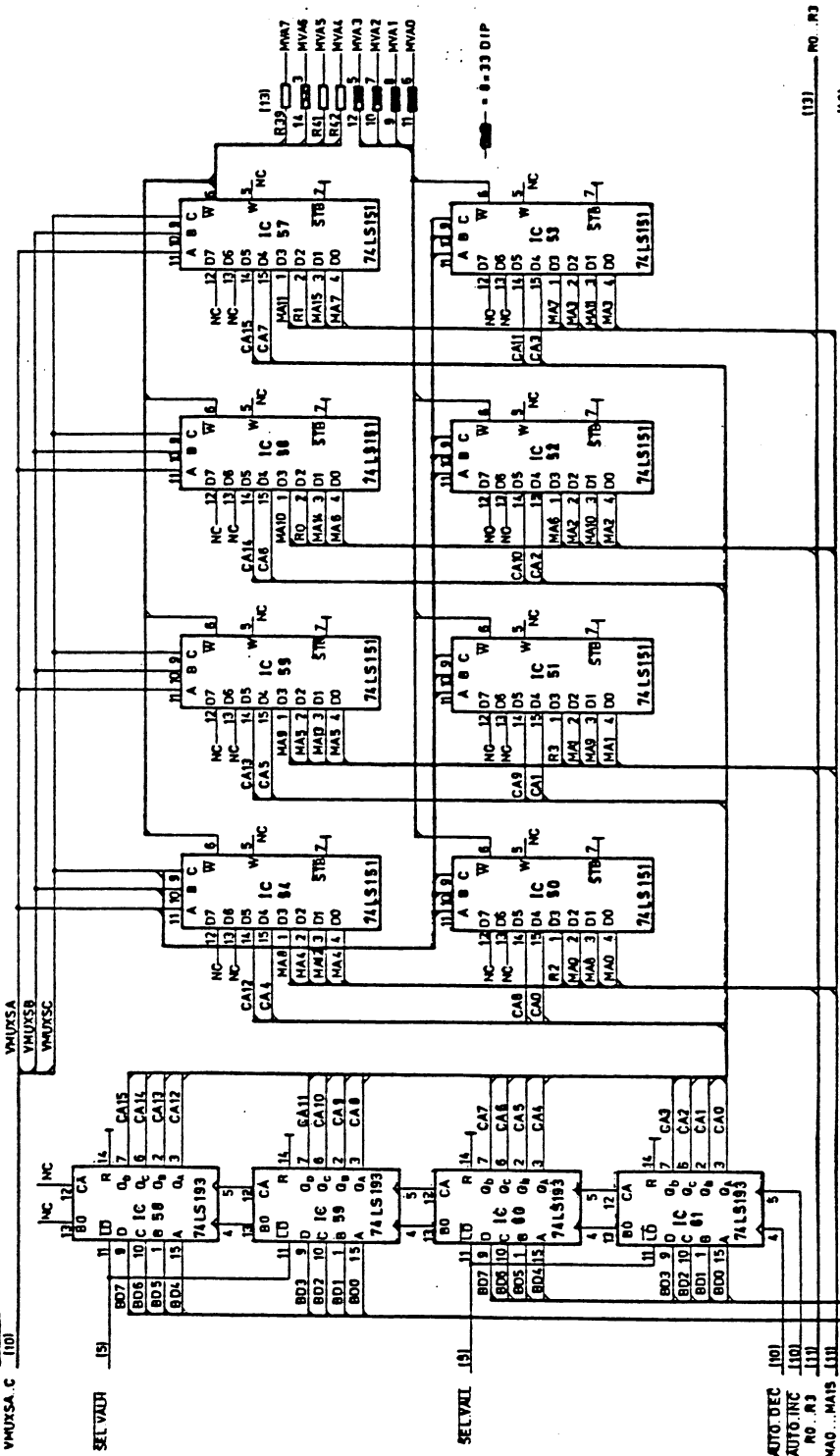
Name		KDT 6	
Sheet	21/22	SPIES	
Order	103282		
Date		10.10.81	
Author		KASSTNER	
12	5.30.81		
11	21.6.81		
10	20.10.80		
9	10.10.80		
8	10.10.80		
7	10.10.80		
6	10.10.80		
5	10.10.80		
4	10.10.80		
3	10.10.80		
2	10.10.80		
1	10.10.80		

BILDWIEDERHOLSPEICHERADRESSIERUNG



(12) VSYN
 (13) RSYN
 (13) SDE
 (13) SCRS

(11) VSYN
 (11) RSYN
 (11) SDE
 (11) SCRS
 VMXSA, C

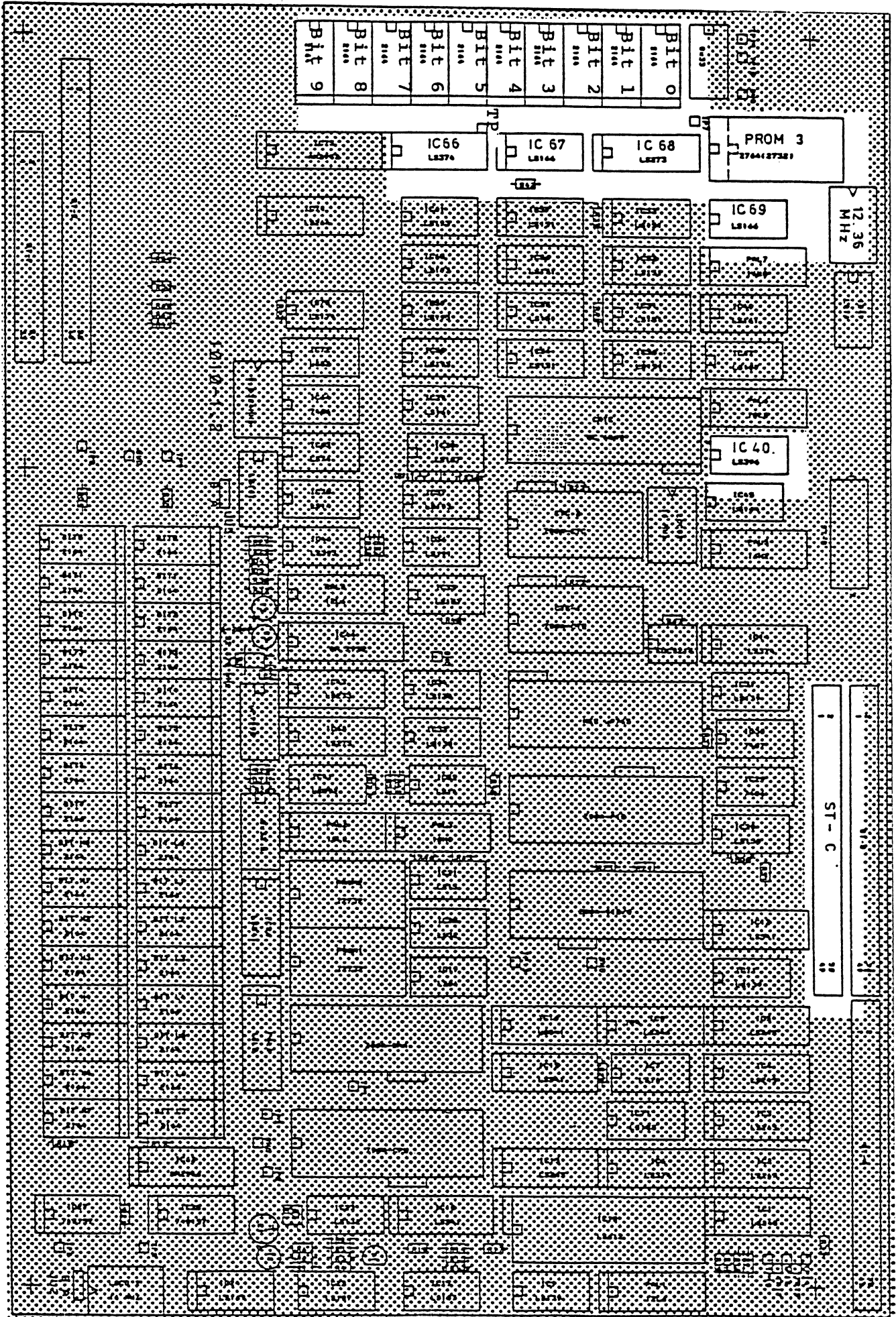


(13) NO, R3
 (13) 800, 807
 (13) 800, 807
 (13) 800, 807

AUTO DEC (10)
 AUTO INC (10)
 NO, R3 (11)
 MA0, MA1 (11)
 800, 807 (11)
 BR00, BR00 (11)

BILDWIEDERHOLSPEICHERADRESSIERUNG

KDT 6	
Rev	21.1.82
Eng	10.10.82
Name	SPIEL
Proj. No.	1010
Rev	5.0.82
Proj. No.	21.1.82
Rev	1.1.82
Proj. No.	1010

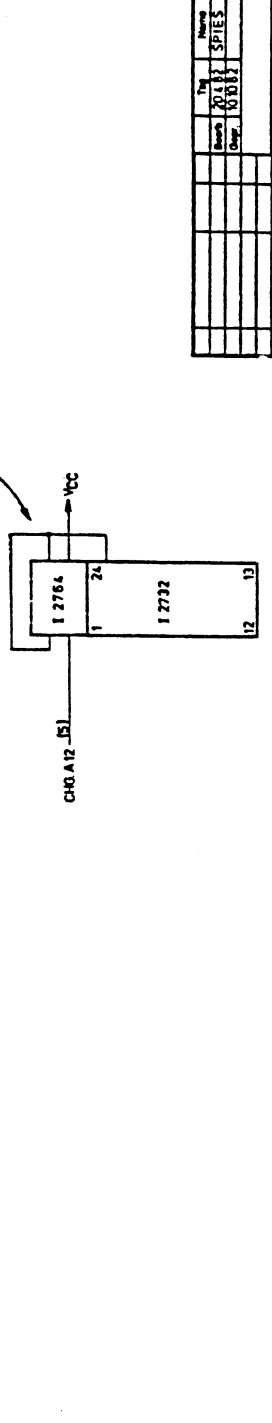
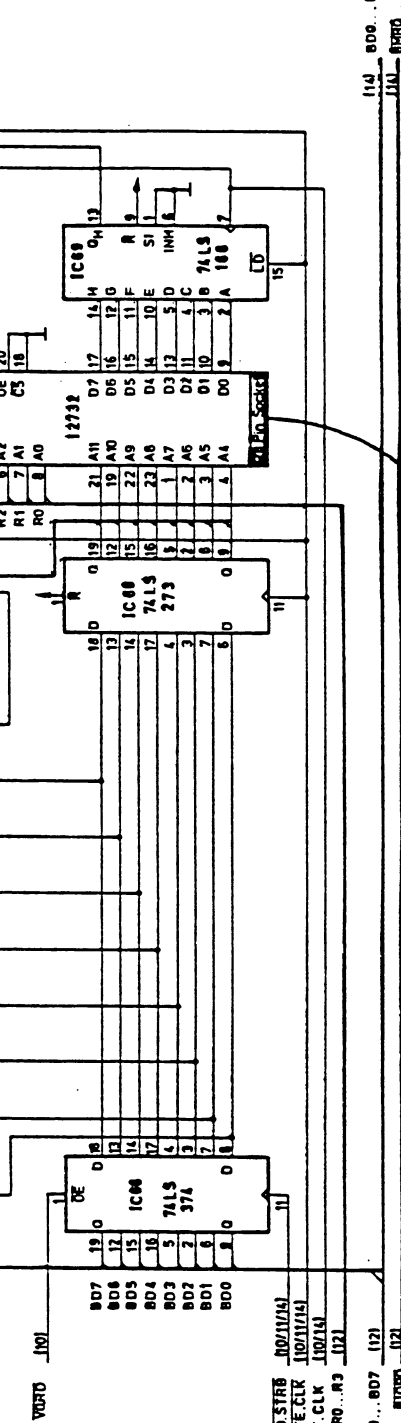
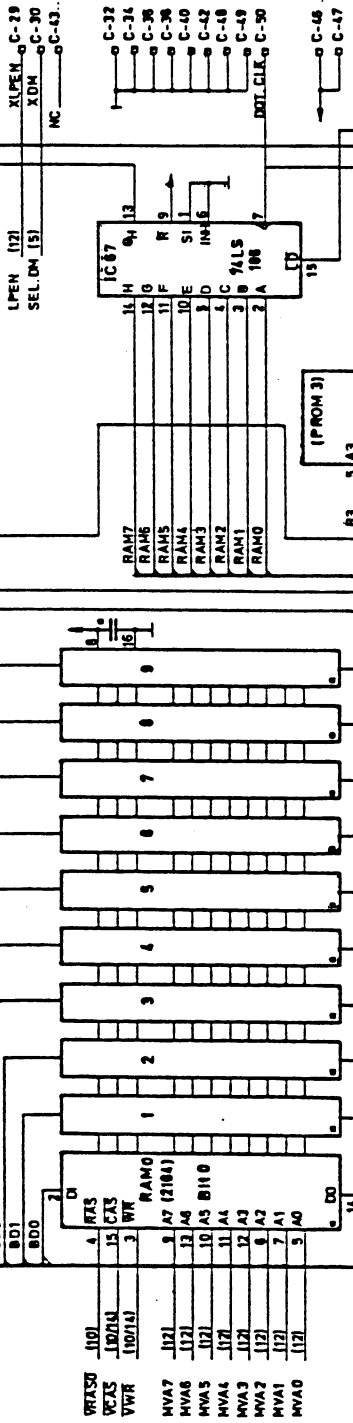


- VSYNCR 1121
- RSYNCR 1121
- SDE 1121
- SCRS 1121
- VB179 131
- VB178 151

- BRASO 1101
- VCAS 1101A1
- VWR 1101A1

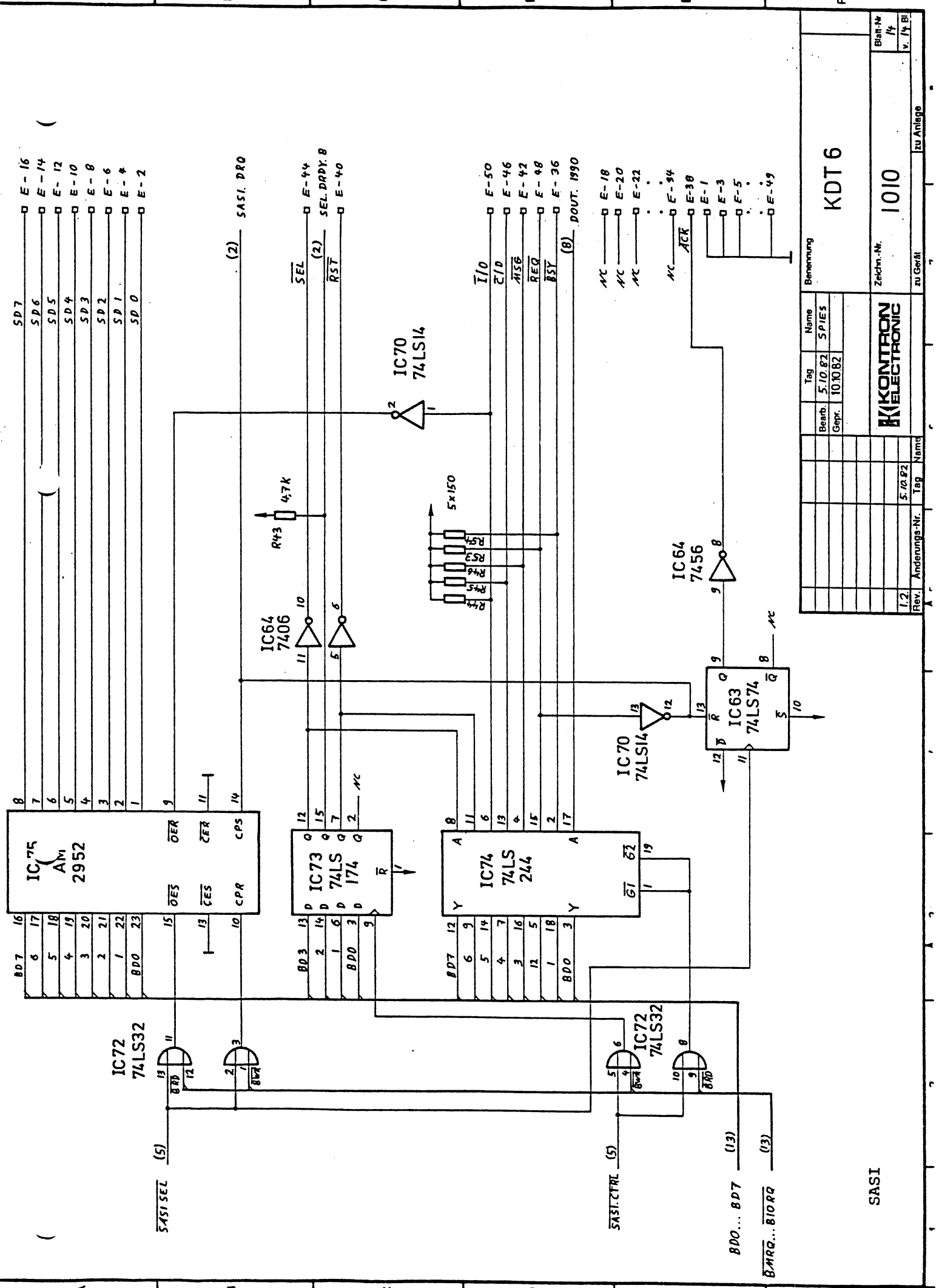
- MVA7 1121
- MVA6 1121
- MVA5 1121
- MVA4 1121
- MVA3 1121
- MVA2 1121
- MVA1 1121
- MVA0 1121

- VBD7 1101
- B06 1121
- B05 1121
- B04 1121
- B03 1121
- B02 1121
- B01 1121
- B00 1121



KISTENBERG		Part No.	1010
Rev.	1.1	Issue No.	1.1
Drawn	SP/ES	Checked	
Design	1010	Approved	
KISTENBERG		Doc. No.	1010
KISTENBERG		Doc. No.	1010

VIDEO - RAM



Rev. 1.2		Anderungs-Nr.		Tag	Name	Benennung
5.10.82		10.10.82		5.10.82	SPIES	KDT 6
Zu Gerät		Zu Anlage		Zeichn.-Nr. 1010		
KONTROTRONIK ELECTRONIC		Blatt-Nr. 1/4		v. 1/4 Bl.		

SASI



Inhaltsverzeichnis	Seite
1. Baugruppenbeschreibung 98/IOC	1
1.1 Allgemeines	1
1.2 Serielle Schnittstellen	2
1.3 Keyboard-Schnittstelle	12
1.4 Parallele Schnittstelle	13
1.5 Akustik-Ausgabe	14
1.6 Video-Ausgabe	14
1.7 Tabellen	15
1.7.1 Belegung Stecker A	15
1.7.2 Belegung Stecker B	16
1.7.3 Belegung Stecker K,H	17
1.7.4 Programmierung von PAL 1	18
1.7.5 Liste aller IC's	19
1.7.6 Standard-Einstellungen	20
1.7.7 Auslieferungsstand	22
1.8 Lage der Anschlußbuchsen	23
2. Servicehinweise	24
3. Jumper auf der Platine	28
Schaltpläne, Bestückungspläne	29



1. Baugruppenbeschreibung 98/IOC

1.1 Allgemeines

Die Baugruppe 98/IOC ist das Ein-/Ausgabe-Board für die Zentralplatine KDT6, die in den verschiedensten Kontron-Systemen enthalten ist.

Sie stellt die Verbindung der KDT6-Zentralplatine zur Peripherie her und enthält die Ein-/Ausgabe-Schnittstellen und die Ansteuerungen für Video- und Akustik-Ausgabe.

Die Verbindung zwischen KDT6 Vers. 1.2 und diesem I/O-Connector-Board stellen zwei 50-polige Flachkabel her. Sämtliche nach außen führende Anschlüsse sind auf direkt eingelötete Stecker gelegt, welche über eine Gehäuseaussparung zugänglich sind. Es handelt sich dabei im einzelnen um folgende Anschlüsse:

- | | |
|-------------------|---------------------------|
| - RS422/KOBUS | {25-pol. D-Buchse} |
| - RS232/SIOA | {25-pol. D-Buchse} |
| - RS232/SIOB | {25-pol. D-Buchse} |
| - KEYBOARD | |
| seriell/parallel | {25-pol. D-Buchse} |
| - CENTRONICS | {36-pol. Amphenol-Buchse} |
| - LIGHTPEN | {9-pol. D-Buchse} |
| - COMPOSITE VIDEO | {BNC-Buchse} |

Die IOC besteht aus folgenden Funktionsgruppen:

- zwei serielle Schnittstellen
- Keyboard Schnittstelle
- parallele Schnittstelle
- Akustik-Ausgabe
- Video-Ausgabe



1.2 Serielle Schnittstellen

Diese Funktionsgruppe enthält die Treiber für die beiden SIO-Kanäle der KDT6.

Dabei kann Kanal SIOA wahlweise auf eine RS232-Terminal-Schnittstelle (Stecker ST-D), eine 20 mA-Stromschleifen-Schnittstelle (ebenfalls Stecker ST-D) oder auf eine RS422-Schnittstelle (Stecker ST-C) geschaltet werden. Diese Umschaltung ist über DIP-Schalter möglich.

Kanal SIOB ist als RS232-Schnittstelle auf Stecker ST-F geführt. Die Belegung dieses Steckers ist durch Schalter S4 und S5 umschaltbar zwischen Terminal- und Modembelegung.

Über DIP-Schalter kann dieser Kanal außerdem auf Stecker ST-E geschaltet werden, zum Anschluß eines seriellen Keyboards.

Die Taktversorgung der beiden SIO-Kanäle ist ebenfalls über DIP-Schalter wählbar. Für SIOA können die Taktsignale -TxCA und -RxCA wahlweise von der RS422-Schnittstelle, von der RS232-Schnittstelle oder vom CTC1 kommen. SIOB bezieht sein Taktsignal -TxRxCB von der RS232-Schnittstelle oder vom CTC1.

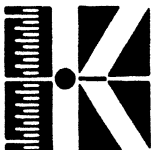


Tabelle 1-1: Belegung von DIP-Schalter S1 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 1-1 braun	rechts	SIO-Eingang RxCA von Signal S der RS422- Schnittstelle angesteuert	! hat nur Bedeutung ! bei Betrieb ! der SIOA-RS422- ! Schnittstelle
	links	SIO-Eingang RxCA von Signal S1 der RS422- Schnittstelle angesteuert	! (S3-2 rechts)
S 1-2 rot	rechts	SIO-Eingang RxDA von RECEIVE.DATA (Pin D-3) der RS232-Schnittstelle ange- steuert	! hat nur Bedeutung
	links	SIO-Eingang RxDA von DATA.IN (Pin D-14) der 20 mA-Loop angesteuert	! bei Betrieb
S 1-3 orange	rechts	SIO-Eingang TxCA von CTC1.ZC2 angesteuert	! der SIOA-RS232-
	links	SIO-Eingang TxCA von TRANSM.CLK.IN (Pin D-15) der RS232-Schnittstelle angesteuert	! bzw. ! 20 mA-Loop-
S 1-4 gelb	rechts	SIO-Eingang RxCA von CTC1.ZC2 angesteuert	! Schnittstelle
	links	SIO-Eingang RxCA von REC.CLK.IN (Pin D-17) der RS232 Schnittstelle angesteuert	! (S3-2 links)

Die Standardeinstellungen der Schalter gehen aus Kapitel 1.7.7 hervor.



Tabelle 1-2: Belegung von DIP-Schalter S2 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 2-1 braun	rechts	!SIOB auf RS232- !Schnittstelle geschaltet	—
	links	!SIOB auf serielle Keyboard- !Schnittstelle geschaltet	
S 2-2 rot	rechts	!SIO-Eingang TxRxCB von !CTC1.ZC1 angesteuert	nur bei Betrieb SIOB-RS232- Schnittstelle (S2-1 rechts)
	links	!SIO-Eingang TxRxCB von !TxRxCLK.IN (Pin F-17) der !RS232-Schnittstelle !angesteuert	
S 2-3 orange	rechts	!SIO-Ausgang -RTSB steuert !HI.TRANSM.FRQ (Pin F-11) von !RS232-Schnittstelle	nur bei Betrieb der SIOB-RS232- Schnittstelle als Modem-Anschluß (S4, S5 in Stellung "MODEM")
	links	!SIO-Ausgang -RTSB steuert !REQ.TO.SEND (Pin F-4) von !RS232-Schnittstelle	
S 2-4 gelb		Keine Bedeutung !	

Die Standardeinstellungen der Schalter gehen aus Kapitel 1.7.7 hervor.

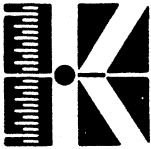


Tabelle 1-3: Belegung von DIP-Schalter S3 der 98/IOC

rechts = closed; links = open

Schalter	Stellung	Funktion	Hinweis
S 3-1	rechts	SIO-Eingang -DCDA von Signal I der RS422-Schnittstelle angesteuert	! hat nur Bedeutung bei Betrieb der SIOA RS422-Schnittst. (S 3-2 rechts)
	links	SIO-Eingang -DCDA auf H-Pegel	
S 3-2	rechts	SIOA auf RS422-Schnittstelle geschaltet	
	links	SIOA auf RS232-Schnittstelle bzw. 20mA-Loop geschaltet	
S 3-3	rechts	SIO-Ein-/Ausgang -SYNCA von CALL.IN (Pin D-22) der RS232-Schnittstelle angesteuert	! nur bei Betrieb der SIOA-RS232-Schnittstelle
	links	SIO-Ein-/Ausgang -SYNCA offen	
S 3-4	rechts	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle auf + 12V	! (S3-2 links)
	links	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle offen	
S 3-5	rechts	SIO-Ein-/Ausgang -SYNCB von CALL.IN (Pin F-22) oder SYNC.IN (Pin F-13) der RS232 Schnittstelle angesteuert	! nur bei Betrieb der SIOB-RS232-Schnittstelle
	links	SIO-Ein-/Ausgang -SYNCB offen	
S 3-6	rechts	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle auf +12 V	! (S2-1 rechts)
	links	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle offen	
S 3-7	rechts	SIO-Ausgang -DTRB steuert TRANSM.ON (Pin F-4) der RS232-Schnittstelle (S2-3 muß links sein)	! nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß
	links	TRANSM.ON (Pin F-4) offen oder von SIO-Ausgang -RTSB angesteuert	! (S4, S5 in Stellung 'MODEM')
S 3-8	rechts	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle von CTC1.ZC1 angesteuert	
	links	INT-CLK.OUT (Pin F-24) der RS232-Schnittstelle offen	

Lage der Schalter und Standard-Einstellungen in Kapitel 1.7.7.



Baudrateneinstellung:

Die Kanäle 1 und 2 von CTC1 können als Baudrategenerator arbeiten, sofern auf der separaten I/O-Platine die entsprechende Verbindung zwischen CTC-Ausgang und SIO Takteingang realisiert ist.

**Tabelle 1-4: Programmierung der Baudrate über CTC1
bei Eingangsfrequenz 2 MHz**

SIO-Takt CTC-Betr.Art	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zeitgeber
BAUDRATE	CTC-Teilerfaktor			
3600	13 (0,16%)	-	-	-
4800	26 (0,16%)	13 (0,16%)	-	-
2400	52 (0,16%)	26 (0,16%)	13 (0,16%)	-
1200	104 (0,16%)	52 (0,16%)	26 (0,16%)	-
600	208 (0,16%)	104 (0,16%)	52 (0,16%)	-
300	-	208 (0,16%)	104 (0,16%)	-
150	-	-	208 (0,16%)	-
110	-	-	-	142 (0%)
75	-	-	-	208 (0,16%)

in Klammern: Abweichung des Taktes vom Sollwert



Tabelle 1-5: Programmierung der Baudrate über CTC1
bei Eingangsfrequenz 1,2288 MHz

SIO-Takt	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zähler

BAUDRATE	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	-	87 (0,16%)
75	-	-	0	128

Teilerfaktor 0 entspricht 256

Keine Abweichung des Taktes vom Sollwert (außer bei 110 Baud).



Die Signale von SIOA und SIOB sind an die 25-poligen Stecker ST-C, ST-D, ST-E und ST-F geführt.

Tabelle 1-6: Pinbelegung Stecker C der 98/IOC (SIOA - RS422/X.21)

Anschluß SIO	Pin von ST-C	Signalbezeichnung	Input/Output
RxDA	4	R	I
-	16	RR	-
DCDA	5	I	I
-	17	IR	-
TxCA *)	6	S	I
- *)	18	SR	-
RxCA	7	S1	I
-	19	S1R	-
TxDA	2	T	O
-	14	TR	-
DTRA	3	C	O
-	15	CR	-
+5V	9,10,21,22,23	+5V	-
GND	1,8,11,12,13,24,25	GND	-

*) Es besteht die Möglichkeit, durch Schließen der Lötjumper J7 und J8 das Taktsignal von CTC1, Kanal 2 auf diese Pins zu legen.

Damit ist es möglich, eine synchrone Datenverbindung ohne zusätzlichen externen Taktgeber aufzubauen. Diese Option wird softwaremäßig von KONTRON bisher nicht unterstützt.

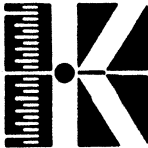


Tabelle 1-7: Pinbelegung Stecker D der 98/IOC (SIOA - RS232 bzw. 20 mA-Loop)

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	RxDA *	Receive Data	I
3	TxDA	Send Data	O
4	-CTSA	Clear to Send	I
5	-DTRA	Data Terminal Ready	O
6	-RTSA	Request to Send	O
7	-	GND	-
8	-	nc	-
9	-	20mA-Data In (-)	-
10	-	20mA-Data Out(-)	-
11	-	nc	-
12	-	nc	-
13	-SYNCA	Sync In	I
14	RxDA *	20mA-Data In (+)	I
15	TxCA	Transmitter Clock In	I
16	TxDA	20mA-Data Out (+)	O
17	RxCA	Receiver Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDA	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	High Transmission Speed	O
24	-	nc	-
25	-	nc	-

* = umschaltbar



Tabelle 1-8: Pinbelegung Stecker F der 98/IOC (SIOB als MODEM-Anschluß)

Schalterstellung: S4 und S5 auf "MODEM"

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	TxDB	Transmit Data	O
3	RxDB	Receive Data	I
4	-RTSB/-DTRB *	Transmitter On	O
5	-	nc	-
6	-CTSB	Data Set Ready	O
7	-	GND	-
8	-DCDB	Carrier Detect	I
9	-	nc	-
10	-	nc	-
11	-RTSB *	High Transmission Frequency	O
12	-	nc	-
13	-	nc	-
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DTRB *	Data Terminal Ready	O
21	-	nc	-
22	-SYNCB	Call In	I
23	-	High Transmission Speed	O
24	TxRxCB *	Internal Clock Out	O
25	-	nc	-

* = umschaltbar

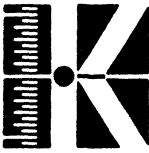


Tabelle 1-9: Pinbelegung Stecker F der 98/IOC (SIOB als TERMINAL-Anschluß)

Schalterstellung S4 und S5 auf "TERMINAL"

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	RxDB	Receive Data	I
3	TxDB	Send Data	O
4	-CTSB	Clear to Send	I
5	-DTRB	Data Terminal Ready	O
6	-RTSB	Request to Send	O
7	-	GND	-
8	-	nc	-
9	-	nc	-
10	-	nc	-
11	-	nc	-
12	-	nc	-
13	-SYNCB	Sync In	I
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDB	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	nc	-
24	RxRxCB *	Internal Clock Out	O
25	-	nc	-

* = umschaltbar



1.3 Keyboard-Schnittstelle

Stecker E enthält eine parallele und eine serielle Keyboard-Schnittstelle, d.h. es kann wahlweise eine parallele oder eine serielle Tastatur angeschlossen werden. Die Pinbelegung für die parallele Schnittstelle entspricht der bisherigen KONTRON PSI80-Tastatur.

Die zusätzliche serielle Schnittstelle wurde auf freie Pins desselben Steckers geführt. Sie wird über den Kanal B des SIO auf der KDT6 bedient.

Tabelle 1-10: Pinbelegung Stecker E der 98/IOC
(Keyboard-Anschluß)

Pin von ST-E	Signalbezeichnung	Input/Output
9	KEY.D0	I
8	KEY.D1	I
7	KEY.D2	I
6	KEY.D3	I
5	KEY.D4	I
4	KEY.D5	I
3	KEY.D6	I
2	KEY.D7	I
11	KEY.STRB (CTC2.CLK1)	I
15	+ KEY.TRANSM (SIO.TxDB)	O
16	- KEY.TRANSM (SIO.TxDB)	O
17	+ KEY.REC (SIO.RxDB)	I
18	- KEY.REC (SIO.RxDB)	I
13	+ 5V	-
14	GND	-
1	SHIELD	-



1.4 Parallele Schnittstelle

Die Parallelschnittstelle führt die Signale des PIO-Bausteins auf den 36-poligen Amphenol-Stecker ST-G. 16 Ein-/Ausgänge und zwei Handshake-Leitungen werden zur Verfügung gestellt. Alle Datenleitungen sind mit nichtinvertierenden Schmitt-Trigger-Bausteinen gepuffert und so angeordnet, daß Drucker mit Parallelschnittstelle (Centronics-Schnittstelle) und Winchesterlaufwerke angeschlossen werden können. Die Steckerbelegung entspricht dem weitverbreiteten CENTRONICS-Interface.

Tabelle 1-11: Pinbelegung ST-G der 98/IOC
(Parallelschnittstelle):

Anschluß PIO	Pin	Signalbezeichnung	Input/Output Bidirektional
A0	1	-STROBE	O
A1	31	-IPRIME	O
A2	32	-FAULT	I
A3	12	-EMPTY	I
A4	11	-BUSY	I
A5	13	-SELECT	I
A6	34 J1	SPARE	O
A7	36 J2	DIRECTION B	O
BSTRB	15 J3) über Löt- jumper	I
BRDY	35 J4		O
ARDY	35 J5		O
B0	2	DATA 0	B
B1	3	DATA 1	B
B2	4	DATA 2	B
B3	5	DATA 3	B
	8	DATA 6	B
B7	9	DATA 7	B
-	18	+ 5V	-
-	14,16,17,19...30	GND	-



1.5 Akustik-Ausgabe

Kanal 0 von CTC 1 steuert einen Lautsprecher an. Die Lautstärke läßt sich über ein externes Poti steuern. Der Anschluß von Poti und Lautsprecher erfolgt über Stecker ST-K.

1.6 Video-Ausgabe

Diese Baugruppe verarbeitet die vom Videocontroller auf der KDT6 gelieferten Signale und erzeugt die zur Ansteuerung eines Monitors nötigen Video-Signale. Außerdem stellt sie ein BAS-Signal (Composite Video) für den Anschluß eines externen Monitors zur Verfügung.

Die Funktionen 'Invertierung' und 'Blinken' werden hier realisiert. Über ein Monoflop wird der Lightpen-Strobe erzeugt.

Die Invertierung eines Zeichens erfolgt unter einer der folgenden Bedingungen:

- der Cursor steht auf dem Zeichen
- Bit 8 in der Hauptvideobank ist gesetzt
- der gesamte Bildschirm ist invertiert
(Bit 5 von Statusport 1 auf KDT6 ist rückgesetzt)

Das Blinken eines Zeichens wird durch Bit 9 der Hauptvideobank bewirkt. Das Blinken von Zeichen erfolgt synchron zur Blinkfrequenz des Cursors, da beide Signale vom gleichen Zähler erzeugt werden. Der Video-Controller (CRTC) auf der KDT6 muß dazu so programmiert sein, daß der Cursor dauernd vorhanden ist ("non-blinking"). Die Blinkfrequenz beträgt 1,56 Hz.

Die Ausgangssignale werden auf Stecker ST-O geführt. Dort kann über ein Flachkabel (26-polig) der Monitor angeschlossen werden.

Das BAS-Signal (Composite Video) ist über die BNC-Buchse ST-I von außen zugänglich, falls J5 verbunden.

**Tabelle 1-12: Pinbelegung Stecker D der 98/IOC
(Monitoranschluß)**

Pin	Signalbezeichnung
2	VIDEO
7	HSYNC
8	VSYNC
16	BRIGHTNESS 1
17	BRIGHTNESS 3
18	BRIGHTNESS 2
9,10,11,22,23	+ 12V
1,3,4,5,6,14,15	GND
19,20,21,24,25,26	GND



1.7 Tabellen

1.7.1 Belegung Stecker A

Tabelle 1-13: Pinbelegung Stecker A der 98/IOC (I/O)

Pin Nr.	Signal	
1	-	
.	.	
.	.	
.	.	
18	-	
19	-	
20	-	
21	-	
22	-	
23	-	
24	-VSYNC	TTL-Output
25	-HSYNC	TTL-Output
26	DE: Display Enable	TTL-Output
27	CRS: Cursor Enable	TTL-Output
28	VINV: Video Invert	TTL-Output
29	-	
30	DM: Display Mode	TTL-Output
31	VBIT9	TTL-Output
32	GND	
33	VBIT8	TTL-Output
34	GND	
35	VDOG: Video Data (Graphic)	TTL-Output
36	GND	
37	VDOA: Video Data (Alpha)	TTL-Output
38	GND	
39	-	
40	GND	
41	-	
42	GND	
43	-	
44	-	
45	-	
46	+ 5V	
47	+ 5V	
48	GND	
49	GND	
50	-	



1.7.2 Belegung Stecker B

Tabelle 1-14: Pinbelegung von Stecker B der 98/IOC

Pin Nr.	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.DO	"
9	-	-
10	CTC2.CLK1	(Keyboard-Strobe)
11	CTC2.ZCO	(Audio Output)
12	PIO.A0	PIO Port A
13	PIO.A1	
14	PIO.A2	
15	PIO.A3	
16	PIO.A4	
17	PIO.A5	
18	PIO.A6	
19	PIO.A7	
20	PIO.ARDY	
21	-PIO.ASTRB	
22	-PIO.BSTRB	PIO Port B
23	PIO.BRDY	
24	PIO.B7	
25	PIO.B6	
26	PIO.B5	
27	PIO.B4	
28	PIO.B3	
29	PIO.B2	
30	PIO.B1	
31	PIO.B0	
32	SIO.TxDA	SIO Channel A
33	-SIO.DTRA	
34	-SIO.RTSA	
35	SIO.RxDA	
36	-SIO.CTSA	
37	-SIO.DCDA	
38	-SIO.RxCA	
39	-SIO.RxCA	
40	-SIO.SYNCA	
41	-SIO.SYNCB	SIO Channel B
42	-SIO.RxTxCB	
43	-SIO.DCDB	
44	-SIO.CTSB	
45	SIO.RXDB	
46	-SIO.RTSB	
47	-SIO.DTRB	
48	-SIO.TxDB	
49	CTC1.ZC1	
50	CTC1.ZC2	



1.7.3 Belegung Stecker K

Tabelle 1-15: Pinbelegung von Stecker K der 98/IOC

Pin	Signalbezeichnung
1	GND Signallampe
2	+5V Signallampe
3	LS + LS-POT
4	GND Reset KDT
5	RESET KDT
6	GND LS
7	LS-POT
8,9,10	BRIGHTNESS

Spannungsversorgung der 98/IOC

Die Spannungsversorgung erfolgt über ST-H

Pinbelegung:

Pin	Signalbezeichnung
1	RESET
2	- 12 V
3	+ 5 V
4	+ 12 V
5	GND



1.7.4 Programmierung von PAL 1

PAL16L8 PAL DESIGN SPECIFICATION
PATO05 03/01/1983
VIDPAL1 VIDEO LOGIC FOR 9XX/IOC (15" MONITOR) AND 98/IOC

VSYNC HSYNC SDE VINV VBIT8 VBIT9 VDOA VDOG DM GND
BLK /VSYNC.OUT /INT.SDE /INVERT /SYNC /VIDEO /INT.VIDEO CRS /HSYNC.OUT
VCC

IF (VCC) SYNC = HSYNC*VSYNC + /HSYNC*/VSYNC

IF (VCC) INVERT = CRS*BLK*/VINV*/VBIT8 +
CRS*BLK*VINV*/VBIT8 +
/CRS*/VINV*VBIT8 +
/BLK*/VINV*VBIT8 +
/CRS*VINV*/VBIT8 +
/BLK*VINV*/VBIT8

IF (VCC) INT.VIDEO = VDOA*DM*/VBIT9 +
VDOA*DM*VBIT9*BLK +
VDOG*/DM

IF (VCC) VIDEO = INT.VIDEO*/INVERT*SDE*INT.SDE +
/INT.VIDEO*INVERT*SDE*INT.SDE

IF (VCC) INT.SDE = SDE

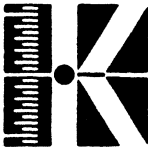
IF (VCC) HSYNC.OUT = /HSYNC

IF (VCC) VSYNC.OUT = /VSYNC

DESCRIPTION:

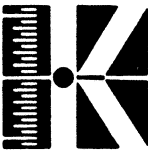
OUTPUTS

SYNC: COMPOSITE SYNC SIGNAL FOR COMPOSITE VIDEO GENERATION
INVERT: INVERTED VIDEO CONDITION
INT.VIDEO: AUXILIARY SIGNAL FOR VIDEO GENERATION
VIDEO: VIDEO SIGNAL
INT.SDE: AUXILIARY SIGNAL FOR VIDEO GENERATION
HSYNC.OUT: HORIZONTAL SYNC SIGNAL (NOT INVERTED)
VSYNC.OUT: VERTICAL SYNC SIGNAL (NOT INVERTED)



1.7.5 Liste aller IC's

Typ	Bezeichnung im Schaltplan	Beschreibung
PAL16L8	PAL	Programmable Array Logic
26LS31 (75172)	IC3, IC7	Quad Differential Line Drivers
26LS32 (75173)	IC2	Quad Differential Line Receivers
7406	IC16	Hex Invert Buffer/Drivers (o.C.)
74LS157	IC1	Quad 2 to 1 Multiplexers
74LS221	IC13	Dual Monostable Multivibrators
74LS244	IC11	Octal Bus Buffers
74LS245	IC12	Octal Bus Transceivers
74LS393	IC15	Dual 4-bit Counters
75188	IC6, IC8	Quad Line Drivers (RS232)
75189	IC4, IC5, IC10	Quad Line Receivers (RS232)
9637	IC8	Dual Differential Line Receivers



1.7.6 Standard-Einstellungen

Standard-Einstellungen der Schalter S1 bis S5

98/IOC

```

-----
c bedeutet : { "closed" } Schalter rechts
o bedeutet : { "open" } Schalter links
* bedeutet : Schalter unwirksam
T bedeutet : in Stellung Terminal
M bedeutet : in Stellung Modem
-----

```

a) SIOA an KOBUS-Schnittstelle (Stecker C)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! * * * o ! * * * * * o c o

```

b) SIOA an RS232-Schnittstelle (Stecker D)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! c c c * ! * * * * * o o o *

```

c) SIOA an 20mA-Loop-Schnittstelle (Stecker D)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! c c o * ! * * * * * * * o *

```

d) SIOB an Terminal-Schnittstelle (Stecker F)

```

Schalter !      S2      !      S3      !      S4      !      S5
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1 !      !
-----!-----!-----!-----
Stellung ! * o c c ! o o o o * * * * ! T ! T

```



1.7.7 Auslieferungsstand Kontron PSI 98

Zur Einstellung der Parameter

- SIOA an RS 232C-Schnittstelle (Stecker D)
- SIOB an RS 232C-Schnittstelle für TERMINAL-Anschluß (Stecker F)
- paralleles Keyboard (Stecker E)

ist folgende **Standard-Schaltereinstellung** vorzunehmen:

S3	S1	S2
8 * -	4 - *	4 - *
7 * -	3 - *	3 * -
6 * -	2 - *	2 - *
5 * -	1 * -	1 - *
4 * -		
2 * -		
1 * -		

S4 und S5 in Stellung 1 (TERMINAL)

Modifikation zur Einstellung der Parameter

- SIOA an RS 422-Schnittstelle (KOBUS, Stecker C): S3/2 "rechts"
- serielles Keyboard (SIOB an Stecker E): S2/1 "links"

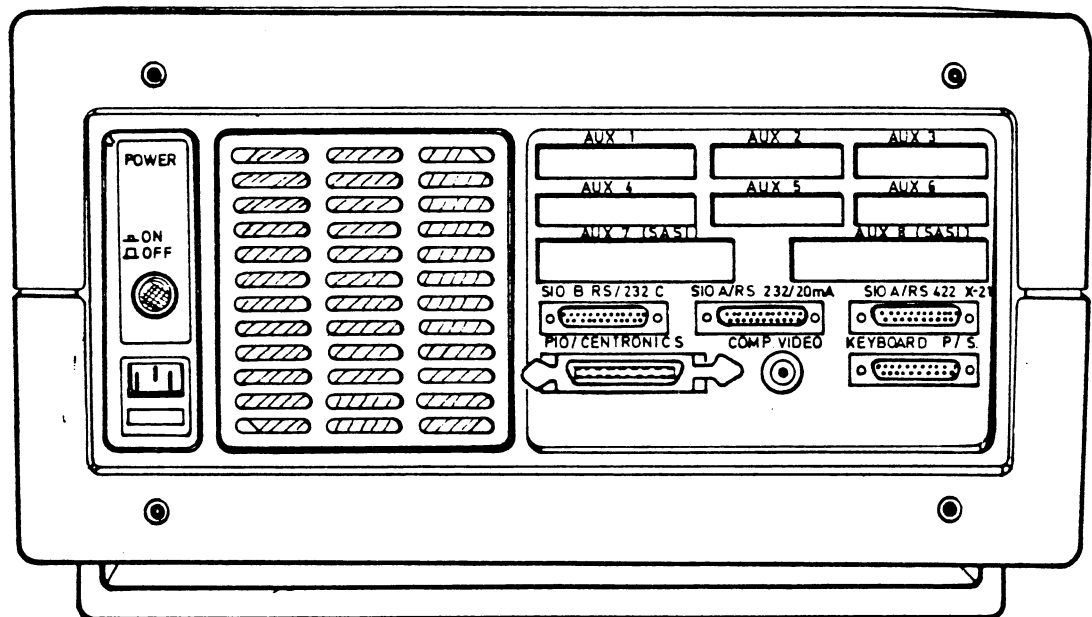
S3	S1	S2
8 * -	4 - *	4 * -
7 * -	3 - *	3 * -
6 * -	2 - *	2 - *
5 * -	1 * -	1 - *
4 * -		
2 - *		
1 * -		

S4 und S5 in Stellung 1 (TERMINAL)



1.8 Lage der Anschlußbuchsen

Die Buchsenleiste an der Rückseite des Systems KONTRON PSI 98 ist in nachfolgender Abbildung ersichtlich.



Buchsenleiste der Systeme Kontron PSI 98



2. Servicehinweise

Voraussetzung für einen Test der IOC-Baugruppe ist eine funktionsfähige Zentralbaugruppe KDT6.

Kontrollieren Sie stets als Erstes die Spannungsversorgung dieser Baugruppe. Dabei sollte nicht nur am Stecker der Spannungsversorgung gemessen werden, sondern auch an den Schaltkreisen selbst.

Dies ist besonders für die von einem auf der Busplatine befindlichen Festspannungsregler vom Typ 7912 erzeugten -12 Volt wichtig.

Die Spannungen +/- 12 Volt sind zum Betrieb der 20 mA-Stromschleifenschnittstelle (SIOA) nötig.

Vor einem Test der Schnittstellen ist außerdem stets die Stellung aller auf der Platine befindlichen Schalter zu kontrollieren. Dazu siehe Kapitel 1.7.7 dieser Beschreibung.

Zum Testen der Schnittstellen empfiehlt sich folgende Konfiguration:

- SIOA auf RS232
- SIOB auf RS232
- paralleles Keyboard

S3		S1		S2
8 *	-	4 - *		4 - *
7 *	-	3 - *		3 * -
6 *	-	2 - *		2 - *
5 *	-	1 * -		1 - *
4 *	-			
2 *	-			
1 *	-			

S4 und S5 in Stellung 1 (TERMINAL)

Außerdem ist, falls kein Schnittstellentester vorhanden ist, ein Terminal sowie ein Drucker mit Centronics-Schnittstelle erforderlich.

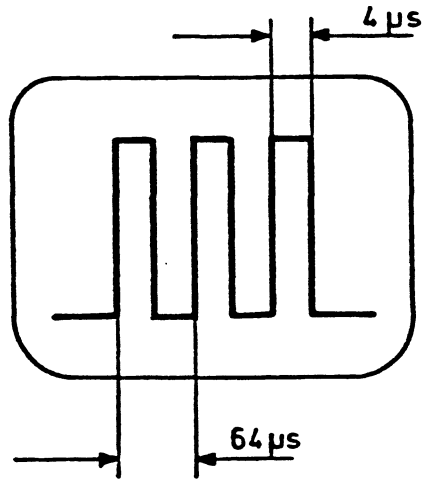
Zeigt sich bei Eingabe von der Tastatur aus keine Reaktion, so muß bei fehlerfreier Tastatur die Tastaturschnittstelle untersucht werden. Da diese Schnittstelle aber direkt zur KDT6 durchgeschleift wird, kann der Fehler (bei intakter KDT6) eigentlich nur in schlechten Steckverbindungen zu suchen sein.

Sollte sich beim Einschalten des Gerätes keine Reaktion auf dem Bildschirm zeigen, so muß die Schaltung auf Blatt 4 der Schaltpläne einer genaueren Betrachtung unterzogen werden.

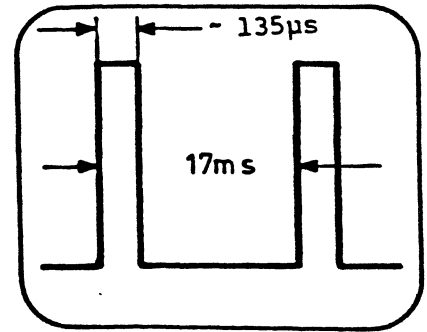


Messen Sie deshalb zuerst mit einem Oszilloskop die Signale HSYNC und VSYNC. Sie sollten folgendes Aussehen besitzen:

XHSYNC.



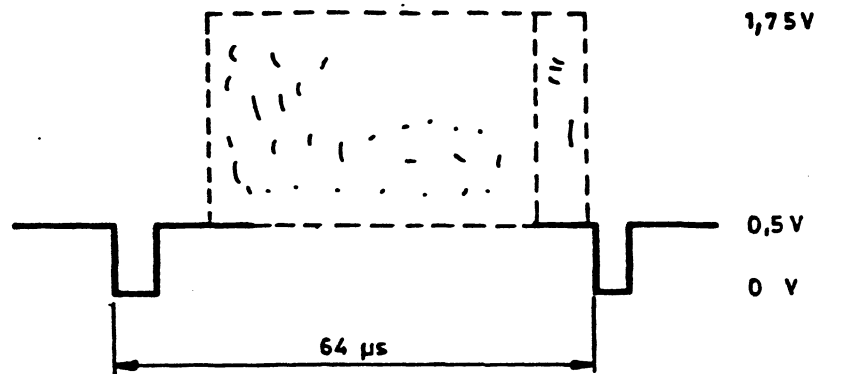
XVSYNC.



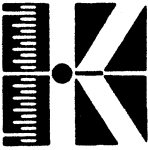
Falls nicht, sollten diese Signale nochmals am Videocontroller der KDT6 (PIN 39 und 40) überprüft werden. Sind sie dort vorhanden, so muß der Weg vom Controller zur IOC überprüft werden.

Außerdem muß PAL1 überprüft werden.

Läßt sich kein externer Monitor mit dem Composite-Video-Signal betreiben, so ist PAL1 sowie die Schaltung rund um T2 und T3 zu überprüfen. Das Composite-Signal sollte folgendes Aussehen besitzen:



COMPOSITE VIDEO



Der Test der Schnittstellen erfordert nun je nach Betriebssystem - KOS bzw. CPM - die Eingabe folgender Kommandos, wobei die entsprechenden Programme bzw. Treiber natürlich vorhanden sein müssen.

1. Sie arbeiten mit dem Betriebssystem KOS:

1. Schritt: Aktivieren Sie die Treiber SIOA, SIOB sowie einen zum parallelen Drucker passenden Druckertreiber (z.B. OAP4 für Microline 84) mit folgendem Kommando

IODC \$SIOA=ACTIVE \$SIOB=ACTIVE \$OAP4=ACTIVE

Falls die Fehlermeldung "Datei nicht vorhanden" erscheint, fehlt der entsprechende Treiber auf dem Massenspeichermedium (Diskette oder Harddisk).

2. Schritt: Schließen Sie nun das Terminal mit einer ungekreuzten Leitung, d.h. die Pins 2-2, 3-3 und 7-7 sind verbunden, an einer der seriellen Schnittstellen z.B. SIOA an.

Geben Sie nun das Kommando

COPY \$KEY \$SIOA

ein. Dieses Kommando kopiert nun alle Eingaben der Tastatur auf die serielle Schnittstelle SIOA. Dabei ist eine Baudrate von 9600 Bd Voreinstellung.

Alle Tastatureingaben müssen nun am Bildschirm des externen Terminals erscheinen. Falls nicht, könnte das folgende Ursachen haben:

- a) Die zur Schnittstelle gehörigen Schnittstellentreiberbausteine sind defekt
- b) falsche Schaltereinstellung
- c) Kontaktschwierigkeiten an Steckverbindungen - auch zur KDT6!

Entsprechend kann die SIOB-Schnittstelle mit

COPY \$KEY \$SIOB

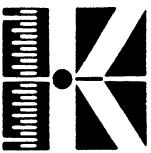
getestet werden.

Mit der Eingabe von

COPY \$SIOA \$MON

können Zeichen vom an SIOA angeschlossenen Terminal auf den Bildschirm des Systems ausgegeben werden.

Das COPY-Kommando läßt sich mit CNTRL D abbrechen, allerdings nur beim Kopieren vom Keyboard zur Schnittstelle.



3. Schritt: Genauso kann die Centronics-Schnittstelle getestet werden.

Drucker anschließen und entsprechenden Treiber aktivieren und Zeichen von der Tastatur auf den Drucker umleiten:

z.B. COPY \$KEY \$OAP4

Der eingebaute Lautsprecher kann durch Eingabe von CNTRL G getestet werden.

2. Sie arbeiten mit dem Betriebssystem CPM:

Hier erfolgt der Test ähnlich wie unter KOS. Schnittstellen gemäß Kap. 1.7.7 alle für RS232C konfigurieren.

Zunächst müssen die seriellen Schnittstellen entsprechend dem vorhandenen Terminal eingestellt werden.

Dies geschieht mit der CPM-Utility SETSIO.

Sodann wird die Tastatureingabe auch auf die entsprechende Schnittstelle umgeleitet mit:

für SIOA: STAT LST:=-TTY:
 CNTRL P
 Texteingabe

für SIOB: STAT LST:=-UL1:
 CNTRL P
 Texteingabe

für Centronics: STAT LST:=-LPT:
 CNTRL P
 Texteingabe

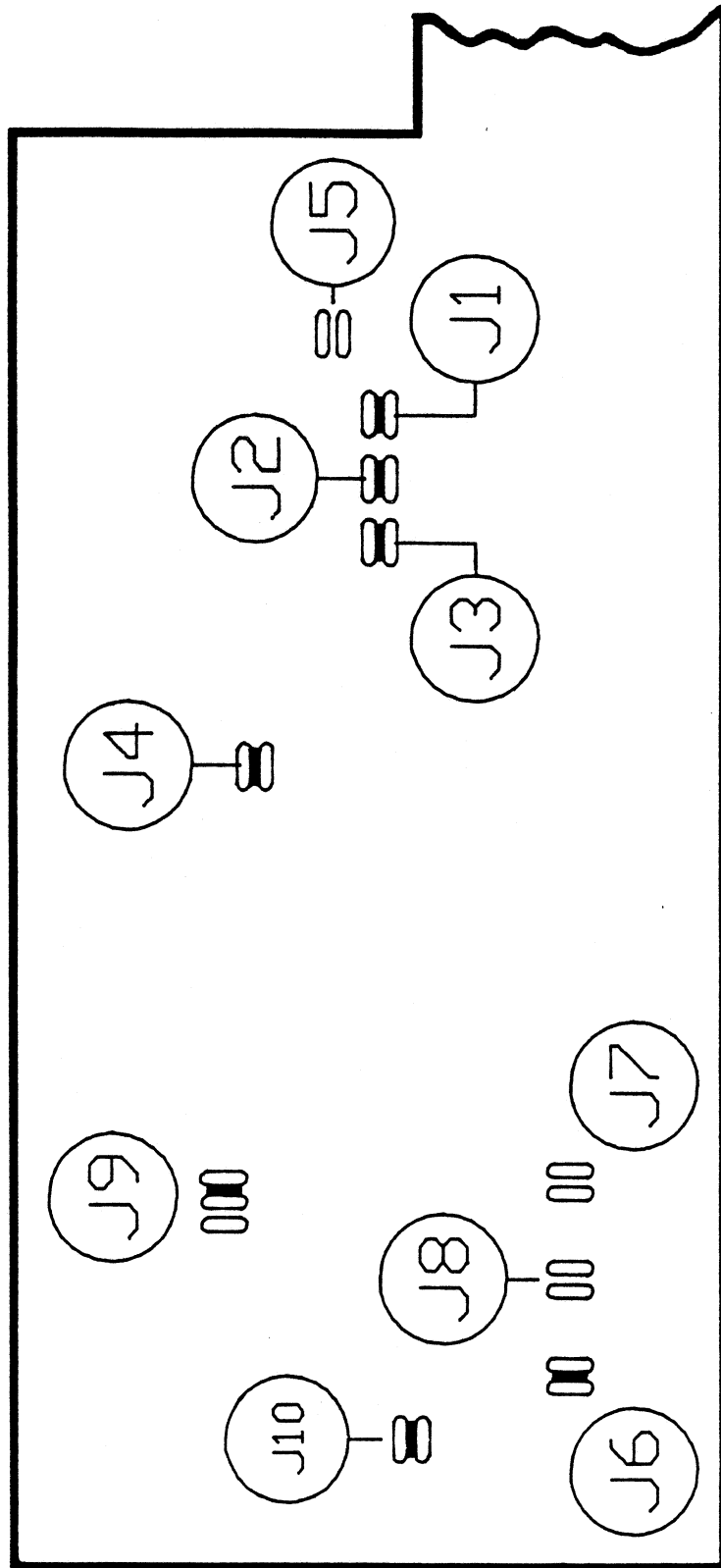
Mit den Kommandos: STAT CON:=-TTY: (für SIOA)
 STAT CON:=-UC1: (für SIOB)

kann der Rechner vom externen Terminal aus bedient werden.



3. Jumper auf der Platine

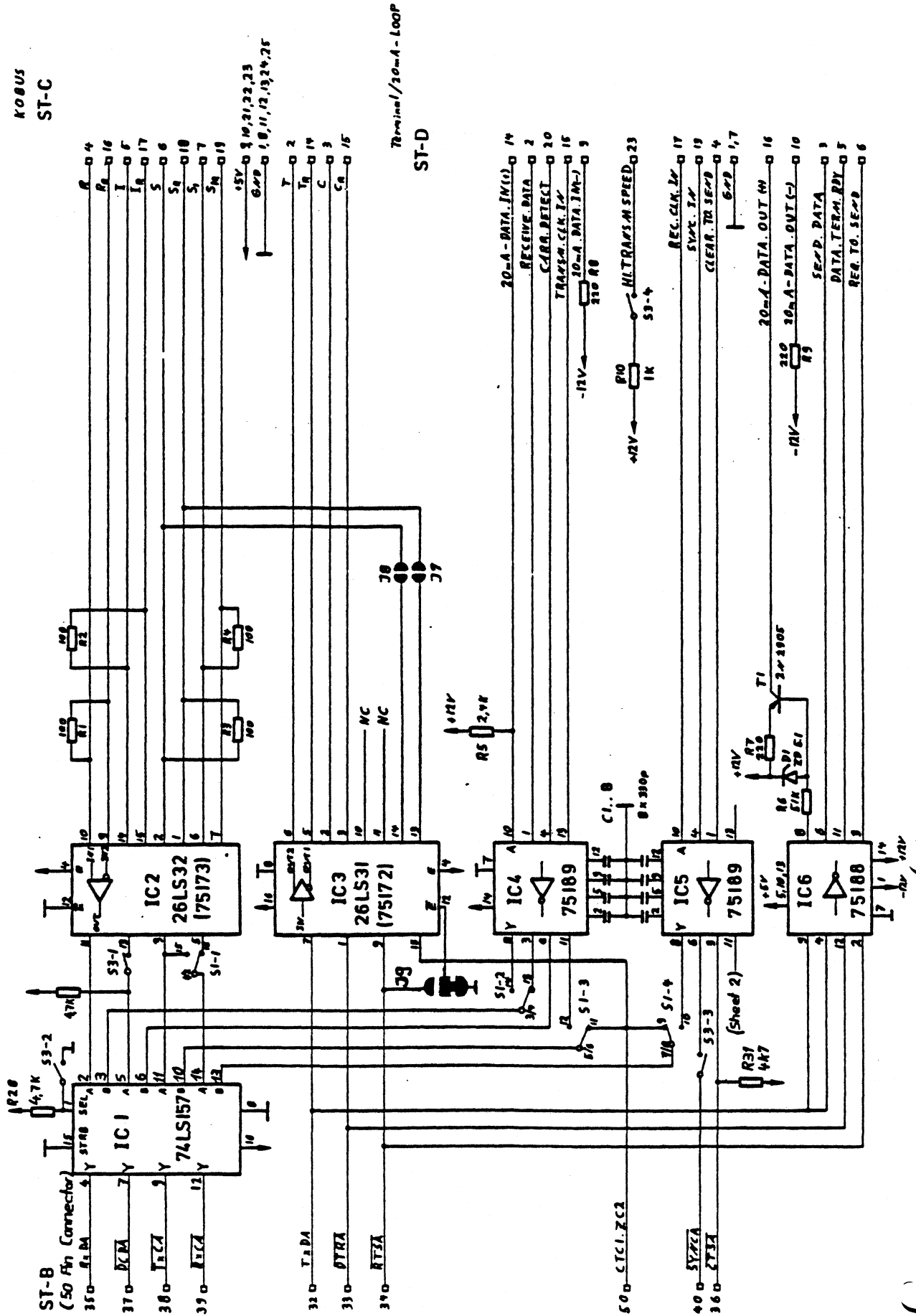
Sämtliche Jumper sind als Lötjumper auf der Rückseite der Platine ausgeführt. In folgendem Bild sind die jeweiligen Standardeinstellungen der Jumper ersichtlich.

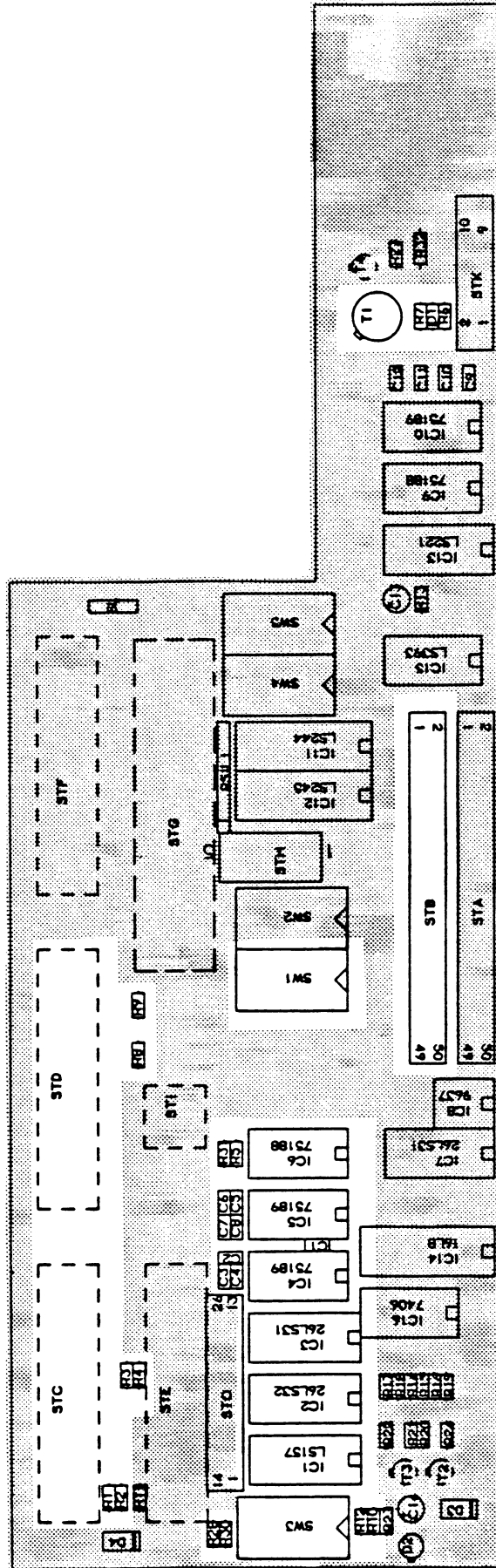


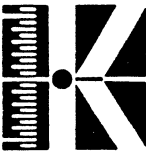


Schaltpläne, Bestückungspläne

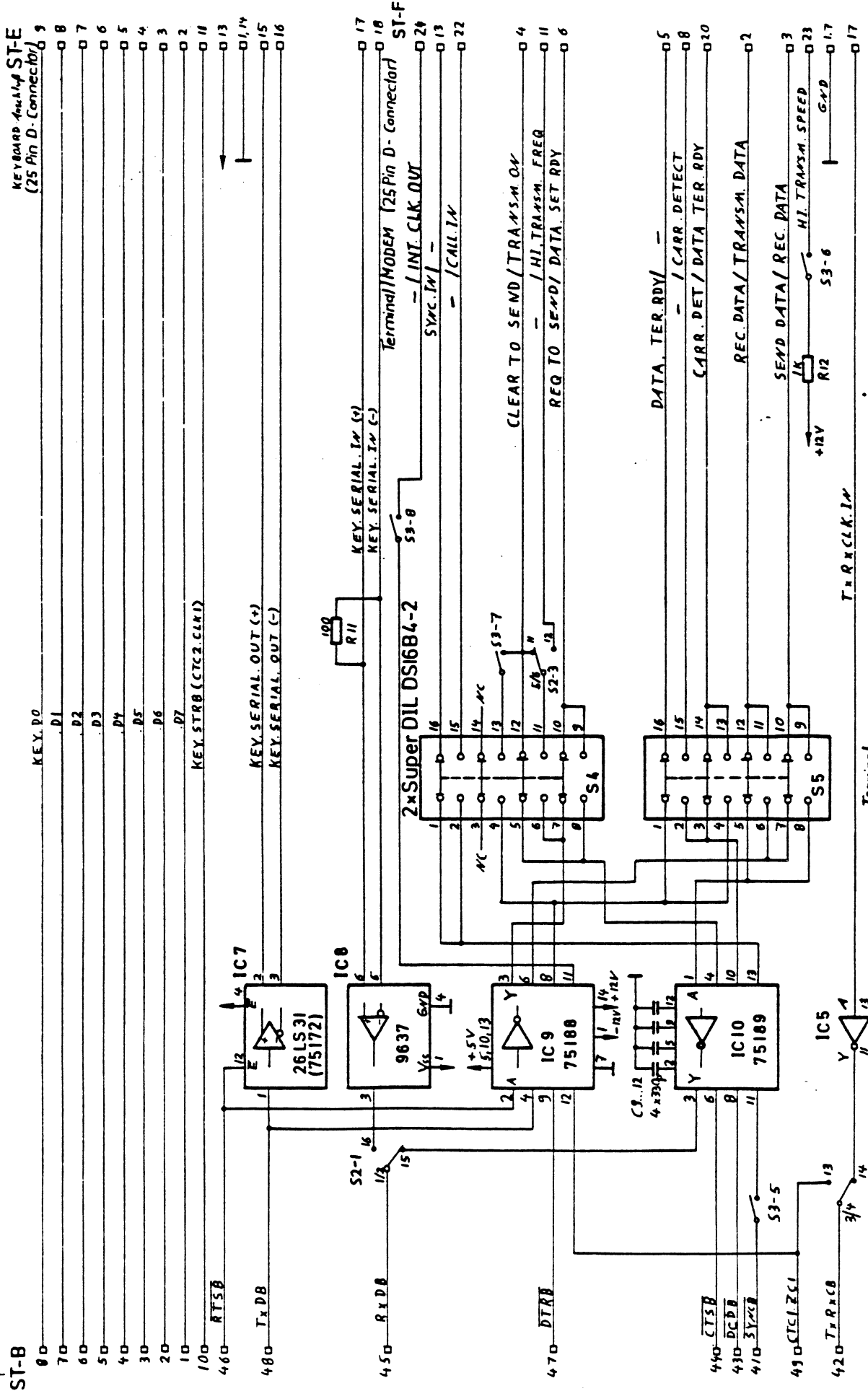
KOBUS
ST-C

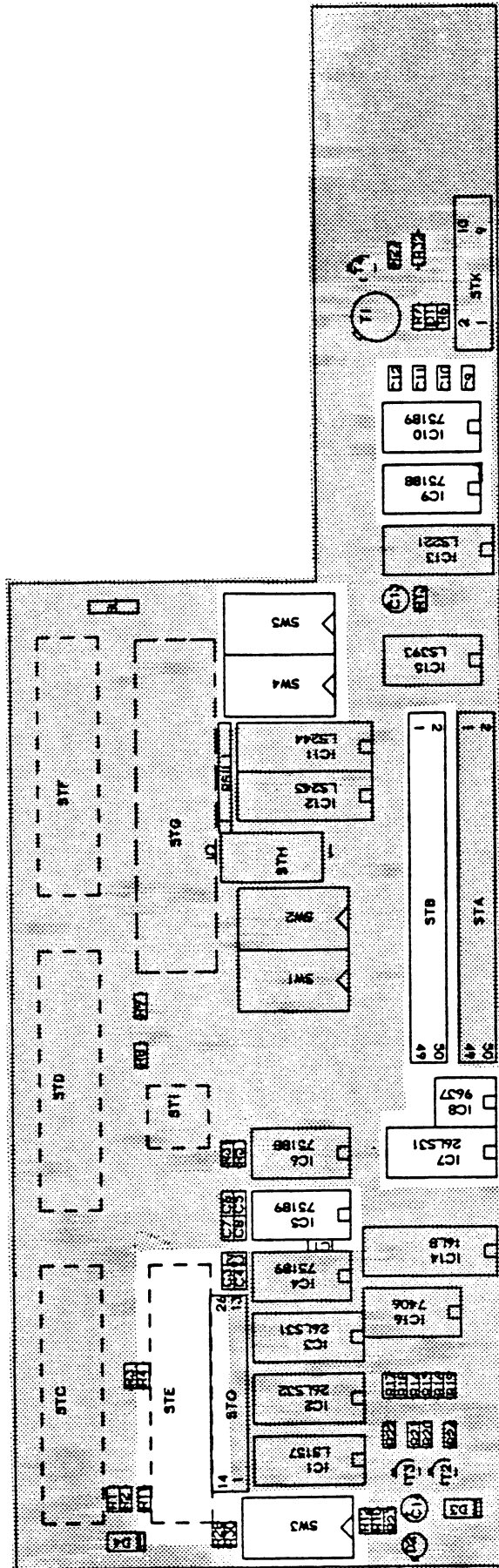


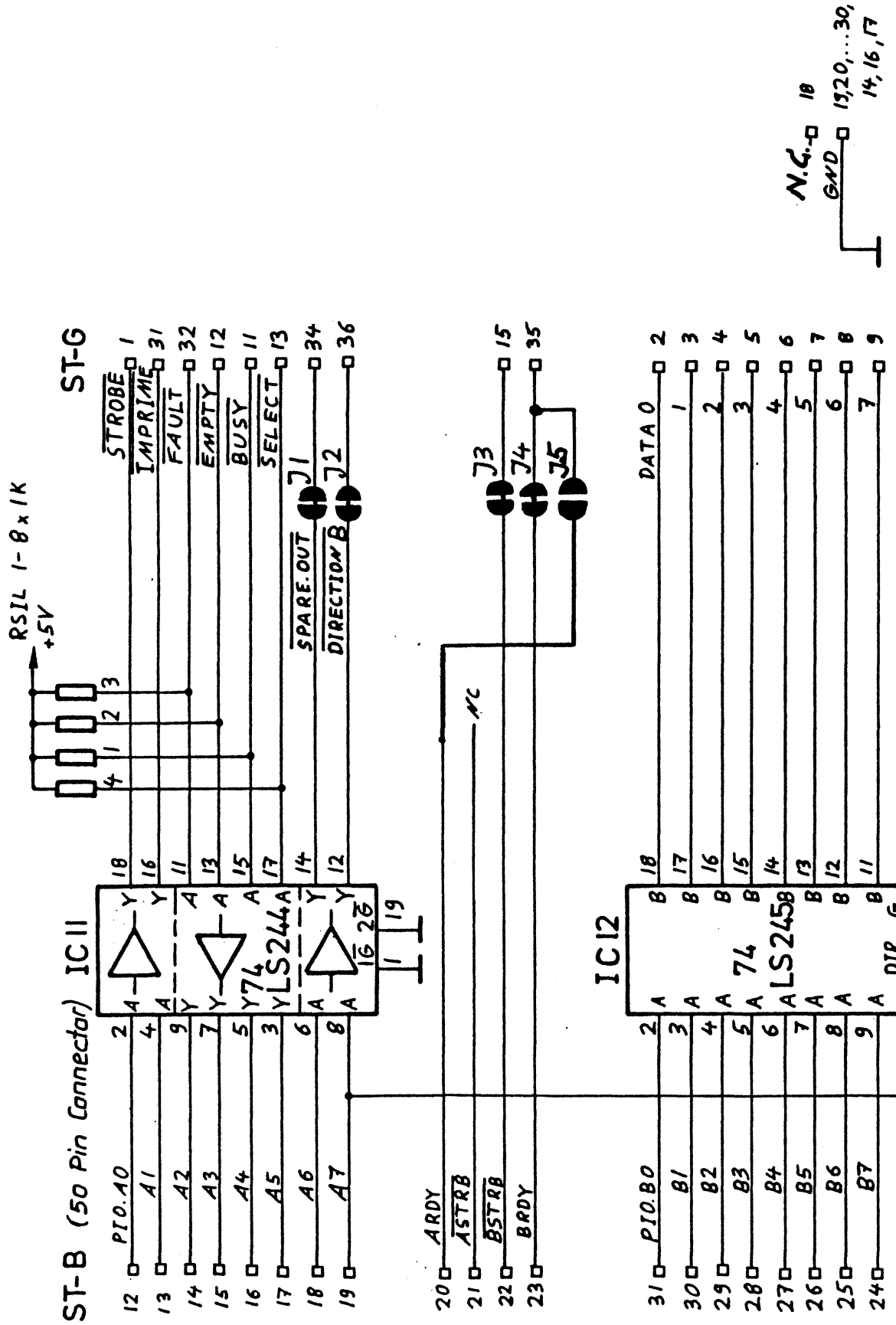


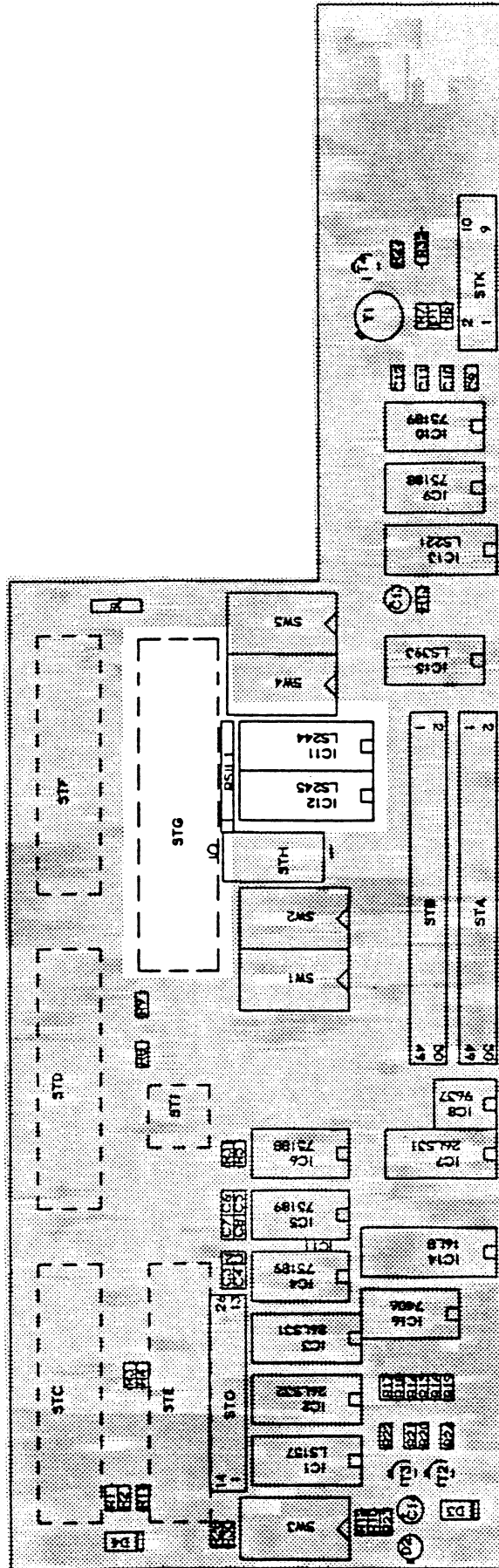


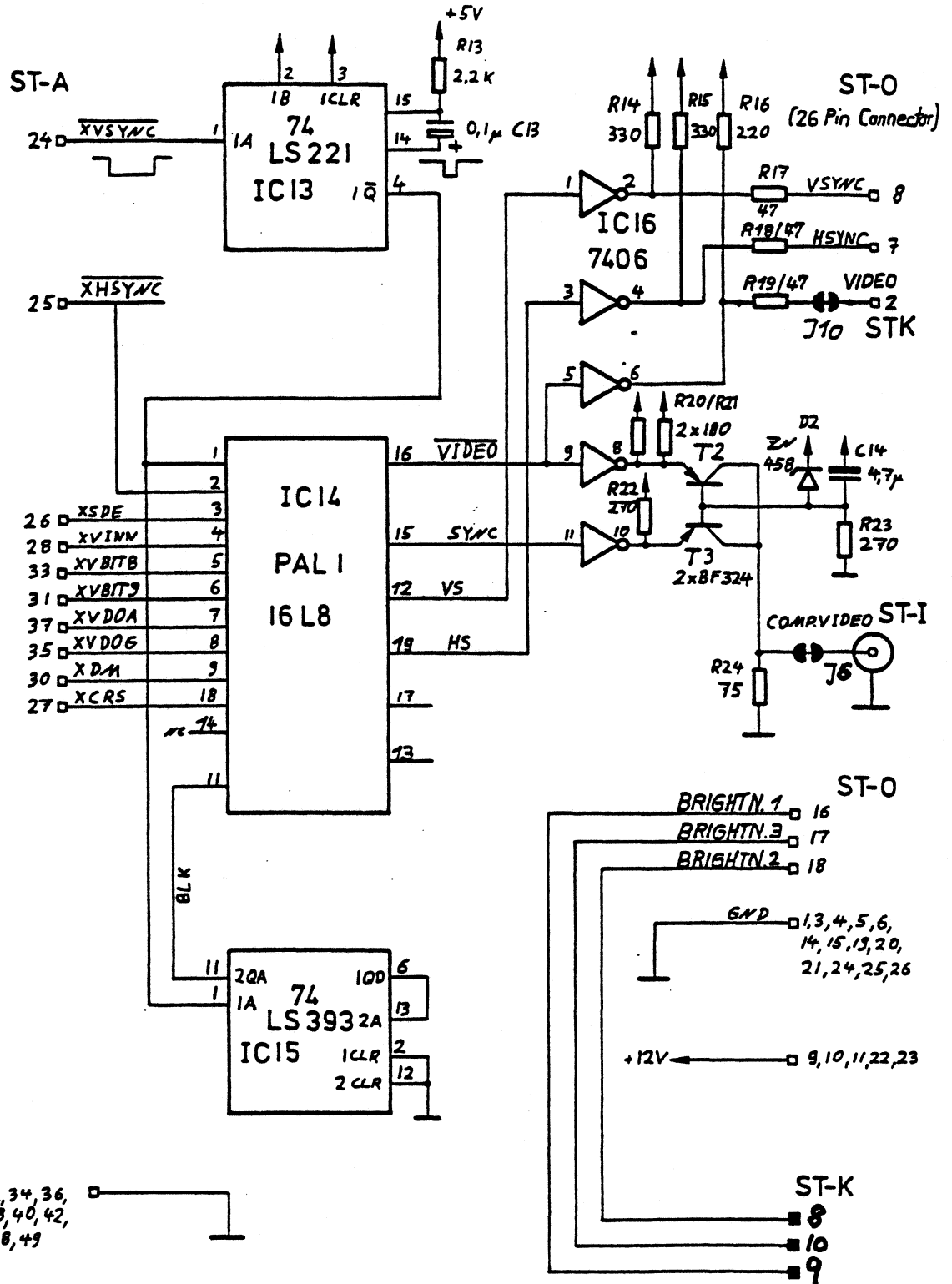
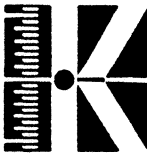
Serviceanleitung für 98/I0C

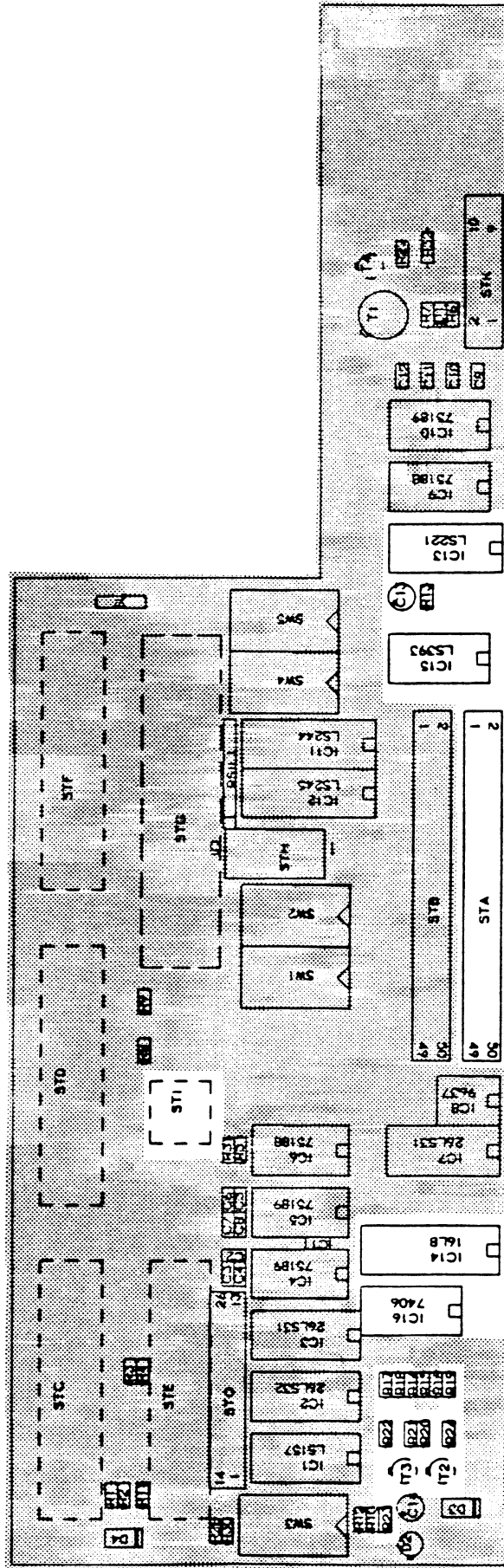


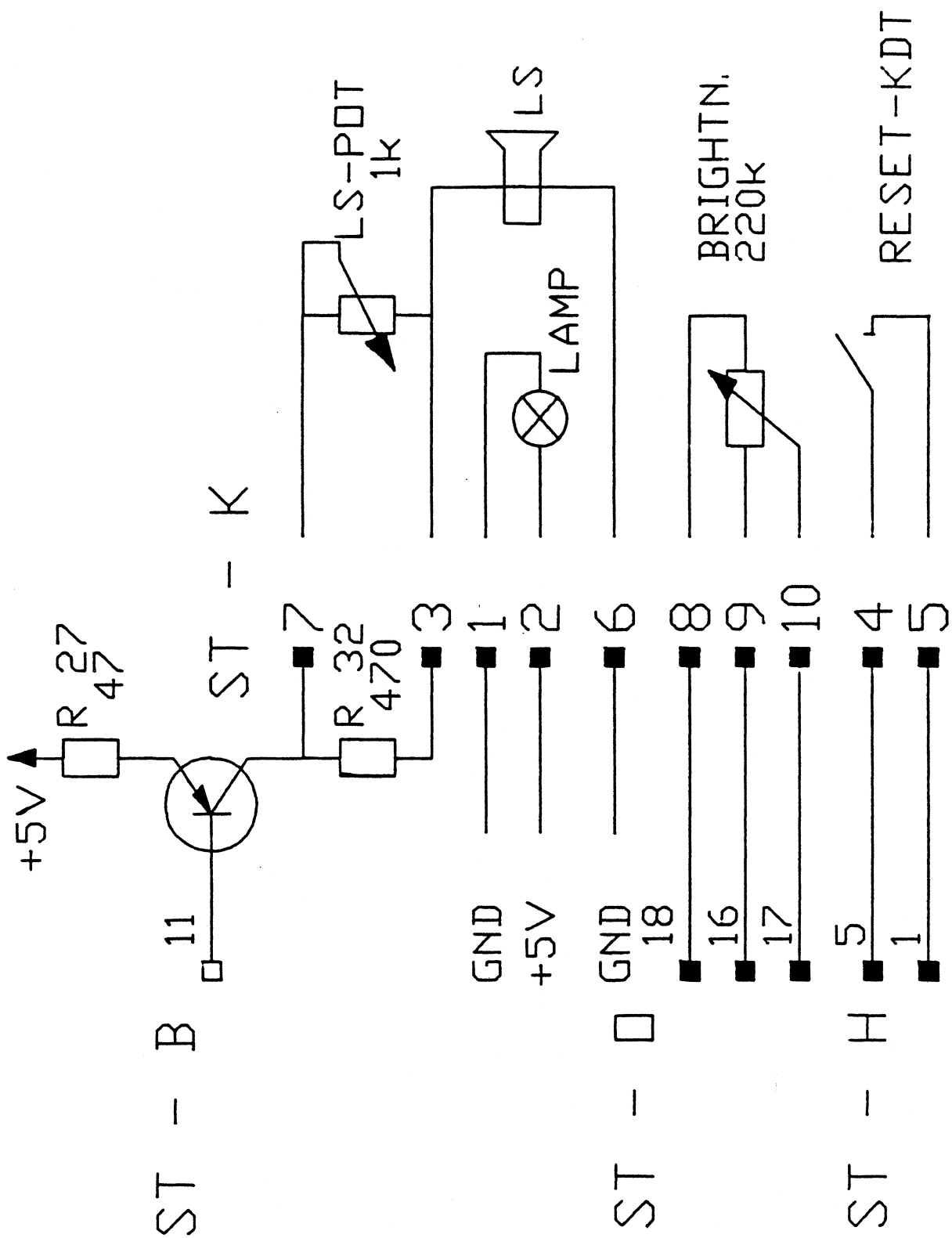


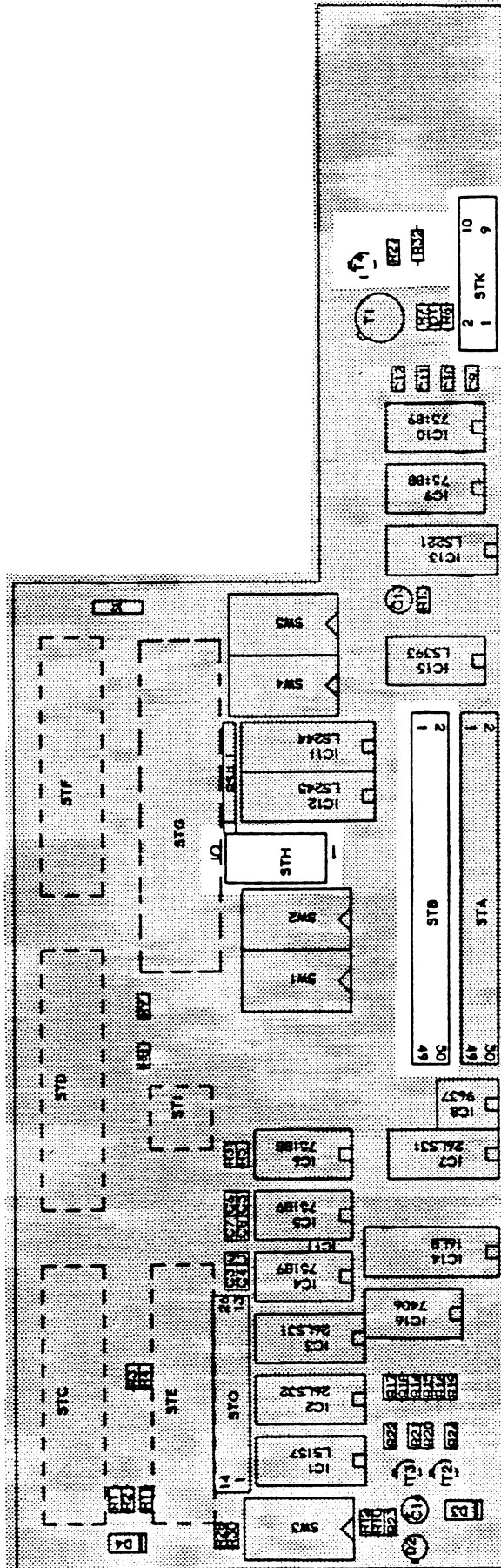


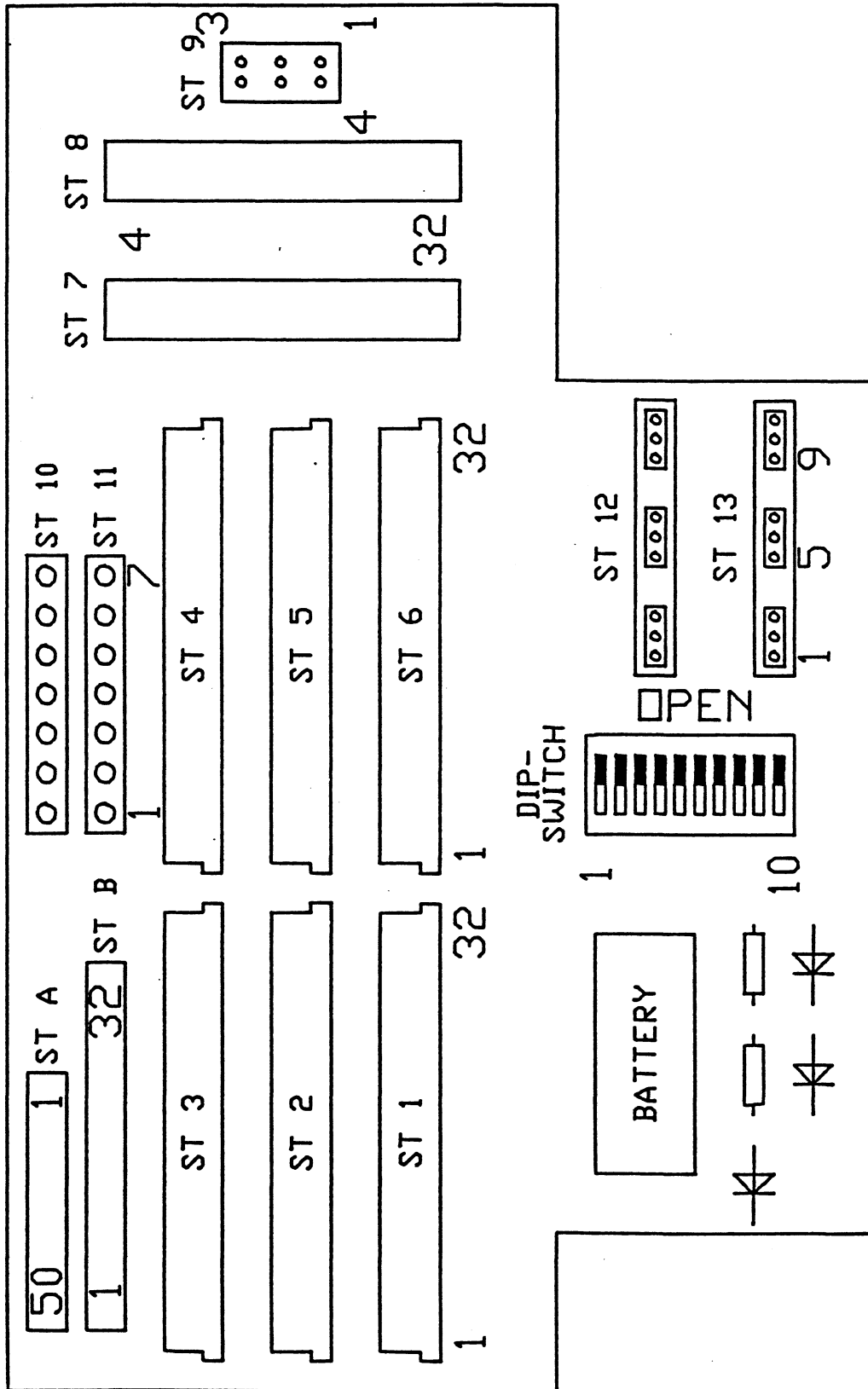
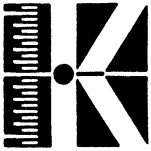




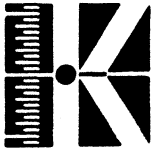








Bestückungsplan Bus 98

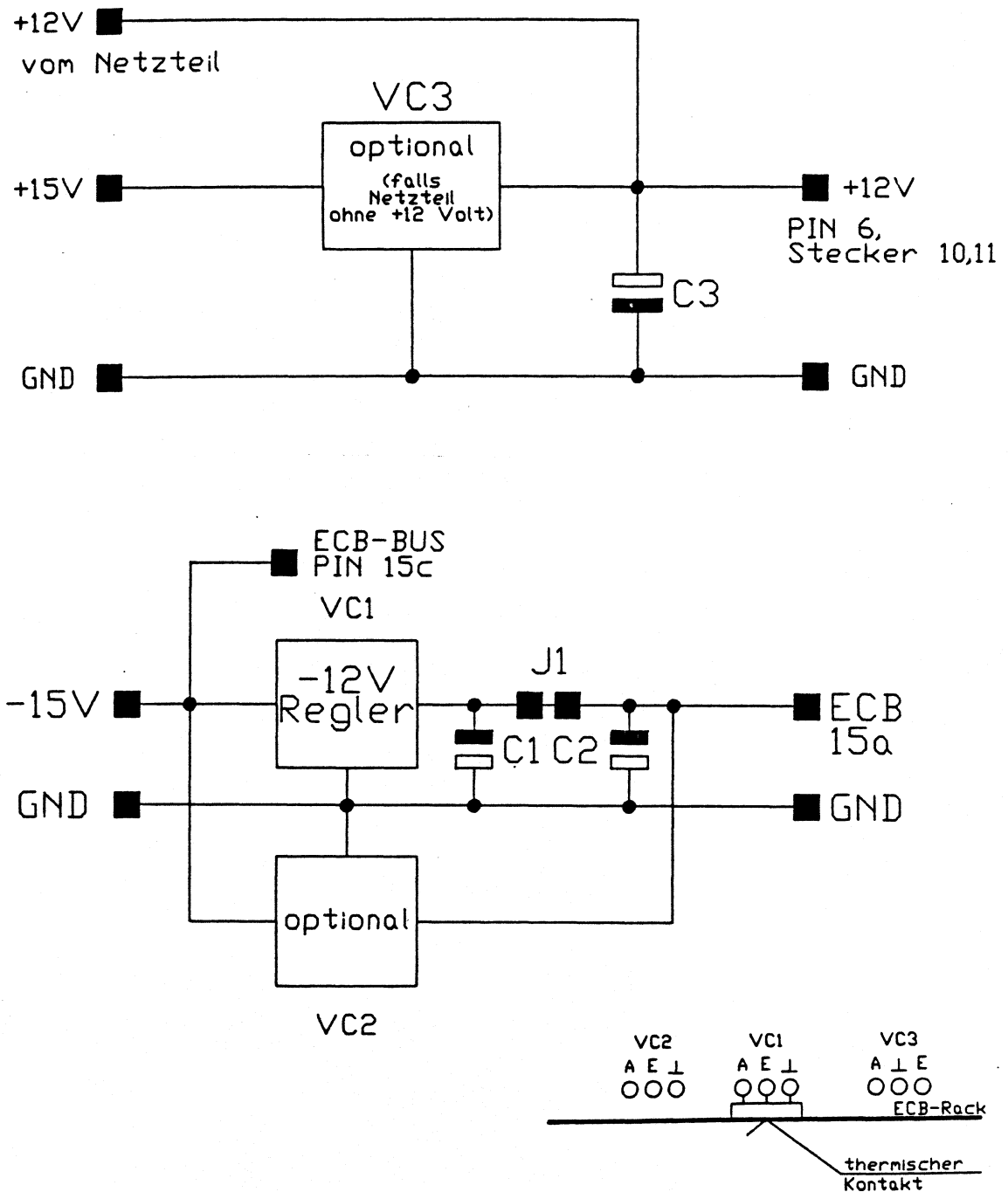


BUS-Platine Kontron PSI 98

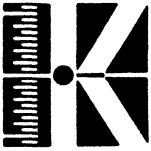
Der Bus enthält neben den logischen Signalen die Stromversorgungsleitungen, wobei die Leiterbahnen auch für den Einsatz von 24V/5V Gleichspannungswandlern ausgelegt sind.

Für den Einsatz von ECB-Karten, die -5 Volt Versorgungsspannung benötigen, kann die Busplatine optional mit einem entsprechenden Spannungsregler bestückt werden; standardmäßig ist der Bus nur mit einem Spannungsregler für -12 Volt bestückt.

Falls Netzteile verwendet werden, die keine +12 Volt liefern, kann alternativ ein Spannungsregler hierfür vorgesehen werden:

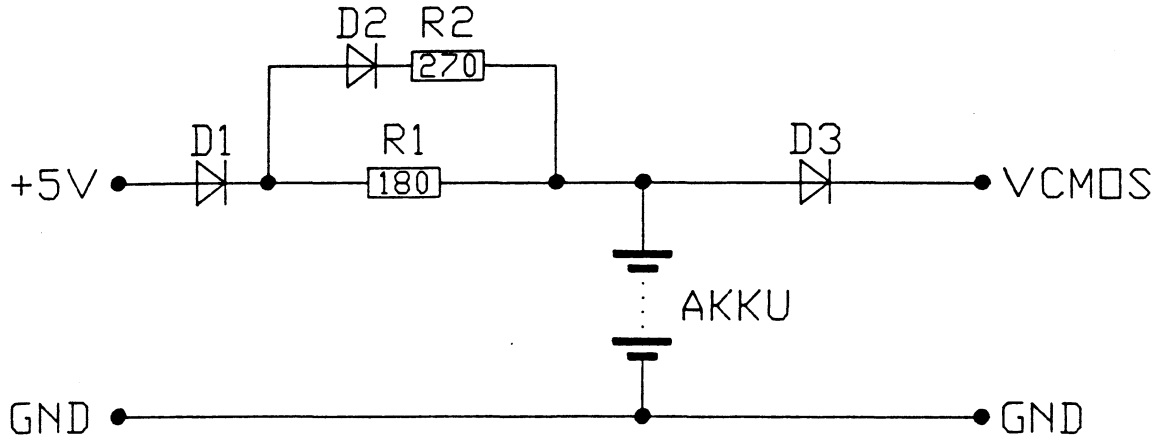


Spannungsregler auf dem Bus 98

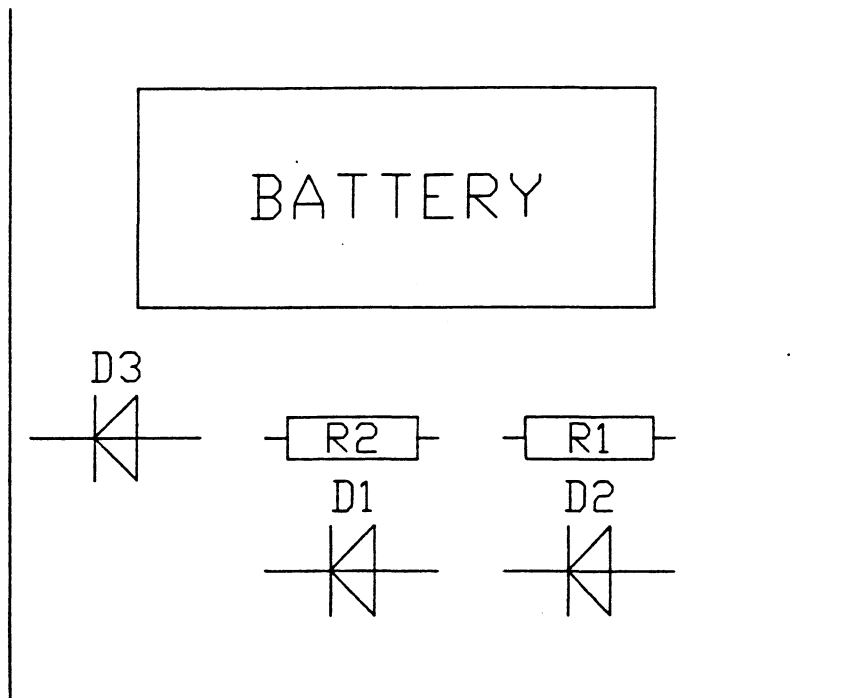


Batteriepufferung:

Auf dem Bus ist ebenfalls eine NiCd-Batterie mit zugehöriger Ladeschaltung untergebracht, die Kapazität beträgt 110 mAh bei 3.6 Volt.



D1-D3: AA139



Ladeschaltung auf dem Bus 98



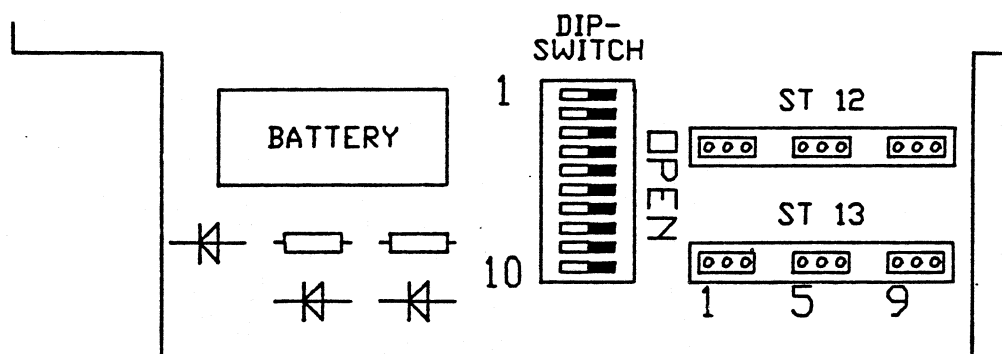
Sonstiges:

Zur Vermeidung von Masseschleifen werden keine Versorgungsleitungen über Stecker A und B geführt.

Die Interrupt- und Busacknowledge-Daisychain ist von Steckplatz 1 bis 6 über einen 10-fach DIP-Switch überbrückbar.

Hierbei gilt die Zuordnung:

Steckplatz	Verbindung 11c-16c (IEI - IE0)	12a-17a (BAI - BAO)
1	SW1	SW2
2	SW3	SW4
3	SW5	SW6
4	SW7	SW8
5	SW9	SW10
6	-	-



DIP-Schalter auf dem Bus 98



Funktion der einzelnen Stecker:

Siehe dazu: Bestückungsplan auf Seite 1.

Stecker A	Verbindungsstecker KDT6 - Busplatine
Stecker B	Verbindungsstecker frei
Stecker 1...6	ECB-Steckplätze
Stecker 7, 8	Steckplätze für Netzteile
Stecker 9	220V/24V - Spannungszuführung
Stecker 10, 11	Powerstecker für KDT 6 und IOC/98
Stecker 12	Powerstecker für Peripherie
Stecker 13	dto.
Stecker 14	dto.
Stecker 15	ext. Power für Monitor

Verbindungen zwischen Stecker B und Stecker 3

Bis auf die Leitungen 11c, 16c, 12a, 17a, 32a, 32c, 1a, 1c, 13a, 15a, 15c, 19a, 24a sind alle Leitungen 1:1 durchverbunden.

Verbindungen zwischen Stecker 1 und Stecker 2,3,4,5,6

Alle Leitungen bis auf die Pins 11c, 12a, 16c, 17a sind jeweils 1:1 durchverbunden.



Verbindungen Stecker A (50-polig) ---- Stecker B (64-polig)

Pin von Stecker A	Signal	Pin von Stecker B
1	A0	5c
2	A1	7c
3	A2	6a
4	A3	6c
5	A4	7a
6	A5	8a
7	A6	9a
8	A7	9c
9	A8	8c
10	A9	30a
11	A10	18c
12	A11	17c
13	A12	27c
14	A13	29a
15	A14	18a
16	A15	28c
17	A16/MBS0	10c
18	A17/MBS1	12c
19	A18/MBS2	13c
20	A19/MBS3	14a
21	A20/MBS4	23c
22	A21/MBS5	19c
23	A22/MBS6	21a
24	A23/MBS7	22a
25	D0	2c
26	D1	14c
27	D2	4c
28	D3	4a
29	D4	5a
30	D5	2a
31	D6	3a
32	D7	3c
33	-HALT	25c
34	-RFSH	28a
35	-IORQ	27a
36	-M1	20a
37	-WR	22c
38	-RD	24c
39	-MRQ	30c
40	-BUSRQ	11a
41	-INT	21c
42	-NMI	20c
43	-PWCLR	26c
44	-WAIT	10a
45	-IEO	16c
46	-BAO	17a
47	not connected	
48	CLK	29c
49	not connected	
50	-RESET	31c



Belegung Stecker B = ECB-Bus Standard (ausgenommen Spannungen und Ground).

Belegung Stecker 1...6 = Belegung ECB-Bus Standard

Pinbelegung ECB-Bus

	Benennung	Pin	Bezeichnung
Adreßbus:	A0	5c	Adresse 0
	A1	7c	Adresse 1
	A2	6a	Adresse 2
	A3	6c	Adresse 3
	A4	7a	Adresse 4
	A5	8a	Adresse 5
	A6	9a	Adresse 6
	A7	9c	Adresse 7
	A8	8c	Adresse 8
	A9	30a	Adresse 9
	A10	18c	Adresse 10
	A11	17c	Adresse 11
	A12	27c	Adresse 12
	A13	29a	Adresse 13
	A14	18a	Adresse 14
	A15	28c	Adresse 15
	DO	2c	Data 0
	D1	14c	Data 1
	D2	4c	Data 2
	D3	4a	Data 3
	D4	5a	Data 4
	D5	2a	Data 5
	D6	3a	Data 6
	D7	3c	Data 7
Bank Select:	A16 (-MBS0)	10c	Adresse 16 (Mem.Bank Sel.0)
	A17 (-MBS1)	12c	Adresse 17 (Mem.Bank Sel.1)
	A18 (-MBS2)	13c	Adresse 18 (Mem.Bank Sel.2)
	A19 (-MBS3)	14a	Adresse 19 (Mem.Bank Sel.3)
	A20 (-MBS4)	23c	Adresse 20 (Mem.Bank Sel.4)
	A21 (-MBS5)	19c	Adresse 21 (Mem.Bank Sel.5)
	A22 (-MBS6)	21a	Adresse 22 (Mem.Bank Sel.6)
	A23 (-MBS7)	22a	Adresse 23 (Mem.Bank Sel.7)*
Steuerbus:	-M1	20a	Maschinenzyklus 1
	-MRQ	30c	Memory Request
	-IORQ	27a	IN/OUT Request
	-RD	24c	Read
	-WR	22c	Write
	-RFRSH	28a	Refresh
	-HLT	25c	Halt

* auf KDT6 nicht verbunden (wird von manchen Karten als Ausgang verwendet, z.B. ECB/HC)

Hinweis: Aktiv-Low-Signale sind mit einem Minuszeichen gekennzeichnet.
Alle Bussignale dürfen mit ca. 7 TTL-Eingängen belastet werden (ca. 30 LS TTL-Lasten).



Benennung	Pin	Bezeichnung
Verschiedenes: -WAIT	10a	Wait
-INT	21c	Interrupt
-NMI	20c	non maskable Int.
-RESET.IN	31c	Eingangssignal f. Reset-Logik
IEI	11c	Int. enable in
IEO	16c	Int. enable out
-PWRCL	26c	Power on clear (Reset für angeschlossene Karten)
CLK	29c	Clock 4.0 MHz (MOS-Pegel)
2 x CLK	16a	2 x Clock
n x CLK	25a	n x Clock
-BUSRQ	11a	Busrequest
-BUSAK	31a	Busacknowledge
BAI	12a	Busprioritätssteuerung Ein
BAO	17a	Busprioritätssteuerung Aus
-WRITE EN	26a	Write Enable
-DPR	23a	
+5	1a,c	+ 5V
GND	32a,c	Ground
+12	13a	+ 12V
-12	15a	- 15V
+15	19a	+ 15V
-15	15c	- 15V für AD-Wandler
VCMOS	24a	+ 5V Batterie-Spg. (Notstrom)



Belegung Stecker 9 1,2,3 = 220 Volt bzw. 24 Volt
 4,5,6 = 220 Volt bzw. 24 Volt

Belegung Stecker 10,11 1 RESET
 2 Powerfail
 3 VCMOS
 4 -12 Volt
 5 + 5 Volt
 6 +12 Volt
 7 GND

Belegung Stecker 12 1 GND
 2 + 5 Volt
 3 +12 Volt
 4 nicht belegt
 5 GND
 6 + 5 Volt
 7 +12 Volt
 8 nicht belegt
 9 GND
 10 + 5 Volt
 11 +12 Volt

Belegung Stecker 13 1 nicht belegt
 2 GND
 3 +12 Volt
 4 nicht belegt
 5 GND
 6 + 5 Volt
 7 +12 Volt
 8 nicht belegt
 9 GND
 10 + 5 Volt
 11 +12 Volt



Achtung: Die Instandsetzung dieser primärgetakteten Schaltnetz-
teile sollte nur dem entsprechend ausgebildeten
Servicepersonal vorbehalten sein, da hier direkt an der
Netzspannung gemessen und gearbeitet wird.

In dem System KONTRON PSI 98 kommen primärgetaktete Netzteile der
Firma MGV zum Einsatz. Diese Netzteile besitzen gegenüber her-
kömmlichen Stromversorgungsteilen den Vorteil eines sehr hohen
Wirkungsgrades. Er beträgt bei den verwendeten Schaltreglern ca.
80 %. Die Wärmeproduktion der Netzteile hält sich somit in
Grenzen.

Im System sind Einschubmöglichkeiten für maximal zwei Stromver-
sorgungsteile vorgesehen. In der Grundversion (max. 2 Floppy
Laufwerke) ist das System mit nur einem Netzteil ausgerüstet. Es
steht auf dem äußeren der beiden Steckplätze.

Es trägt die Bezeichnung P104A-51215k und liefert folgende
Ausgangsspannungen bei den angegebenen Strömen:

+ 5V	8A
+12V	5.5A
+15V	0.4A
-15V	0.4A

Ist das System mit einer Harddisk bzw. Wechselplatte ausgerüstet,
so ist folgende Netzteilkonfiguration vorgesehen:

Äußerer Steckplatz: P 102A - 12151k

+12V	7A
+15V	0.4A
-15V	0.4A

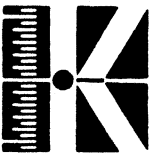
Innerer Steckplatz: P101A - 05151k

+ 5V	15A
------	-----

Zur Abschätzung des Stromverbrauchs bei Erweiterung der Minimal-
konfiguration (z.B. ECB-Karten) gibt folgende Tabelle einen Über-
blick. Folgende Angaben sollen einen Anhaltspunkt bieten, da die
einzelnen Werte durchaus etwas schwanken können.

KDT6	3.5A	bei + 5V
Floppy (TEAC)	0.8A	bei + 5V
	0.7A	bei +12V
Harddisk	1 A (max)	bei + 5V
	3.5A (max)	bei +12V
Controller	2.6A	bei + 5V

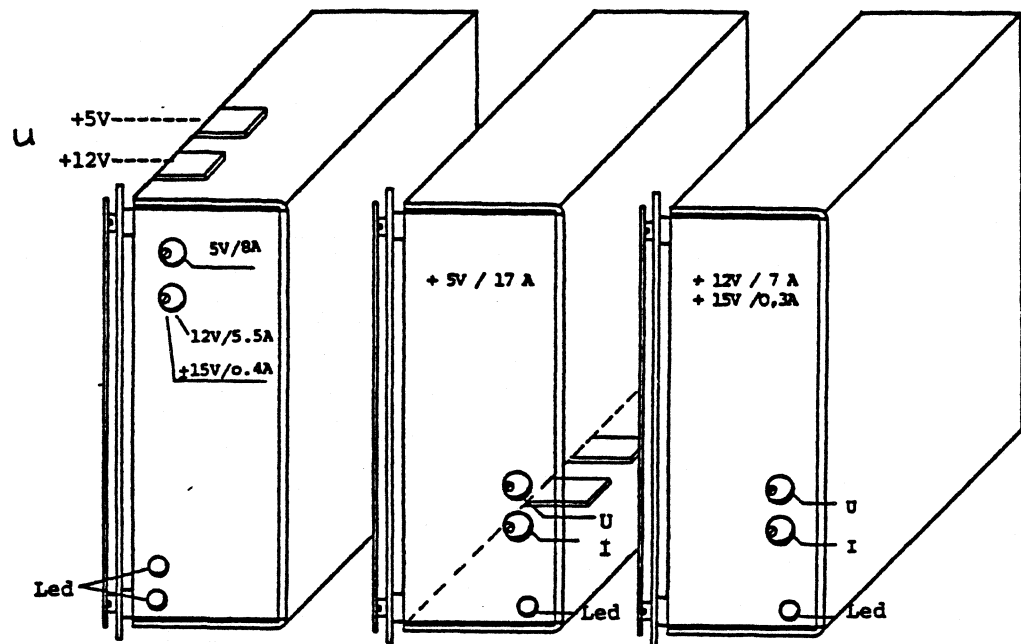
Die Netzeile sollten nicht bis an die äußerste Grenze ihrer
Leistungsfähigkeit gefahren werden. Dies ist zwar für das Netz-
teil selbst ungefährlich, falls jedoch kurzzeitige Belastungs-
spitzen auftreten, kann das Netzteil in den Bereich seiner Strom-
begrenzung fahren und die Ausgangsspannung kurzzeitig abfallen.
Dies kann zu unvermuteten Programmausstiegen führen.



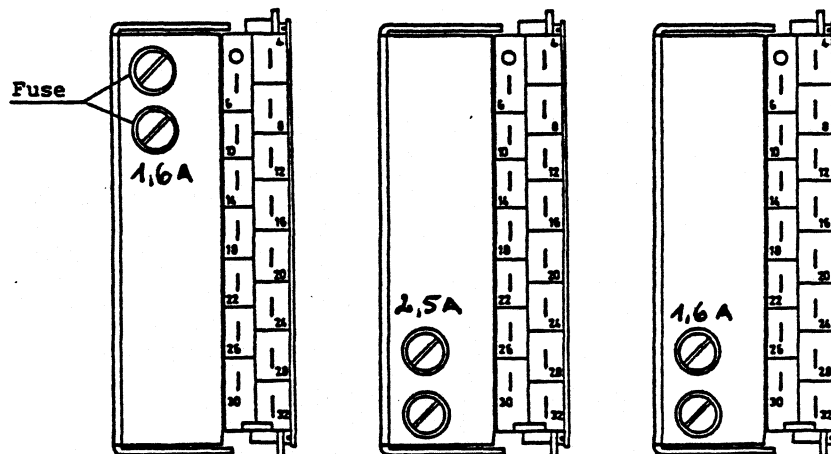
Stromversorgung im System KONTRON PSI 98

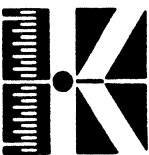
Falls "Programmfehler", deren Ursache nicht einleuchtend ist, auftreten, sollte die Strombegrenzung der Netzteile überprüft werden. Sie läßt sich für die Ausgangsspannungen +5V und +12V in einem gewissen Bereich einstellen. Die Ausgangsspannungen +/- 15V sind nicht beeinflussbar. Ebenso sind die Ausgangsspannungen +5V und +12V im Bereich von - 10% bis + 6 % variierbar.

Folgende Bilder zeigen Ihnen die Einstellregler für Strom und Spannung der + 5V und + 12V Ausgangsspannungen der einzelnen Netzteiltypen.



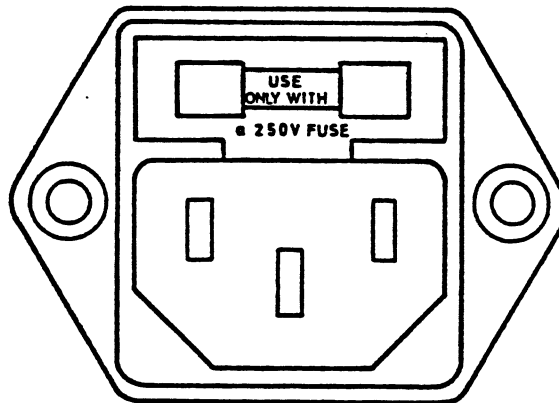
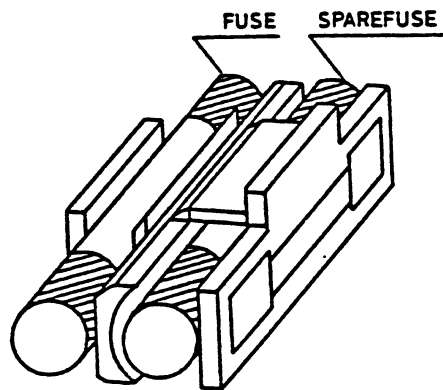
BACK





Stromversorgung im System KONTRON PSI 98

Die Stromzuführung erfolgt über einen Netzfilter zur Störungsunterdrückung mit eingebauter Netzsicherung (2.5 A Mittelträge). Diese Sicherung kann nach Abziehen des Netzkabels von außen gewechselt werden. Im Sicherungshalter ist ebenfalls eine Ersatzsicherung enthalten.



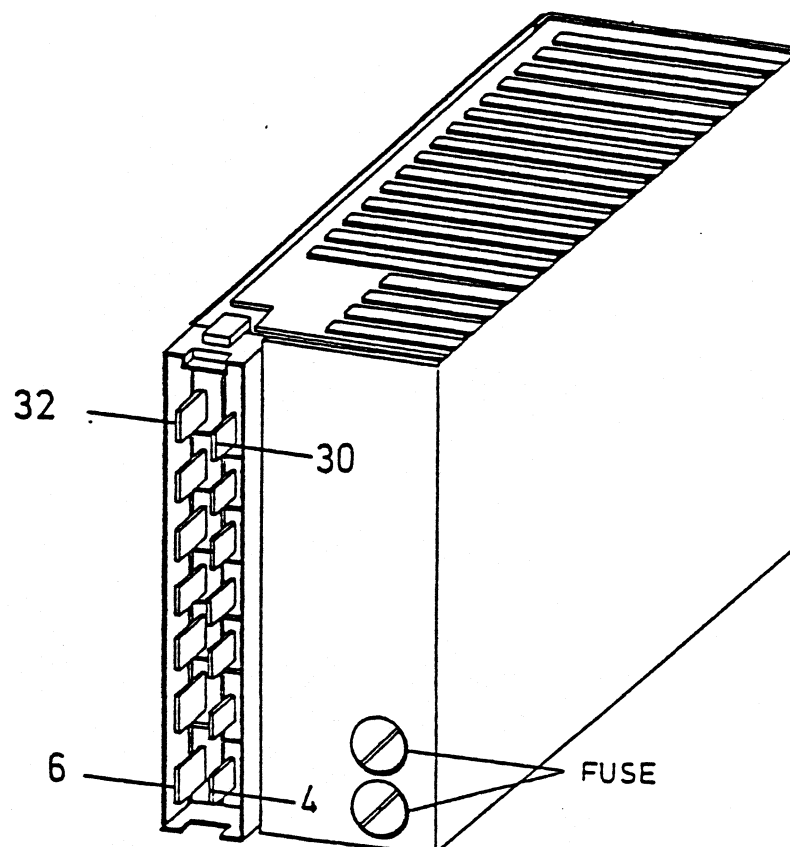


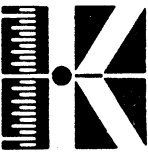
Pinbelegung des Anschlußsteckers der Netzteile:

Sämtliche beschriebenen Netzteile sind pinkompatibel. Natürlich sind an den Ausgangspins nur dann die entsprechenden Spannungen vorhanden, falls diese vom jeweiligen Netzteil auch erzeugt werden!

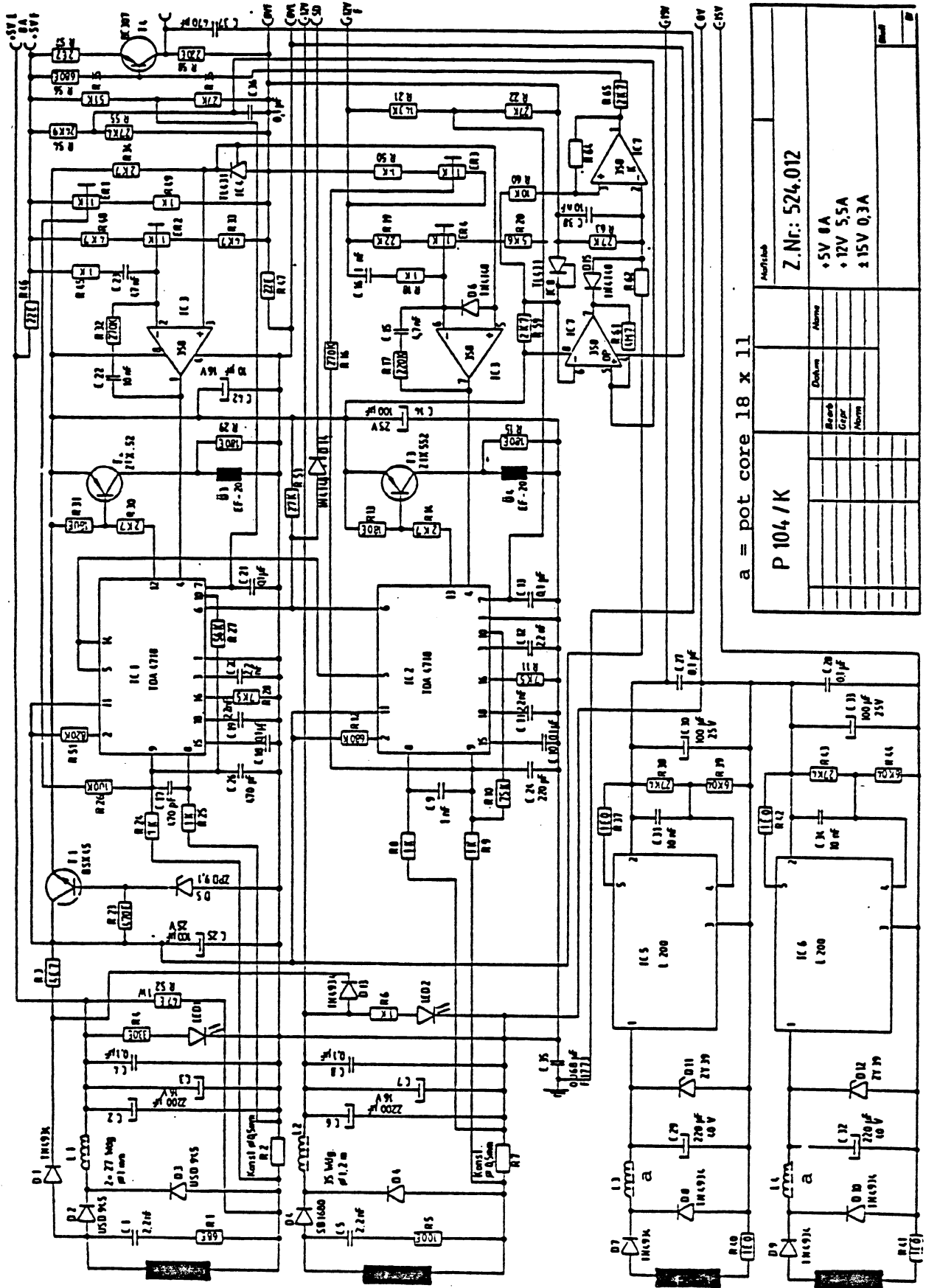
Pin	!	Bezeichnung
32	!	Schutzleiter
30	!	Netz 220 V (Phase)
28	!	Netz 220 V (Rückleiter)
26	!	evtl. Powerfail
24	!	evtl. Shutdown
22	!	-15V
20	!	+15V
18	!	-12V
16	!	+12V
14	!	5V-Masse
12	!	+5V
10	!	5V-Masse
8	!	+5V
6	!	- Fühler 5V
4	!	+ Fühler 5V

Der Pin 32 (Schutzleiter) ist etwas länger als die restlichen Pins.

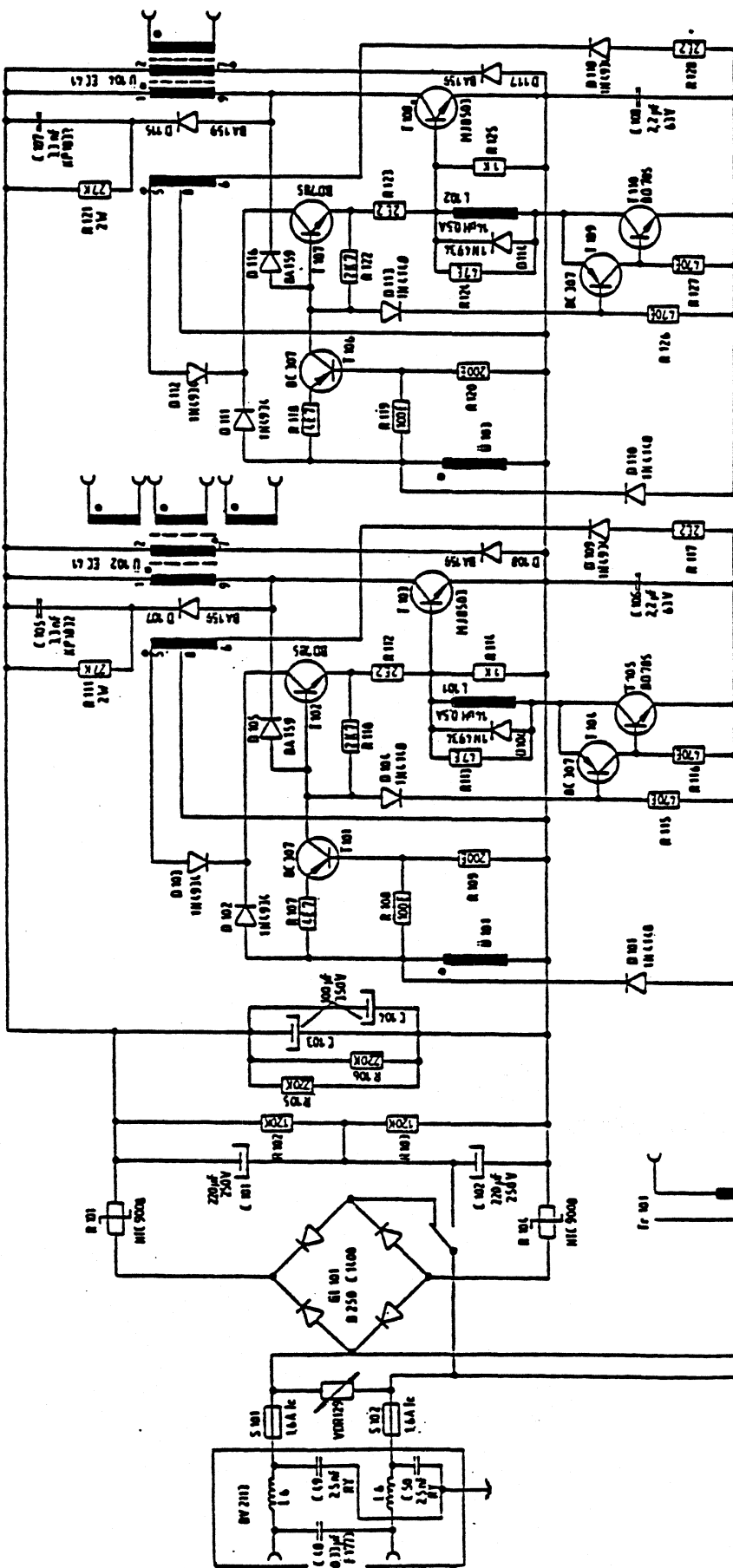




Schaltpläne



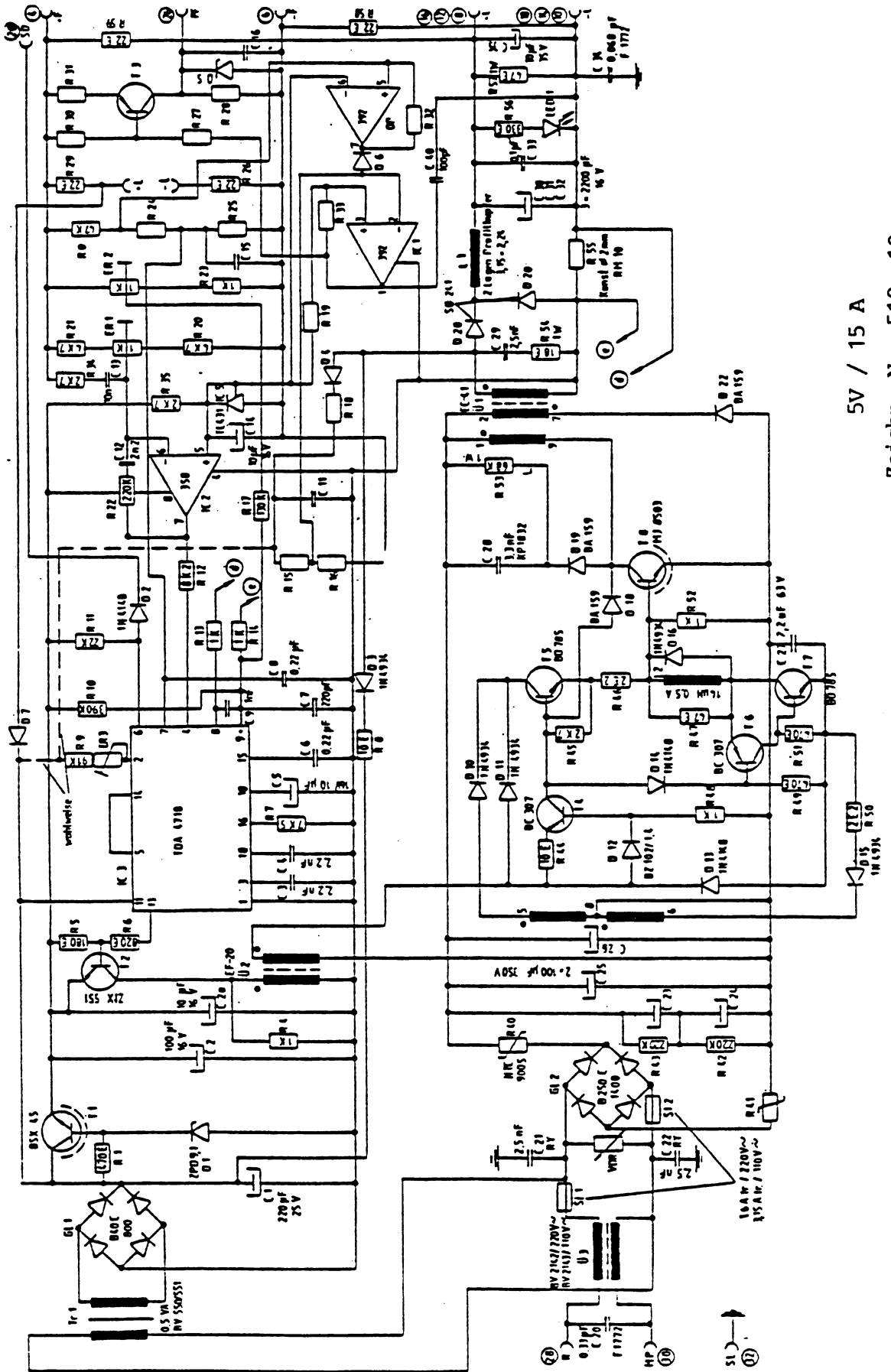
a = pot core 18 x 11	
Teil-Nr.	Z.Nr.: 524.012
Norm	+5V 0A
Datum	+12V 5.5A
Beleg	+15V 0.3A
Grün	
Norm	
P 104 / K	



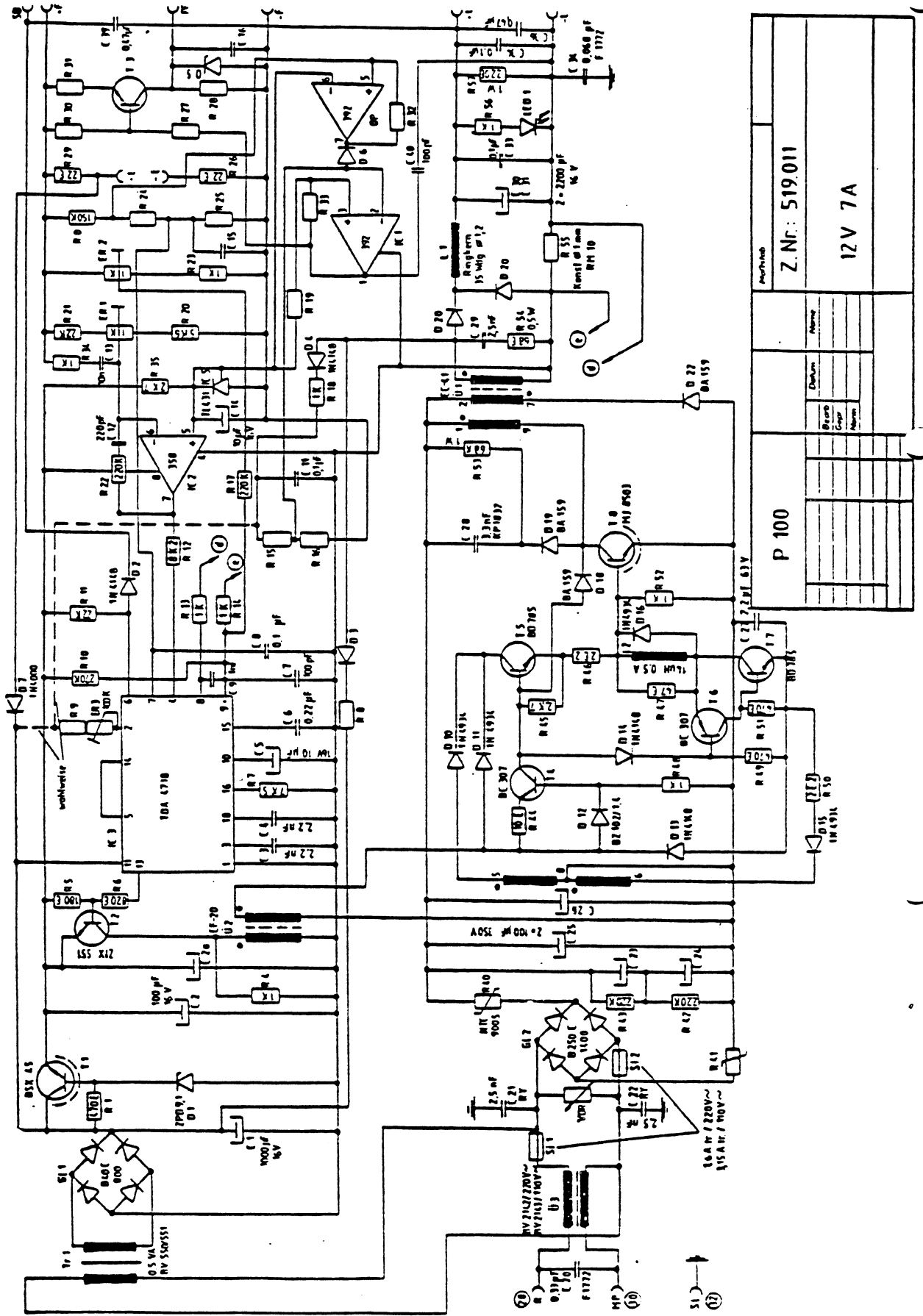
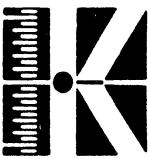
Transformator prim.
O.6 VA 2 x 110 V

C 101, C 102, R 104 nur bei 110V~

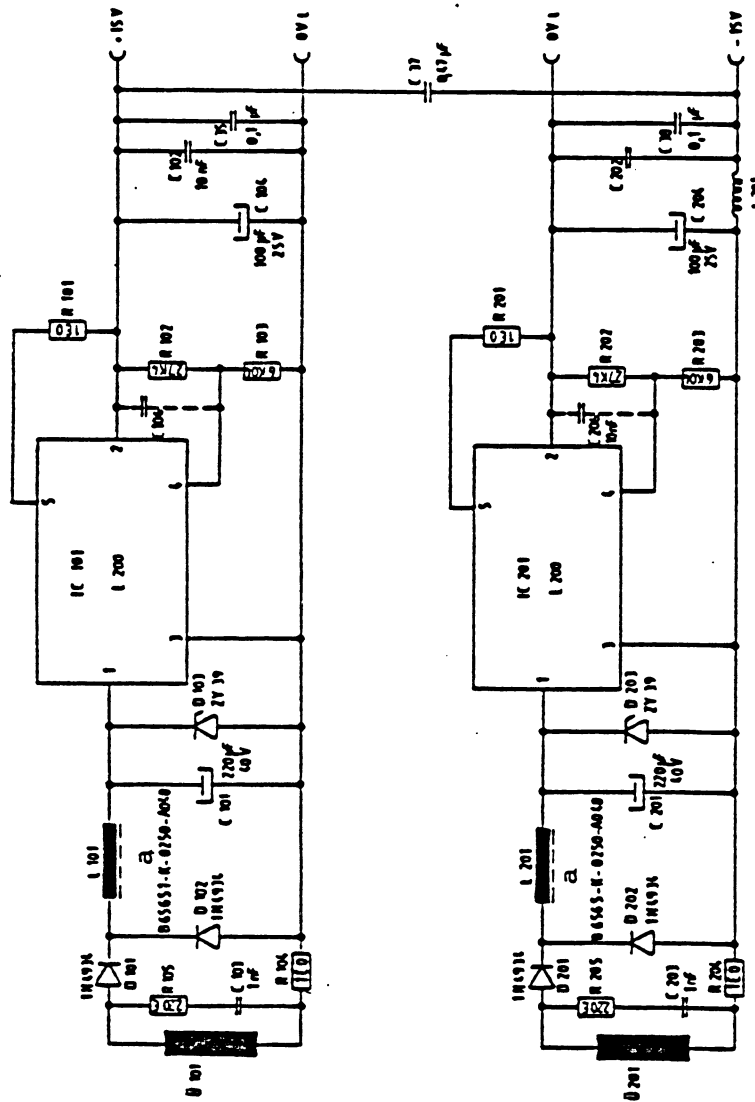
P 4100	Bezeichnung	Z.Nr.: 523.010	
	Standort		
	Datum		
	Abm.		
Proj.	Datum	Abm.	
Zust.	Zust.	Datum	Abm.



5V / 15 A
Zeichn. Nr. 519.010



Z.Nr.: 519.011	
12V 7A	
P 100	
Auch nach	
Name	
Datum	
Gezeichnet	
Geprüft	
Montiert	



a = 6 Layers ϕ 0,4
pot core 18 x 11

Zusatz P 100		Art-Nr.		Z.Nr.: 519.01 2
1	2	3	4	5
6	7	8	9	10
Datum		12V 7A ±15V 0,3A		
Änderung		Datum		
Name		Name		
Beschreibung		Beschreibung		
Lage		Lage		
Höhe		Höhe		
Breite		Breite		
Tiefe		Tiefe		
Gewicht		Gewicht		
Material		Material		
Zustand		Zustand		