

Herzlichen Glückwunsch!

Sie haben sich durch den Kauf der SYS 1 - Platine für einen hochmodernen CP/M-Computer entschieden - den ersten CP/M - Selbstbaucomputer auf dem deutschen Markt. Wir sind sicher, dass die SYS 1 bald, vielleicht zusammen mit FLO1 und OUT1 , in Ihrem System arbeiten wird.

Das vorliegende Handbuch soll mehrere Funktionen erfüllen:

- Ihnen beim Aufbau des Gerätes behilflich sein
- Ihnen die Wirkungsweise und Funktion des Gerätes näherbringen
- Ihnen bei einer (hoffentlich nicht nötigen) Fehlersuche Hilfestellung geben
- Ihnen bei der Entscheidung helfen, falls Sie vorerst nur das Handbuch, das Sie ja bei einer späteren Bestellung gutgeschrieben bekommen, bestellt haben.

Dies können wir nur mit Ihrer Hilfe: Teilen Sie uns bitte Fehler, die Sie im Handbuch finden (wir sind auch nur Menschen), Verbesserungs- oder Ergänzungsvorschläge mit! Wir sind Ihnen auch für Kritik jeglicher Art immer dankbar - natürlich freuen wir uns auch, wenn Sie mit den Unterlagen und dem System zufrieden sind und uns dies mitteilen!

Technische Daten SYS 1:

CPU	Z80-A (4 MHz)
Speicher	64 KByte RAM , 4 KByte EPROM
Taktfrequenz	4 MHz uneingeschränkt 6 MHz mit zusätzlicher BOOT-Logik, 150 ns RAMs und Z80-B CPU
CP/M-Laden (Bootstrap)	Über 4 KByte EPROM, das sich selbst ins RAM kopiert
Betriebssystem	CP/M, 60 KByte-Version
Busbelegung	ECB-Bus / Daisy chain

Stücklisten, Lieferumfang

SYS 1 wird in verschiedenen Formen geliefert: Sie können die Platine einzeln oder als Komplettbausatz beziehen. Wir liefern aber auch alle Bausteine einzeln.

Prüfen Sie bitte zunächst nach Erhalt Ihrer Sendung mit den folgenden Stücklisten diese auf Vollständigkeit.

Stückliste für SYS1P (P=Platine)

- 1 Platine mit Lötstoplack
- 1 Handbuch SYS1

Stückliste für SYS1B (B=Bausatz)

- 1 Platine mit Lötstoplack
- 1 Handbuch

- 9 Sockel, 14-polig
- 11 Sockel, 16-polig
- 6 Sockel, 20-polig
- 1 Sockel, 24-polig
- 1 Sockel, 40-polig

- 1 Z80-A CPU J12
- 8 4164 / 4864 RAMs, 64 KBit x 1 J21 -J28
oder 8264 HITACHI oder Mitsubishi, Pin 1 non conn.
oder NEC, 150 ns
- 1 2732 EPROM, programmiert mit Monitor J15

- 2 74LS00 4-fach NAND J8, J9
- 1 7404 / 74S04 Inverter für Taktgen. J1
- 1 74LS04 6-fach Inverter J11
- 3 74LS32 4-fach OR J7, J10, J13
- 1 74LS74 2-fach D-Flop-Flip J2
- 1 74LS122 Retrigger Monoflop J14
- 2 74LS157 4-fach 2zu1 Multiplexer J17, J18
- 2 74LS244 8-fach BUS-Treiber J19, J20
- 4 74LS245 8-fach Bustreiber, bidir. J3 - J6
- 1 74LS367 6-fach Bustreiber J16

- 11 33 Ohm Org/org/Schwarz R10-R20
- 1 330 Ohm Org/Org/Braun R3
- 6 1 KOhm Brn/Schw/Rot R1, R2, R6-R9
- 2 4,7 KOhm Gelb/Vio/Rot R4, R5
- 1 10 nF Kondensator C1
- 9 100 nF C5, C7-C14
- 3 10 uF Elko, Tropfen C2, C3, C6

1	4.0/8.0 MHz	Quarz	Q1
1	64-pol	Steckerleiste DIN 41612	

Bitte überprüfen Sie Ihren Bausatz und identifizieren Sie alle Teile eindeutig. Der Farbcode der Widerstände ist in der Stückliste angegeben. Bei den Kondensatoren ist der Wert meist aufgedruckt. Faustregel: Je grösser der Wert, desto grösser der Kondensator. Dies gilt bei Widerständen leider nicht.

Achtung: Elektrolytkondensatoren haben einen Pluspol, der am Gehäuse gekennzeichnet ist. Achten Sie beim Einlöten auf die richtige Lage!

Die Werte können bei Elkos bis zu +- 100 % schwanken, ohne die Funktion der Schaltung zu gefährden.

Die integrierten Schaltkreise stecken beim Bausatz übersichtlich in Styropor, die MOS - Bauteile, wie CPU, EPROM und Speicher werden in antistatischen Gehäusen ausgeliefert. Lassen Sie die Bausteine zunächst dort drin.

Achtung: Berühren Sie die so verpackten MOS-Bausteine möglichst nur am Gehäuse und nicht an den Anschlussbeinen! Entladen Sie sich vorher, z.B. durch Berühren eines geerdeten Gegenstandes, z.B. des Schutzleiters etc.

Die passiven Bauelemente werden im Beutel ausgeliefert.

Bitte prüfen Sie Ihren Bausatz auf Vollständigkeit. Sollte tatsächlich einmal ein Bauteil fehlen, benachrichtigen Sie uns bitte.

Aufbau des Gerätes

Prüfen Sie zunächst die Platine auf eventuelle Fertigungsfehler. Die Platinen werden zwar vom Hersteller und von uns geprüft, eine dritte Prüfung kann aber nicht schaden. Nehmen Sie sich die fünf Minuten Zeit und begutachten Sie die Platine bei gutem Licht. Achten Sie besonders auf Verbindungen, die sich zwischen zwei Leiterbahnen eingeschlichen haben könnten. Gemeinerweise schleichen sich solche Fehler immer unter IC's ein und sind später kaum mehr zu finden (Murphy!)

Die Platine hat ECB-Bus-Belegung. Sie ist auf Wunsch auch mit einem abtrennbaren Wrapfeld erhältlich.

Beim Aufbau der Platine benötigen Sie unbedingt Lötterfahrung!

BILD2 zeigt den Bestückungsplan des Gerätes

Legen Sie die Platine mit der Lötseite nach unten (mit "löts" bezeichnet) auf ein Stück Styropor. Damit erreichen Sie, dass sich die Sockelbeinchen beim Bestücken festhaken und Sie auf einen Satz alle IC - Sockel verlöten können.

Bestücken Sie nun nach Bestückungsplan die Sockel. Beachten Sie, dass Sie keine 14-polige Sockel an der Stelle von 16-poligen bestücken (umgekehrt ist der Fehler schwerer zu machen). Sockel haben, je nach Hersteller, eine Kennzeichnung für die Lage des ICs. Achten Sie darauf, dass diese Kennzeichnung (z.B. Aussparung) mit der gezeichneten Lage (alle ICs zeigen nach links zum Stecker oder nach oben) übereinstimmt.

Falls Sie nur die Platine gekauft haben : Verwenden Sie unbedingt für alle ICs Sockel! Sparen Sie bitte weder bei den ICs noch bei den Sockeln.

Wir verwenden in unseren Bausätzen grundsätzlich nur Texas-Instruments ICs und AMP-Flachprofil-Präzisionssockel, die beidseitig kontaktieren.

Bedecken Sie nun die mit Sockeln bestückte Platine mit einem Stück Karton o.Ä., drehen Sie sie um und verlöten Sie die Sockel. prüfen Sie hier, ob wirklich alle Beinchen der Sockel durchschauen und sich nicht etwa ein Beinchen umgebogen hat!

Arbeiten Sie bitte äusserst sorgfältig. Eine unsaubere Lötung kann Stunden späterer Fehlersuche bedeuten.

Prüfen Sie alle Lötunkte - Haben Sie kein Beinchen vergessen?

Bestücken Sie nun die passiven Bauelemente, zunächst die Widerstände. Prüfen Sie nach Stückliste den Farbcode, biegen Sie die Beine rechtwinklig ab und zwicken Sie nach dem Verlöten die überstehenden Drahtenden ordentlich ab.

Bestücken Sie anschliessend die Kondensatoren und den Quarz. Achten Sie beim Einlöten von Elkos auf die Lage des + Poles!

Löten Sie zuletzt den 64-poligen Stecker ein.

Der Aufbau ist damit beendet. Prüfen Sie nun nochmals Ihre Arbeit sehr sorgfältig. Achten Sie besonders auf Lötspitzer, die Kurzschlüsse hervorrufen können.

Schaltungsbeschreibung

BILD 1 zeigt den kompletten Schaltplan des Gerätes.

J1 übernimmt mit Q1 die Takterzeugung des Systems. Q1 schwingt mit 8 MHz; dieser Takt wird mit dem Teiler J2 auf 4MHz oder 6 MHz geteilt.

SYS1 ist nur für 4 MHz-Betrieb spezifiziert - 6 MHz-Betrieb sollten nur erfahrene Bastler versuchen!

Der Takt wird über J1/6 zum Systembus c29 und über J1/8 zum Takteingang der CPU, J12 geführt.

Alle LOW-Aktiven Eingänge der CPU, wie INT*,NMI*,Busrq*, und Wait* (* steht hier und im Folgenden für LOW-Aktiv) sind über die Widerstände R3,R7,R9, R6 und R8 auf High gehalten. Sie müssen vom Bus auf LOW gezogen werden.

Die Reset-Logik.

Der Reset-Vorgang wird vom Monoflop J14, einem 74LS122 durchgeführt. Beim Einsatz von dynamischen RAMs darf der RESET nicht einfach durch einen Druckknopf erzeugt werden, da die RAMs sonst während der Betätigungszeit keinen Refresh erhalten und somit Daten verlieren würden.

Beim Einschalten der Spannungsversorgung lädt sich C3 über R4 auf. Beim Erreichen einer bestimmten Schwelle triggert das Monoflop J14 und gibt am Ausgang 6 einen Impuls ab, dessen Länge durch C4 und R5 bestimmt ist.

Der Ausgangsimpuls wird ebenfalls zur Bootstrap-Logik nach J9/1 geführt. J9 bildet hier ein RS-Flip-Flop, das nach dem Reset*-Impuls an J9/6 eine "0" ausgibt.

Damit ist die Monitor-ROM-Einblendlogik aktiviert, d.h. nun werden Daten zunächst aus dem EPROM J15 gelesen.

Um diese Logik zu verstehen, nun zunächst ein kleiner Ausflug in die Software: Nach dem Rücksetzen findet das sogenannte Umladen oder Bootstrapping statt: Ein kleines Hilfsprogramm kopiert hierbei u.A. den Inhalt des EPROMs in die oberen 4 KByte des RAMs.

Zunächst darf also nur das EPROM angesprochen werden, bei hohen Adressen aber auch das RAM. Nach Beendigung des Umladevorgangs muss das EPROM ganz abgeschaltet werden.

Die "0" von J9/6 führt an J13/13, ein Oder-Gatter. Damit wird der Zustand des Adressbits 15, das im Eingang 12 des Gatters liegt, nach J13/11 und nach J13/10 weitergeschaltet.

Liegt das Adressbit A15 auf "0", wird damit über J15/20 das Eprom freigegeben. Über J13/9 wird das gepufferte Signal MEMRQ* verodert, d.h. das EPROM J15 wird immer dann freigegeben, wenn MEMRQ* und A15* vorliegen.

Dieses Signal wird durch J8 invertiert und gelangt an den Eingang von J13/1. Die anstehende "1" sperrt damit das J13; die (über J16 verzögerten) MEMRQ*-Anforderungen kommen nicht zum dynamischen RAM.

Dadurch ist gewährleistet, dass die CPU in der Umladephase nur aus dem EPROM liest.

Ist A15 auf "1", wird das EPROM gesperrt und das RAM freigegeben. Der Transfer kann also stattfinden.

Nach dem Transfer kann die BOOTLogik abgeschaltet werden. Dies geschieht durch einen Zugriff auf den Adressbereich zwischen 4000H und 7FFFH.

Bei diesem Adressbereich ist das Adressbit A15 "0" und das Adressbit A14 "1". Dieser Zustand wird zur Abschaltung verwendet:

A15 wird über J9/12 und 11 invertiert und ist damit ebenfalls "1". J9/9,10 verodert die beiden "1"-Signale und gibt eine "0" am Ausgang J9/8.

Diese "0" wird mit dem Signal MEMRQ* und RD* verodert (mit J10/10,9) und schaltet das Flip-Flop wieder zurück.

Damit ist mit J13/1 das RAM freigegeben, mit J13/10 das EPROM gesperrt.

Ansteuerung des RAMs

Der Datenbus wird über den Treiber J20 (74LS244) ständig auf die Dateneingänge der RAMs geschaltet. Die Ausgänge der RAMs werden mit J19 auf den Bus geschaltet, jedoch nur dann, wenn ein Lesezugriff vorliegt. Hier wird das Signal RD* von der CPU (Pin 21) über J13/5 bei abgeschalteter Bootstrap-Logik an die Gate-Eingänge J19/19 und J19/1 geführt.

Bei 64 K-Speichern wird der Adressbus im Multiplexbetrieb angelegt. Zunächst werden die niederwertigen acht Bits angelegt; dies wird dem Speicher mit dem RAS*-Signal mitgeteilt; dann werden die höherwertigen Bits A8-A16 angelegt und dem Speicher ein CAS*-Signal gegeben.

Diese Aufgabe übernehmen die Multiplexer J18 und J17.

Zunächst wird mit einem MEMRQ*-Signal direkt ein RAS*-Signal erzeugt. Das MEMRQ*-Signal wird mit J16 verzögert und schaltet dann die Multiplexer J18, J17 um - der höherwertige Teil des Adressbusses wird angewählt.

Über J16/4,5,6,7 wird das Signal weiter verzögert und als CAS* den Speichern angeboten. Durch diese Verzögerung ist auch gewährleistet, dass die Multiplexer umgeschaltet haben.

Hinweis: Die im Schaltplan eingezeichneten Brücken dienen dazu, die Verzögerungszeiten auf verschiedene RAMs anzupassen. Umfangreiche Versuche haben jedoch ergeben, dass die 64 K RAMs gegenüber Timingdifferenzen sehr unempfindlich sind; die Schaltung funktioniert eigentlich mit jeder Brückenbelegung.

Auch ein Variieren der Precharge-Time der RAMs, die in unserer Schaltung um einige Nanosekunden ausserhalb der Spezifikation liegt, hat keinen Einfluss auf das Funktionieren der Baugruppe.

Das Signal gelangt über J13/4 auch an J19 und gibt diesen frei - die Daten können auf den Datenbus gelangen.

Der interne Adress- und Datenbus ist über die Bustreiber J4, J5 und J6 vom externen Bus getrennt. Eine Buslogik übernimmt die Richtungssteuerung der bidirektionalen Bustreiber 74LS245.

DMA-Betrieb

DMA (Direct Memory Access) - Betrieb der SYS1-Karte ist nur mit Einschränkungen möglich.

Grundsätzlich muss bei DMA-Betrieb eine externe Logik den Refresh der Speicher garantieren, da der Z80 mit seiner internen Refresh-Steuerung ja abgeschaltet ist. Weiter ist vor dem Einsatz des DMA-Betriebes eine Schaltungsänderung vorzunehmen:

J8/1,2 auftrennen und mit J10/11 verbinden.

Diese Änderung bewirkt, dass bei DMA nur dann die Richtung von J6 umgeschaltet wird, wenn MEMRQ* UND RD* vorliegen, also nur wenn ein Speicherlesezyklus durchgeführt wird.

Falls kein DMA mit der Baugruppe durchgeführt wird, ist diese Änderung ohne Belang.

Liegt ein Speicherzugriff der CPU vor, so wird das interne RAM adressiert, die Bustreiber müssen nach aussen geschaltet sein. Bei einem externen Zugriff (Ein- Ausgabe) müssen die Daten vom externen Bus geholt werden, die Treiber müssen in Richtung CPU geschaltet werden. Bei DMA-Betrieb, der über das Signal BUSRQ* angezeigt wird, müssen die Adresstreiber von aussen nach innen, die Datenbustreiber je nach gewählter DMA-Richtung (Lesen oder Schreiben) arbeiten.

Beim RD*-Signal von der CPU (J12/21) wird über J8/1,2,3 und J7/9,8 sowie J8/5,6 die Richtung des Datenbustreibers J6 umgeschaltet.

Beim RD*-Signal wird der Datenbustreiber nach innen zur CPU geschaltet.

Richtig wäre hier (siehe obige Änderungsanweisung) die Umschaltung nur dann durchzuführen, falls RD* und MEMRQ* vorliegen.

Über J11/6 ist das Signal BUSAK* auf den Bus geführt.

Inbetriebnahme der Baugruppe

Die RESET-Taste wird entweder direkt auf der Platine angebracht oder über ein verdrehtes Kabel parallel zu C3 angelötet.

1. Einsetzen der ICs bis auf CPU(J12), EPROM (J15) und RAMs (J21 bis J28)
 2. Lage der ICs prüfen: Zeigen alle Nasen zum Stecker?
 3. Falls die Baugruppe an eine Rückwandverdrahtung angeschlossen wird: ALLE Pins der Reihen a und c messen und auf zulässige Spannungen prüfen.
 4. +5V anlegen
 5. Takt mit Oszilloskop prüfen: An J12/6 (CPU) muss der Takt anliegen.
 6. Messen an Pin 26: Bei Betätigen der RESET-Taste muss ein sehr kurzer Impuls nach "0" erscheinen, der Ruhepegel ist "1"
 7. An den Pins 11(+5V), 16(INT*), 17(NMI*), 24(WAIT*) und 25(BUSRQ*) müssen +5V liegen.
 8. Pin 29(0V) muss an 0 liegen.
 9. Nun können (nach Abschalten der Versorgungsspannung!) die restlichen ICs bestückt werden.
- Achten Sie auf die Speicher: Verwenden Sie NUR Typen mit PIN1 non connected (nicht verbunden).
10. Um den Monitor in Betrieb zu nehmen, muss die OUT1-Karte in Betrieb sein. Am angeschlossenen Bildschirm muss nach RESET die Begrüßungsmeldung des Monitors erscheinen.

Test der Karte ohne OUT1

Die Karte kann auch ohne Ausgabekarte und Monitor geprüft werden. Dazu wird mit dem Oszilloskop nach dem Einschalten am Pin 20 der CPU J12 (IORQ*) gemessen. Hier müssen bei ordnungsgemäßer Funktion Pulse erscheinen, die die überwiegende Zeit auf 1 liegen und nach 0 gehen. Hierbei wird auf die SIO zugegriffen; der Monitor prüft die Tastatur, ob eine Eingabe vorliegt.

Erscheinen hier keine Pulse, ist die Platine sorgfältig zu prüfen:

- Lötfehler?
- Fehlbestückung
- IC verkehrt herum eingesetzt (wird meist SEHR heiss!)

Wird kein Fehler gefunden, muss ein Test-EPROM verwendet werden. In dieses Eprom muss das folgende, kleine Testprogramm programmiert werden, das abwechselnd den Wert 00 und FFH in eine Speicherzelle schreibt:

Adresse	HEX-Code	Source
0000	3E00	LOOP: MVI A,0
0002	320080	STA 8000H
0005	3A0080	LDA 8000H
0008	3EFF	MVI A,0FFH
000A	320080	STA 8000H
000D	3a0080	LDA 8000H
0010	18EE	JMPR LOOP

Nach RESET mit diesem Test-Eprom muss am Pin 22 der CPU (WR*) eine Pulsfolge mit negativen Impulsen erscheinen. Falls nicht, liegt ein Fehler in der EPROM-Ansteuerung vor. Die Signale am EPROM (CE*,OE*, Daten, Adresssen) sind zu überprüfen.

BILD3 zeigt die Impulse.



Nach RESET mit diesem Test-Eprom muss am Pin 22 der CPU (WR*) eine Pulsfolge mit negativen Impulsen erscheinen. Falls nicht, liegt ein Fehler in der EPROM-Ansteuerung vor. Die Signale am EPROM (CE*,OE*, Daten, Adresssen) sind zu überprüfen.

BILD3 zeigt die Impulse.

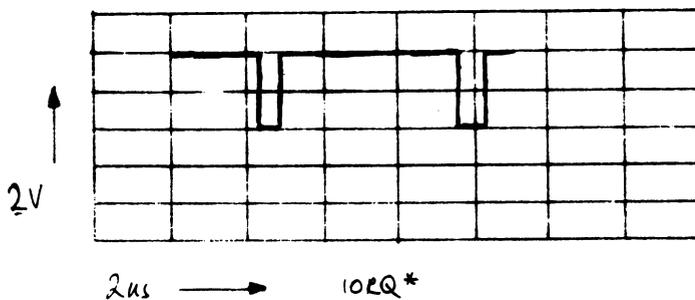


BILD3 IORQ-Signal

Mit einem Zweikanal-Oszilloscoph ist nun das Timing der dynamische RAMs zu beobachten. Es wird ein SCHREIB UND DANN EIN Lesezyklus ausgeführt. Alle acht Datenleitungen werden direkt an der CPU mit einem Kanal gemessen; der andere Kanal wird an den CAS*-Anschluss der RAMs gelegt.

BILD4 zeigt das Timing, BILD5 die Busbelegung der Karte (ECB-Bus)

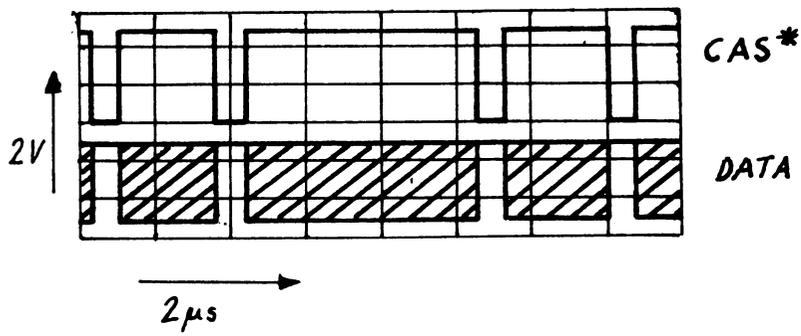


BILD4 Timing an den RAMs

Signal	a	c	Signal
+5V	o	1	+5V
D5	o	2	D0
D6	o	3	D7
D3	o	4	D2
D4	o	5	A0
A2	o	6	A3
A4	o	7	A1
A5	o	8	A8
A6	o	9	A7
WAIT*	o	10	-
BUSRQ*	o	11	IEI
A18	o	12	A19
+12V	o	13	-
-	o	14	D1
-5V	o	15	-15V
2PHI	o	16	IEO
A17	o	17	A11
A14	o	18	A10
+15V	o	19	A16
M1*	o	20	NMI*
-	o	21	INT*
(-12V)	o	22	WR*
-	o	23	-
VC MOS	o	24	RD*
-	o	25	HALT*
-	o	26	PWRCL*
IORQ*	o	27	A12
RFSH*	o	28	A15
A13	o	29	PHI
A9	o	30	MREQ*
BUSAK*	o	31	RESET*
GND	o	32	GND

BILD5 Busbelegung nach ECB (*=LOW-Aktiv)

Achtung: Daisy chain für IEI und IEO

Das heisst: Auf der Busplatine dürfen c1 und c16 nicht 1:1 durchverbunden sein. Es muss c11 von Einbauplatz 1 (links) mit c16 von Einbauplatz 2 ; c11 von Einbauplatz 2 mit c16 von Einbauplatz 3 usw verbunden werden.

Reparatur von Baugruppen

Natürlich helfen wir Ihnen auch nach dem Kauf, falls Ihre Baugruppe nicht zum Laufen kommen sollte. Beachten Sie bitte die folgenden Regeln:

Unsere Garantie erstreckt sich bei Platinen und Bausatzlieferungen nur auf die gelieferten Teile, nicht auf das Funktionieren der Baugruppe. Bei geprüft gelieferten Fertiggeräten garantieren wir natürlich deren Funktion, weitergehende Haftung im Fehlerfall, insbesondere für Folgeschäden, ist ausgeschlossen.

Die Garantiezeit beträgt sechs Monate.

Sie können defekte Geräte gerne zum Reparieren einsenden. Wir können jedoch nur Baugruppen reparieren, die voll mit Sockeln bestückt sind und mit säurefreiem Lötzinn gelötet sind. Die Baugruppe darf keine Veränderungen am Bus oder an sonstigen Steckverbindungen aufweisen. Wir sind im Ermessensfalle berechtigt, eine Reparatur abzulehnen.

Sollte der Fehler auf unser Verschulden zurückzuführen sein, ist die Reparatur für den Kunden kostenlos. Ansonsten reparieren wir nach kundenfreundlichen, sehr günstigen Pauschaltarifen, die derzeit (Juni 1983) wie folgt liegen:

Reparatur, pauschal:

Platine von GES : DM 100.-- + MWSt.
+ Kosten der defekten Bauteile

Bausatz von GES : DM 50.-- + MWSt.
+ Kosten der defekten Bauteile

Prüfung und Abgleich:

Platine von GES : DM 20.-- + MWSt.

Bausatz von GES : DM 10.-- + MWSt.

Zu reparierende Baugruppen müssen gut Verpackt FREI angeliefert werden! Legen Sie bitte eine möglichst genau Fehlerbeschreibung bei.

Wir reparieren nur Baugruppen, die bei uns oder einem unserer Händler gekauft wurden. Rechnungskopie beilegen!

Wir hoffen jedoch, dass Sie eine Reparatur nicht nötig haben - unsere Reparaturquote liegt seit vier Jahren unter einem Prozent!

Wir wünschen Ihnen viel Spass mit Ihrem Gerät.

Fehlermeldungen, Kritik

Über Fehlermeldungen und einigermaßen sachliche Kritik sind wir immer dankbar! Teilen Sie uns Fehler und Verbesserungsvorschläge bitte mit - Sie helfen damit sich und Ihren Kollegen.

Übersicht über die Monitor-Befehle

B

-
Blockieren der Eingabetastatur. kann mit CTRL N (Code 1EH) wieder freigegeben werden.

C anf,end

Vergleichen der Eingabe über die Reader-Schnittstelle mit dem Speicher.
Beispiel: C 100,200

D anf,end

Display (Anzeige) eines Speicherbereiches im Hex-Cde. die Ausgabe kann durch CTRL C gestoppt werden.

E/endadr/

Erzeugt ein EOF. Angaben zwischen / / sind optional.

F anf,end,wert

Füllt den Speicher von anf bis end mit wert.
Beispiel: F100,200,55

G start /,break1/,/break2

Start eines Anwenderprogrammes mit max. 2 Breakpoints.

H wert1,wert2

HEX-Arithmetik, berechnet Summe und Differenz.

J anf,end

Test eines Speicherbereiches, zerstört nicht.

L anf

Laden vom Reader-Kanal. Gegenstück: U-Befehl. Je acht Bit bilden eine Einheit.

M anf,end,ziel

Move-Transportbefehl. Ein Speicherbereich wird verschoben. Ziel muss ausserhalb anf und end liegen.

N

-
Ausgabe von Null-Zeichen über den Punch-Kanal

P adr

Eingabe von ASCII-Zeichen in den Speicher, beginnend ab adr. Mit dem Zeichen "-" kann das letzte eingegebene Zeichen wieder gelöscht werden.

QI portadr oder QO portadr,wert

Mit QI lassen sich IO-Ports abfragen,mit QO setzen

R bias /,reladr/

Einlesen eines HEX-Files über den Punch-Kanal. Wird ein bias angegeben,so wird dieser Wert addiert.

S adr

Modifizieren von Speicherzellen. Mit Leerzeichen kann bis zur nächsten Speicherzelle vorangeschritten werden,mit Eingabe einer zweistelligen HEX-Zahl und darauffolgendem Komma wird diese dort abgelegt. Mit CR wird die Eingabe abgeschlossen.

T anf,end

Ausgabe des Speicherinhaltes zwischen anf und end als lesbaren Text. Nicht darstellbare Zeichen werden durch "." gezeigt.

U anf,end

Binärausgabe über Punch-Kanal. Ist mit L wieder lesbar.

V anf,end,ziel

Vergleich eines Speicherbereiches von anf bis end mit ziel. Unterschiede werden an der Konsole ausgegeben.

W anf,end

Ausgabe eines Speicherbereiches in Intel-Hex-Format über den Punch-Kanal. Kann mit R wieder geladen werden.

X /register neuer wert/

Registerausgabe durch X. Wird ein Register eingegeben,so kann dessen Inhalt durch neuer wert ersetzt werden.

Y wert1/,wert2/,wert3,..../

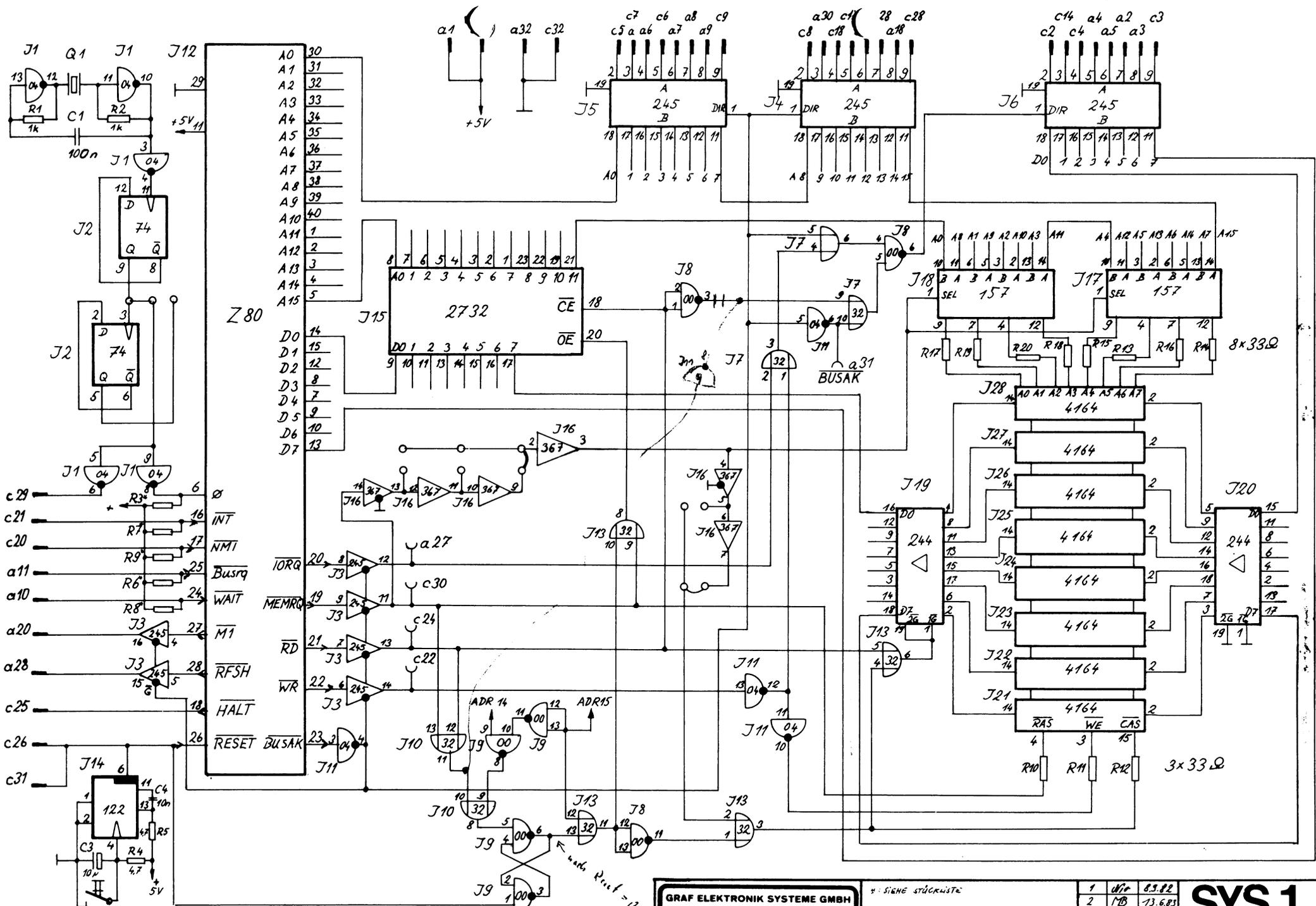
Suchen nach einer Zeichenfolge (max. 255 Byte).

Z

-
Gibt den höchsten Speicherbereich aus,hier EFFF

I

-
Floppy-Boot-Start,verschiedene Optionen sind möglich.
1 = 8 Zoll ; 2 = 5 1/4 Zoll.



S. 2. 88

GRAF ELEKTRONIK SYSTEME GMBH
 Magnusstraße 13
 8960 Kempten
 Tel. 0831/61930

*: SIEMENS STÜCKLISTE

1	Wp	8.3.82
2	MB	-13.6.83

SYS 1

Accu Pufferung für CPU Platine

