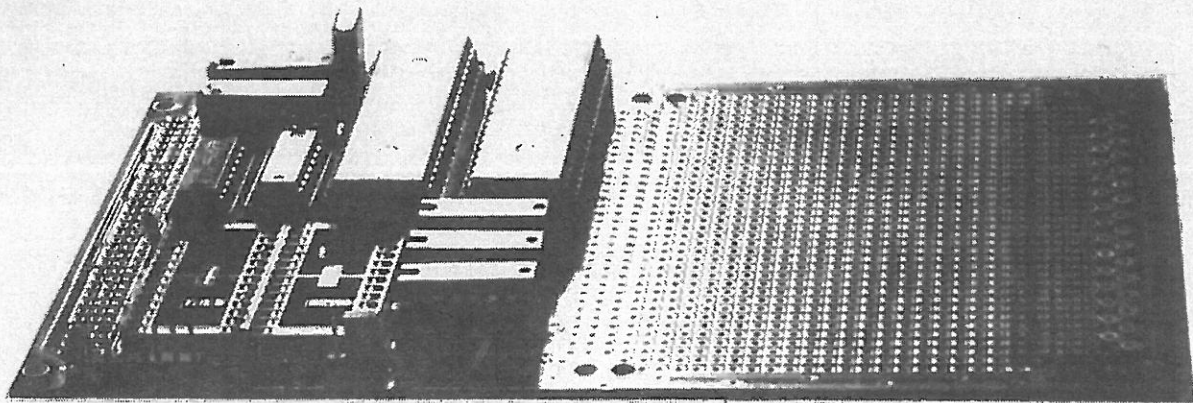


# EPAC-80

**Einplatinencomputer**

**Handbuch**



 **CONITEC**  
J. H. Christian Lötter KG · Datensysteme

## INHALTSVERZEICHNIS

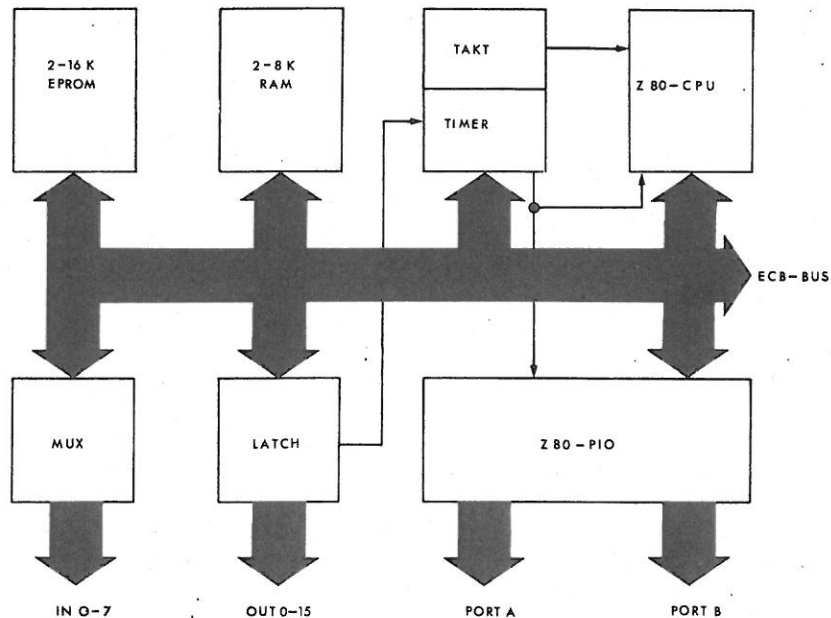
Technische Daten .....	2
EPAC-80 - für schnelle Entwicklungen .....	3
Schaltung .....	4
Timer .....	4
Dekodierung .....	5
Die PIO .....	5
Ein/Ausgänge .....	6
Aufbau .....	8
Systemadressen .....	9
Jumper .....	10
Testprogramm .....	11
Schaltplan .....	12
Bestückungsplan .....	13
Stückliste .....	13
Steckerbelegung .....	14

## EPAC-80 - technische Daten

- Allzweck-Einplatinencomputer für 1000 Anwendungen
- Z80-CPU, Taktfrequenz 2.4576 - 6.0 MHz
  
- **Speicher:** zwei 28-polige "Bytewise"-Sockel für EPROM's von 2-16 KByte (z.b. 2716, 2732, 2764, 27128) und RAM's von 2-8 KByte (6116, 6264, 5564, 2630)
  
- **14-Bit-Timer** mit Watchdog-Funktion, per Software rücksetzbar, kann bei Systemstörungen Interrupts oder CPU-Reset auslösen; auch als Baudratengenerator oder Intervalltimer einsetzbar; 8 verschiedene Taktfrequenzen (150 - 19200 Hz) stehen an den Anschlüssen zur Verfügung
  
- **Ein/Ausgänge:** insgesamt 45 Leitungen
  
- Z80-PIO mit zwei bidirektionalen 8-Bit-Ports mit Handshake-Leitungen (Port A und B), unterstützt Vektor-Interrupts
  
- 16 **Steuerausgänge** (OUT0-15), von der CPU paarweise ansprechbar, mit TTL-Latches bestückt; wahlweise können Hochstrom-Latches vom Typ NE590 (max. 250 mA, Open-Drain) eingesetzt werden
  
- 8 **Signaleingänge** (INO-7), von der CPU paarweise abfragbar; ein nicht-maskierbarer **Vorrang-Interrupteingang** (/NMI)
  
- **Anschlüsse:** CPU-Signale am ECB-Bus-Anschluß zur Ansteuerung von Zusatzkarten oder zum Austesten der Karte mit externer CPU; I/O-Leitungen an 64-poligem Anschluß für Pfofen- oder VG-Leiste
  
- **Großes Wire-Wrap-Feld** (ca. 100x75 mm) mit auf Lötunkte geführten Anschlüssen für einen 21/31-poligen Stecker (DIN 41617) bzw. eine 64/96-polige VG-Leiste (DIN 41612); weiteres kleines Wrap-Feld (18 Lötunkte), z.b für Treibertransistoren; Anschlüsse für **Spannungsregler** (7805) auf der Karte
  
- **Betriebsspannung:** 5 Volt (ca. 250 mA)
  
- **Maße:** A-Version (mit kleinem Wrap-Feld) 100x86 mm  
B-Version (mit großem Wrap-Feld) 100x160 mm (Europaformat)

## EPAC-80 - für schnelle Entwicklungen

EPAC-80 ist ein kleiner, aber leistungsfähiger Computer zur Simulation von Logikschaltungen oder Schnittstellen. Mit einem Z80-Prozessor, 44 I/O-Leitungen, maximal 16 KByte EPROM, 8 KByte RAM und einem 14-Bit-Timer kann das Gerät (EPAC = Einplatinen-Allzweck-Computer) seinem Namen voll gerecht werden. Das Blockschaltbild zeigt den internen Aufbau.



Eine Spezialität des EPAC ist der ECB-Bus-Anschluß, der jedem Besitzer eines ECB-Systems die Entwicklung von Anwendungsprogrammen besonders leicht macht. Nimmt man nämlich CPU und Speicher aus den Sockeln, so wird der EPAC zur reinen I/O-Platine, die wie jede andere Systemkarte über den ECB-Bus angesteuert werden kann.

Damit lassen sich Programme auf der Karte ausgiebig testen, ohne daß man bei jeder kleinen Änderung EPROM's löschen und neuprogrammieren muß. So kann z.B. die CP/M-Karte PROF-80 in ein Entwicklungssystem für den EPAC verwandelt werden. Ist das Anwendungsprogramm fertig, wird es - hoffentlich - endgültig und für alle Zeiten in das EPROM eingebrannt. Der EPAC ist nun in der Lage, wieder mit der CPU versehen seiner eigentlichen Aufgabe nachzukommen.

Wenn CPU und Speicher in den Sockeln bleiben, kann EPAC auch als CPU-Karte die Kontrolle über den ECB-Bus übernehmen. Allerdings ist die Erweiterungsfähigkeit hier eingeschränkt; die Bussignale sind nicht gepuffert, so daß nur zwei oder drei weitere Karten angesteuert werden können.

## S c h a l t u n g

Das RC-Glied R6-C3 sorgt für das automatische Rücksetzen der CPU (Z8) beim Einschalten. Ein aus drei Invertern (Z2) gebildeter Quarzoszillator versorgt die Karte mit dem nötigen Systemtakt. Normalerweise beträgt die Taktfrequenz 2.4576 MHz; aus dieser krummen Zahl werden auf der Karte durch Herunterteilen Frequenzen von 19200 Hz - 150 Hz gewonnen, die z.B. für eine serielle Schnittstelle oder eine Interrupt-Uhr interessant sind.

Die Karte kann auch mit 4 MHz oder - für besonders schnelle Anwendungen - mit 4.9152 bzw. 6.0 MHz betrieben werden; in den beiden letzten Fällen müssen CPU und PIO vom Z80B-Typ zum Einsatz kommen.

## T i m e r

Das Herunterteilen der Taktfrequenz übernimmt der 14-Bit-Timer CD4020 (Z3). Er liefert an seinen die Ausgängen Rechtecksignale von 19200 - 150 Hz und läßt sich durch eine "1-0"-Flanke am Portausgang OUT8 zurücksetzen. Alle Timer-Ausgänge nehmen dann den "0"-Zustand an.

Das RC-Glied R7-C4 begrenzt den Rücksetzimpuls, so daß der Timer nie für längere Zeit stehenbleibt. Dies ist vorteilhaft für seine "Watchdog"-Funktion (s.u.). Wenn allerdings für irgendeine Anwendung ein programmgesteuertes Stoppen erforderlich ist, muß R7 entfernt und C4 mit einem Drahtstück überbrückt werden. Dann läuft der Timer nur, solange OUT8 auf "1" gesetzt ist.

Der Timer kann wahlweise die CPU "resetten", einen nichtmaskierbaren Interrupt (NMI) auslösen oder über die PIO periodische Vektor-Interrupts erzeugen. Diese Funktionen sind über die Jumper J-5 und J-6 einstellbar. Mit Hilfe der Vektor-Interrupts läßt sich auf der Karte ohne zusätzliche IC's eine serielle Schnittstelle einrichten, indem die Parallel-Seriell-Wandlung der Daten per Software - mit einer interruptgesteuerten Zeitschleife - realisiert wird.

Die zweite Aufgabe des Timers ist die eines "Wachhundes" (Watchdog) gegen Systemstörungen. Dazu wird das Ausgangssignal auf den Reset- oder NMI-Eingang der CPU geführt. Die Systemüberwachung funktioniert folgendermaßen:

Nach dem Einschalten der Spannung beginnt der Timer zu laufen und erwartet nun von der CPU periodische Rücksetz-Signale. Der Ausgang OUT8 muß hierfür kurzzeitig auf "1" und dann wieder auf "0" gesetzt werden. Sobald diese Signale für eine bestimmte, voreinstellbare Zeit ausbleiben, setzt der Timer seinerseits über den Inverter, J-5 und D1 die CPU zurück. Dadurch hat das System keine Chance, durch einen Störimpuls oder eine Fehleingabe auszusteigen bzw. in einer Endlosschleife hängen zu bleiben.

In der Watchdog-Funktion wird mit dem Jumper J-4 die Ansprechzeit des



## E P A C - 8 0

Timers eingestellt. Die Stellung von J-5 bestimmt, ob nach Ablauf dieser Zeit ein Reset oder ein Prioritäts-Interrupt (NMI) ausgelöst wird. Im letzten Falle sollte auf der NMI-Einsprungadresse (0066h) als erstes eine Befehlsfolge zum Rücksetzen des Timers stehen (s.u.).

### D e k o d i e r u n g

Für den Zugriff auf die Speicher- und Portbausteine ist der Demultiplexer Z4 zuständig. Er erzeugt in Abhängigkeit der CPU-Adressen die jeweiligen Auswahlssignale (Chip-Select). Das EPROM in Sockel 1 (Z9) belegt die Adressen 0000h-3FFFh, das RAM (Z10) wird auf 4000h-5FFFh angesprochen.

An den Lötunkten P1 und P2 sind weitere Chip-Select-Signale für die Adressen 8000h-BFFFh bzw. C000h-FFFFh zugänglich. Dadurch können, falls nötig, auf dem Wrap-Feld noch weitere Speicherbausteine angeschlossen werden.

Die zweite Hälfte des Demultiplexers Z4 adressiert die PIO und die anderen auf der Karte befindlichen I/O-Ports. Deren Adressen lassen sich mit der Lötbrücke L-3 noch verändern, falls sie auf dem ECB-BUS anderweitig belegt sind. Wird L-3 umgelötet, so muß von allen im folgenden genannten I/O-Adressen der Wert 80h abgezogen werden.

Auch hier stehen noch zwei Select-Signale zum Anschluß weiterer Portbausteine zur Verfügung. /STB ist auf den Stecker am Wrap-Feld geführt und geht kurzzeitig auf "0", wenn eine der Adressen 90h-9Fh durch einen IN- oder OUT-Befehl angesprochen wird. Diese Leitung ist primär als "Strobe"-Signal, z.B. für einen ASCII-Tastatureingang oder eine Centronics-Schnittstelle, gedacht.

Alternativ kann man daran aber auch den Chip-Select-Eingang einer zweiten PIO, einer STI o.ä. anschließen. Die gleiche Funktion erfüllt die Leitung /IOS; sie ist auf den ECB-Bus-Stecker geführt und reagiert auf die I/O-Adressen 80h-8Fh.

### D i e P I O

Die Z80-PIO (Z12) bietet zwei bidirektionale 8-Bit-Parallelports mit Quittungsbetrieb (Handshake). Jede der insgesamt 16 Portleitungen läßt sich als Eingang oder Ausgang konfigurieren. Die PIO unterstützt außerdem den Z80-Vektor-Interruptmodus (IM 2); an jedem Eingang kann einzeln oder in Kombination mit anderen Eingängen durch High- oder Low-Pegel ein Interrupt ausgelöst werden.

Den beiden Datenkanälen (Port A und B) ist je ein Steuer- und ein Datenregister zugeordnet. Die Steuerregister bestimmen den Handshake-Modus und die Datenrichtung der Portleitungen; außerdem lassen sich darüber die Interruptbedingungen einstellen und die Interrupts ein- oder abschalten. Die Register werden auf folgenden I/O-Adressen angesprochen:

B0h: Port A Datenregister  
 B1h: Port B Datenregister  
 B2h: Port A Kontrollregister  
 B3h: Port B Kontrollregister

Ein periodisches Taktsignal vom Timer läßt sich über Jumper J-6 auf Bit 7 oder auf den Strobe-Eingang von Port B führen. Im Output- oder Input-Modus (Mode 0 oder 1) kann durch eine Low-High-Flanke am Strobe-Eingang ein Interrupt erzeugt werden. Im Bit-Control-Modus (Mode 3) dagegen ist der Strobe-Eingang inaktiv (es sei denn, Port A wird bidirektional betrieben. Dann wird der Strobe-Eingang diesem Port zugeordnet.) Im letzten Fall kann Bit 7 gegebenenfalls zur Auslösung der Timer-Interrupts verwendet werden.

### E i n / A u s g ä n g e

Außer der PIO gibt es noch 16 weitere Ausgänge (OUT0-15) und 8 Eingänge (INO-7). Die Ausgänge werden von zwei Latch-Multiplexern 74LS259 (Z6, Z7) gebildet, die über ein I/O-Register auf der Adresse A0h angesprochen werden können.

Das Multiplexen von 16 Ausgängen über ein 8-Bit-Register scheint auf den ersten Blick eine etwas seltsame Idee zu sein, hat aber seine Vorteile. Erstens lassen sich anstelle der 74LS259 auch andere Typen mit Hochstromausgängen einsetzen (s.u.), zweitens vereinfacht sich dadurch die Hardware. Das Steuern der Ausgänge per Programm erfolgt allerdings auf eine etwas komplizierte Weise.

Mit jedem Schreibzugriff (OUT-Befehl) auf die I/O-Adresse A0h lassen sich zwei der Ausgänge verändern. Einer davon muß der unteren Gruppe (OUT0-7), der zweite der oberen Gruppe (OUT8-15) entstammen. Die Bits im Register sind folgendermaßen organisiert:

Bit 7 6 5 4 3 2 1 0

OUTH.AH2.AH1.AHO.AL2.AL1.ALO.OUTL

OUTH und OUTL bestimmen den Wert ("1" oder "0"), auf den die Ausgangsleitung der oberen bzw. unteren Gruppe gesetzt werden soll. AHO-2 und ALO-2 bestimmen diese Leitung innerhalb der jeweiligen Gruppe nach folgendem Schema:

E P A C - 8 0

AL2,1,0	Ausgang	AH2,1,0	Ausgang
0 0 0	OUT0	0 0 0	OUT8
0 0 1	OUT1	0 0 1	OUT12
0 1 0	OUT2	0 1 0	OUT10
0 1 1	OUT3	0 1 1	OUT14
1 0 0	OUT4	1 0 0	OUT9
1 0 1	OUT5	1 0 1	OUT13
1 1 0	OUT6	1 1 0	OUT11
1 1 1	OUT7	1 1 1	OUT15

Die Z80-Befehlsfolge

```
LD A, 11101100b
OUT (AOh), A
```

bewirkt z.b., daß OUT11 High-Pegel ("1") und OUT6 Low-Pegel ("0") annimmt. Beim Einschalten oder Reset werden alle Ausgänge auf "0" gesetzt. Der Watchdog-Timer wird durch die folgenden Befehle zurückgesetzt:

```
LD A, 10000000b
OUT (AOh), A           ;OUT8 auf 1
LD A, 00000000b
OUT (AOh), A           ;OUT8 auf 0
```

Anstelle der normalerweise verwendeten Ausgangs-Latches vom 74LS-Typ, die bei Low-Pegel einen Strom von maximal 8 mA verkraften, können wie beim CEPAC-80 auch die Hochstrom-Latches NE590 eingesetzt werden. Diese Bausteine haben offene Kollektor-Ausgänge und vertragen eine Strombelastung von bis zu 250 mA pro Ausgang. Sie lassen sich darum gut zum Schalten von Relais oder kleinen Motoren verwenden. Allerdings sind ihre Ausgänge im Gegensatz zu den 74LS259ern invertiert, was bei der Programmierung beachtet werden muß. Die Invertierung hat auch zur Folge, daß die Ausgänge bei Reset hochohmig werden.

Das Lesen der Eingangsleitungen IN0-IN7 erfolgt ebenfalls über das Register AOh und die drei darauffolgenden I/O-Register. Auch hier lassen sich immer zwei Leitungen durch IN-Befehle gleichzeitig abfragen. Die einzelnen Eingänge sind den Bits 7 und 0 nach folgendem Schema zugeordnet:

Register	Bit 7 6 5 4 3 2 1 0	
A0h	IN0.X.X.X.X.X.IN1	X = beliebiger Wert
A1h	IN2.X.X.X.X.X.IN3	
A2h	IN4.X.X.X.X.X.IN5	
A3h	IN6.X.X.X.X.X.IN7	



## EPAC - 80

Die Bits 7 und 0 wurden deshalb für die Eingangsleitungen verwendet, damit sich durch Einlesen in Port A und anschließendes Schieben in's Carry-Flag (mit den Befehlen RRA, RLA usw.) die anliegende Information möglichst schnell auswerten läßt.

Weil für die Dekodierung nicht jede Adresse benutzt wird, wiederholt sich der Registersatz viermal hintereinander auf den Adressen A0h-AFh. Auch die PIO-Register werden viermal gespiegelt (auf B0h-BFh), das Ausgaberegister für OUT0-15 gar 16mal (A0h-AFh).

## Aufbau

EPAC-80 ist in zwei Platinen-Ausführungen (A-Version ohne und B-Version mit Wrap-Feld) zu bekommen. Auch auf der A-Version gibt es ein kleines Verdrahtungsfeld, das für ein paar Treibertransistoren o.ä. ausreicht.

Als Stecker kommen VG- oder einfache Pfostenleisten in Frage. Die Versorgungsspannungen (Masse und +5 Volt) sind am Rand des Wrap-feldes zugänglich; zusätzlich sind Plätze für eine 64- oder 96-polige VG-Leiste oder einen 21/31-poligen DIN41617-Stecker vorgesehen.

Bei dem Layout der Platine wurde darauf geachtet, trotz der dichten Bestückung die Leiterbahnen nicht zu eng zu führen. Es liegt immer nur eine Bahn zwischen zwei IC-Anschlüssen, so daß die Karte ziemlich nachbausicher ist. Trotzdem sollte beim Aufbau sorgfältig vorgegangen werden; nach erfolgter Bestückung erspart eine letzte Kontrolle der Lötstellen späteren Ärger.

Die Stromversorgung für die Karte erfolgt normalerweise durch eine geregelte Gleichspannung von 5 Volt an Pin 1 der beiden Steckerleisten; die benutzte Spannungsquelle muß einen Strom von mindestens 250 mA liefern können. Auf der Karte ist alternativ ein Anschluß für einen Spannungsregler vom Typ 7805 vorgesehen (s. Bestückungsplan).

Wenn der Regler zum Einsatz kommt, kann die Karte mit einer unstabilierten Gleichspannung von 7.5 - 12 Volt versorgt werden. Der Anschluß erfolgt in diesem Fall über den VCC-Eingang (Pin 30 von Stecker 2). Zusätzlich sollte dann der Kondensator C4 zur Vermeidung von Reglerschwingungen bestückt werden.

Wenn beim Anschluß der Karte an den ECB-Bus das /BUSRQ- oder das /WAIT-Signal benutzt werden soll, sind die Lögbrücken L-1 bzw. L-2 zu öffnen. Ansonsten liegen beide Signale auf (inaktivem) High-Pegel.

Hat man alles zusammengelötet, ist es natürlich gut zu wissen, ob die Arbeit erfolgreich war oder nicht. Dazu ist ein kleines Testprogramm beigelegt, das an den Ausgängen OUT10-14 die Betriebsbereitschaft der einzelnen Funktionsgruppen des EPAC anzeigt.

## E P A C - S y s t e m a d r e s s e n

Speicher: 0000h-3FFFh EPROM  
 4000h-7FFFh RAM  
 8000h-FFFFh frei

I/O-Port	Bit	R/W	Name	Funktion
80h-8Fh	-		/IOS	Select-Signal
90h-9Fh	-		/STB	Select-Signal
A0h	0	W	OUTL	Wert für OUT0-7
	1-3	W	ALO-2	Leitungsauswahl aus OUT0-7
	4-6	W	AHO-2	Leitungsauswahl aus OUT8-15
	7	W	OUTH	Wert für OUT8-15

AL2,1,0	Leitung	AH2,1,0	Leitung
0 0 0	OUT0	0 0 0	OUT8
0 0 1	OUT1	0 0 1	OUT12
0 1 0	OUT2	0 1 0	OUT10
0 1 1	OUT3	0 1 1	OUT14
1 0 0	OUT4	1 0 0	OUT9
1 0 1	OUT5	1 0 1	OUT13
1 1 0	OUT6	1 1 0	OUT11
1 1 1	OUT7	1 1 1	OUT15

A0h	0	R	IN1	Eingang 1
	7	R	INO	Eingang 0

A1h	0	R	IN3	Eingang 3
	7	R	IN2	Eingang 2

A2h	0	R	IN5	Eingang 5
	7	R	IN4	Eingang 4

A3h	0	R	IN7	Eingang 7
	7	R	IN6	Eingang 6

B0h	0-7	R/W	DRA	PIO-Datenregister Port A
B1h	0-7	R/W	DRB	PIO-Datenregister Port B
B2h	0-7	W	CRA	PIO-Steuerregister Port A
B3h	0-7	W	CRB	PIO-Steuerregister Port B

## E P A C - J u m p e r

- L-1 offen: /BUSRQ vom ECB-Bus  
gebrückt: /BUSRQ inaktiv (vorverbunden)
- L-2 offen: /WAIT vom ECB-Bus  
gebrückt: /WAIT inaktiv (vorverbunden)
- L-3 Pos. A: Portadressen A0h-BFh (vorverbunden)  
Pos. B: Portadressen 20h-3Fh
- J-1 Pos. A: EPROM 2716  
Pos. B: EPROM 2732, 2764, 27128
- J-2 Pos. A: EPROM 28-polig (2764,27128)  
Pos. B: EPROM 24-polig (2716,2732)
- J-3 Pos. A: RAM 28-polig (6264,2630,5564)  
Pos. B: RAM 24-polig (6116)
- J-4 Pos. Timer-Interruptfrequenz Watchdog-Auslösezeit
- |    | Takt 2.4576/ 4.0 / 4.915/ 6.0 MHz |        |        |          | 2.4576/ 4.0 /4.915/ 6.0 MHz |       |       |         |
|----|-----------------------------------|--------|--------|----------|-----------------------------|-------|-------|---------|
| A: | 150/                              | 244/   | 300/   | 366 Hz   | 3.33/                       | 2.05/ | 1.67/ | 1.37 ms |
| B: | 300/                              | 488/   | 600/   | 732 Hz   | 1.67/                       | 1.02/ | 0.83/ | 0.68 ms |
| C: | 600/                              | 977/   | 1200/  | 1465 Hz  | 0.83/                       | 0.51/ | 0.42/ | 0.34 ms |
| D: | 1200/                             | 1953/  | 2400/  | 2930 Hz  | 0.42/                       | 0.25/ | 0.21/ | 0.17 ms |
| E: | 2400/                             | 3906/  | 4800/  | 5859 Hz  | 0.21/                       | 0.13/ | 0.10/ | 0.08 ms |
| F: | 4800/                             | 7812/  | 9600/  | 11719 Hz |                             |       |       |         |
| G: | 9600/                             | 15625/ | 19200/ | 23438 Hz |                             |       |       |         |
| H: | 19200/                            | 31250/ | 38400/ | 46876 Hz |                             |       |       |         |

Die mittlere Reihe von J-4 ist dazu mit dem entsprechenden Anschluß einer der beiden äußeren Reihen zu verbinden.

- J-5 offen: Watchdog inaktiv  
Pos. A: Reset durch Watchdog  
Pos. B: NMI durch Watchdog
- J-6 offen: Timer-Interrupt inaktiv  
Pos. A: Interrupt über PB7  
Pos. B: Interrupt über /BSTB

EPAC-80 TESTPROGRAMM  
 (C) 01.06.1984 Joachim Hanst

.Z80

TESTFUNKTIONEN

OUT10: CPU UND EPROM  
 OUT12: RAM  
 OUT13: PIO  
 OUT14: INPUT-PORT

Die Funktion der jeweiligen Baugruppe wird durch "Blinken" des betreffenden Ausgangs angezeigt. OUT14 folgt dem Pegel an INO. Port B der PIO wird hochgezählt.

Das Programm läuft in jeder Konfiguration, auch ohne RAM.

ADRESSEN  
 EPROM EQU 0  
 RAM EQU 4000H

PORTS

PIOAD EQU OBOH  
 PIOBD EQU OB1H  
 PIOAC EQU OB2H  
 PIOBC EQU OB3H  
 LS259 EQU OAOH  
 INO EQU OAOH

DEFINITIONEN

OUT10 EQU 020H  
 OUT12 EQU 010H  
 OUT13 EQU 050H  
 OUT14 EQU 030H  
 RAME EQU (RAM+2048)/256  
 BLINK EQU 10000

ASEG

ORG EPROM ; EINSPRUNG NACH RESET

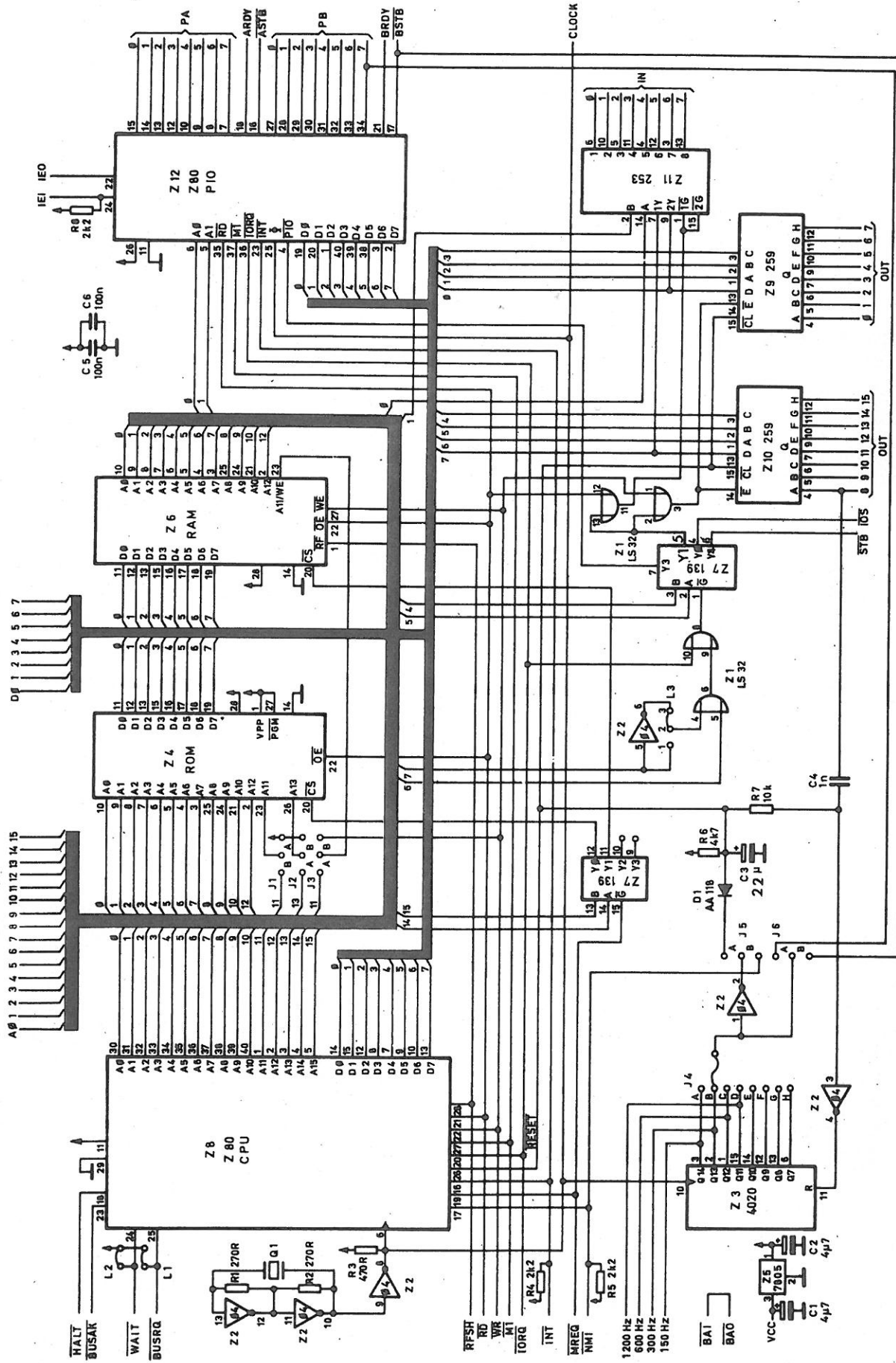
LD A,OFH ; PIO B AUF AUSGANG  
 OUT (PIOBC),A

LOOP: LD A,OUT10 ; OUT-LEITUNGEN AUF LOW  
 (LS259),A  
 LD A,OUT12  
 OUT (LS259),A  
 LD A,OUT13  
 OUT (LS259),A

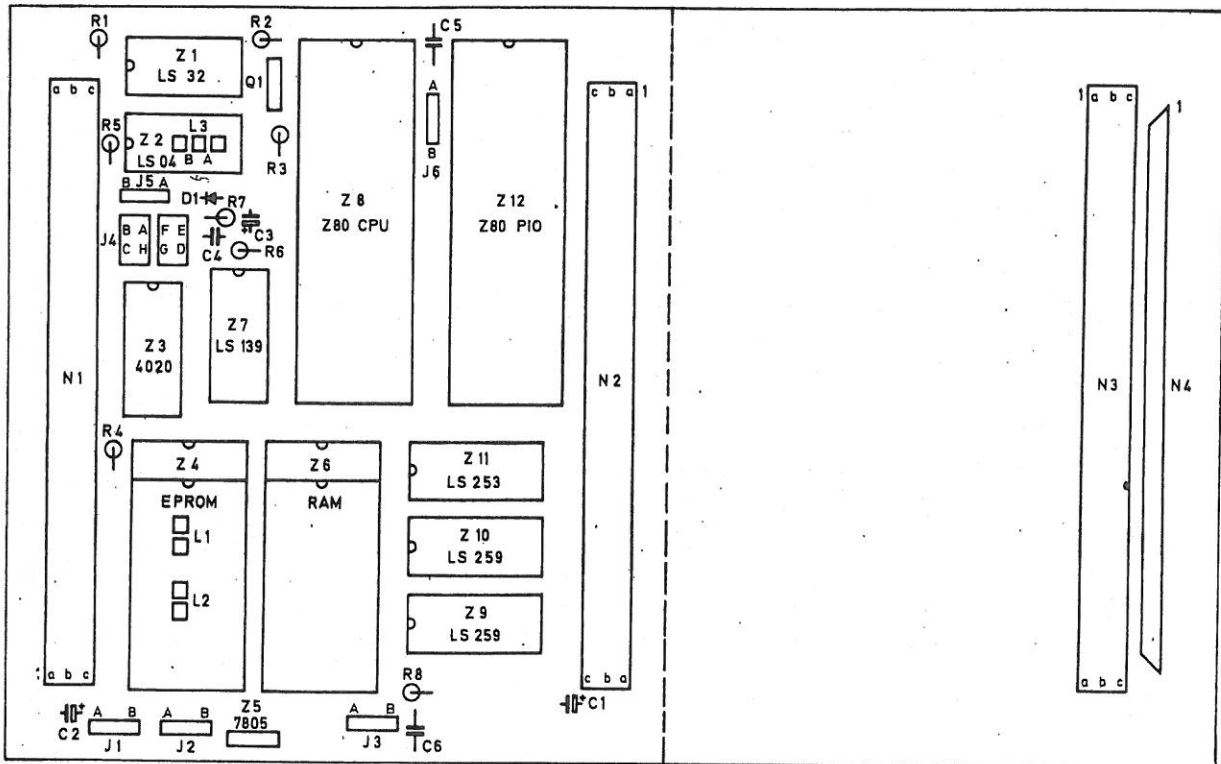
EX AF,AF' ; SETZE PIO B  
 OUT (PIOBD),A  
 EX AF,AF'

LD HL,RAM ; SCHREIBE RAM MIT  
 LD A,RAME ; ADRESSEN VOLL  
 (HL),H  
 INC HL

0000	0000	3E 0F	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
4000	0001	D3 B3	OUT	(LS259),A			
00B0	0004	3E 20	LD	A,OUT10	;	LED FÜR CPU OK	
00B1	0005	D3 A0	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
00B2	0006	3E 10	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
00B3	0007	D3 A0	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
00A0	0008	3E 50	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
00A0	0009	D3 A0	LD	A,OUT10	OR 80H	;	LED FÜR CPU OK
	000A	08	EX	AF,AF'			
	000B	D3 B1	OUT	(PIOBD),A			
	000C	08	EX	AF,AF'			
	000D	21 4000	LD	21 4000			
	000E	3E 48	LD	3E 48			
	000F	74	LD	74			
	0010	23	LD	23			
	0011		INC	HL			
	0012		LD	HL,RAM			
	0013		LD	A,RAME			
	0014		(HL),H				
	0015		INC	HL			
	0016		LD	AF,AF'			
	0017		OUT	(PIOBD),A			
	0018		EX	AF,AF'			
	0019		LD	HL,RAM			
	0020		LD	A,RAME			
	0021		(HL),H				
	0022		INC	HL			
	0023		LD	AF,AF'			
	0024		OUT	(PIOBD),A			
	0025		EX	AF,AF'			
	0026		LD	HL,RAM			
	0027		LD	A,RAME			
	0028		(HL),H				
	0029		INC	HL			
	0030		LD	AF,AF'			
	0031		OUT	(PIOBD),A			
	0032		EX	AF,AF'			
	0033		LD	HL,RAM			
	0034		LD	A,RAME			
	0035		(HL),H				
	0036		INC	HL			
	0037		LD	AF,AF'			
	0038		OUT	(PIOBD),A			
	0039		EX	AF,AF'			
	0040		LD	HL,RAM			
	0041		LD	A,RAME			
	0042		(HL),H				
	0043		INC	HL			
	0044		LD	AF,AF'			
	0045		OUT	(PIOBD),A			
	0046		EX	AF,AF'			
	0047		LD	HL,RAM			
	0048		LD	A,RAME			
	0049		(HL),H				
	0050		INC	HL			
	0051		LD	AF,AF'			
	0052		OUT	(PIOBD),A			
	0053		EX	AF,AF'			
	0054		LD	HL,RAM			
	0055		LD	A,RAME			
	0056		(HL),H				
	0057		INC	HL			
	0058		LD	AF,AF'			
	0059		OUT	(PIOBD),A			
	0060		EX	AF,AF'			
	0061		LD	HL,RAM			
	0062		LD	A,RAME			
	0063		(HL),H				
	0064		INC	HL			
	0065		LD	AF,AF'			
	0066		OUT	(PIOBD),A			
	0067		EX	AF,AF'			
	0068		LD	HL,RAM			
	0069		LD	A,RAME			
	0070		(HL),H				
	0071		INC	HL			
	0072		LD	AF,AF'			
	0073		OUT	(PIOBD),A			
	0074		EX	AF,AF'			
	0075		LD	HL,RAM			
	0076		LD	A,RAME			
	0077		(HL),H				
	0078		INC	HL			
	0079		LD	AF,AF'			
	0080		OUT	(PIOBD),A			
	0081		EX	AF,AF'			
	0082		LD	HL,RAM			
	0083		LD	A,RAME			
	0084		(HL),H				
	0085		INC	HL			
	0086		LD	AF,AF'			
	0087		OUT	(PIOBD),A			
	0088		EX	AF,AF'			
	0089		LD	HL,RAM			
	0090		LD	A,RAME			
	0091		(HL),H				
	0092		INC	HL			
	0093		LD	AF,AF'			
	0094		OUT	(PIOBD),A			
	0095		EX	AF,AF'			
	0096		LD	HL,RAM			
	0097		LD	A,RAME			
	0098		(HL),H				
	0099		INC	HL			
	0100		LD	AF,AF'			
	0101		OUT	(PIOBD),A			
	0102		EX	AF,AF'			
	0103		LD	HL,RAM			
	0104		LD	A,RAME			
	0105		(HL),H				
	0106		INC	HL			
	0107		LD	AF,AF'			
	0108		OUT	(PIOBD),A			
	0109		EX	AF,AF'			
	0110		LD	HL,RAM			
	0111		LD	A,RAME			
	0112		(HL),H				
	0113		INC	HL			
	0114		LD	AF,AF'			
	0115		OUT	(PIOBD),A			
	0116		EX	AF,AF'			
	0117		LD	HL,RAM			
	0118		LD	A,RAME			
	0119		(HL),H				
	0120		INC	HL			
	0121		LD	AF,AF'			
	0122		OUT	(PIOBD),A			
	0123		EX	AF,AF'			
	0124		LD	HL,RAM			
	0125		LD	A,RAME			
	0126		(HL),H				
	0127		INC	HL			
	0128		LD	AF,AF'			
	0129		OUT	(PIOBD),A			
	0130		EX	AF,AF'			
	0131		LD	HL,RAM			
	0132		LD	A,RAME			
	0133		(HL),H				
	0134		INC	HL			
	0135		LD	AF,AF'			
	0136		OUT	(PIOBD),A			
	0137		EX	AF,AF'			
	0138		LD	HL,RAM			
	0139		LD	A,RAME			
	0140		(HL),H				
	0141		INC	HL			
	0142		LD	AF,AF'			
	0143		OUT	(PIOBD),A			
	0144		EX	AF,AF'			
	0145		LD	HL,RAM			
	0146		LD	A,RAME			
	0147		(HL),H				
	0148		INC	HL			
	0149		LD	AF,AF'			
	0150		OUT	(PIOBD),A			
	0151		EX	AF,AF'			
	0152		LD	HL,RAM			
	0153		LD	A,RAME			
	0154		(HL),H				
	0155		INC	HL			
	0156		LD	AF,AF'			
	0157		OUT	(PIOBD),A			
	0158		EX	AF,AF'			
	0159		LD	HL,RAM			
	0160		LD	A,RAME			
	0161		(HL),H				
	0162		INC	HL			
	0163		LD	AF,AF'			
	0164		OUT	(PIOBD),A			
	0165		EX	AF,AF'			
	0166		LD	HL,RAM			
	0167		LD	A,RAME			
	0168		(HL),H				
	0169		INC	HL			
	0170		LD	AF,AF'			
	0171		OUT	(PIOBD),A			
	0172		EX	AF,AF'			
	0173		LD	HL,RAM			
	0174		LD	A,RAME			
	0175		(HL),H				
	0176		INC	HL			
	0177		LD	AF,AF'			
	0178		OUT	(PIOBD),A			
	0179		EX	AF,AF'			
	0180		LD	HL,RAM			
	0181		LD	A,RAME			
	0182		(HL),H				
	0183		INC	HL			
	0184		LD	AF,AF'			
	0185		OUT	(PIOBD),A			
	0186		EX	AF,AF'			
	0187		LD	HL,RAM			
	0						







Bestückungsplan des EPAC-80 mit Wrap-Feld

Stückliste EPAC-80

Bauteil	Typ	Funktion	Bemerkungen	Bauteil	Typ	Funktion	Bemerkungen
Z5	7805	5V-Spannungsregler	Optional	R1, R2	270 Ohm	Widerstand	
Z2	74LS04	6fach-Inverter	74S04 bei 6 MHz	R3	470 Ohm	"	
Z1	74LS32	4fach-OR-Gatter		R4, R5	2.2 kOhm	"	
Z7	74LS139	2fach-Dekoder		R6	4.7 kOhm	"	
Z11	74LS253	Tristate-MUX		R7	10 kOhm	"	
Z9, 10	74LS259	Latch-DEMUX		R8	2.2 kOhm	"	
Z3	HEF4020	Frequenzteiler	Muß die Taktfrequenz verkräften können	C4	1 nF	Keramik-Kondensator	
Z4	2716, 2732, 2764, 27128	EPROM 2-16 KByte	Wahlweise	C5, C6	100 nF	"	
Z6	6116, 6264, 5564, 2630	RAM 2-8 KByte	Wahlweise	C1	4.7 uF/22 V	Tantal-Elko	Nur bei Einsatz von Z1
Z8	MK3880	Z80-CPU	A- oder B-Version bei höheren Taktfrequenzen	C2	4.7uF/6.3V	"	
Z12	MK3881	Z80-PIO		C3	22uF/6.3V	"	
D1	AA118	Germanium-Diode	Universaltyp	-	2x14-pol.	IC-Sockel	
X1	2.4576MHz	Quarz	Wahlweise 4 bzw. 6 MHz	-	5x16-pol.	IC-Sockel	
				-	2x28-pol.	IC-Sockel	
				-	2x40-pol.	IC-Sockel	
				N1	64pol.	VG-Leiste	Optional, für ECB-Bus
				N2	64pol.	Stiftleiste	Optional, Pfosten/VG
				N3	64/96pol.	VG-Leiste	Optional, für Wrap-Feld
				N4	21/31pol.	Stecker	Optional, für Wrap-Feld
				-	EPAC-80A/B	Platine	Ohne/mit Wrap-Feld

EPAC-80 Steckerleisten

M1: ECB-Busstecker

	a	b	c	Leitung	Typ	Funktion
1:	+5V	+5V	+5V	+5V	I, U	Betriebsspannung
2:	D5	D0	D0			
3:	D6	D7	D7			
4:	D3	D2	D2	GND	I, U	gemeinsame Masse
5:	D4	A0	A0			
6:	A2	A3	A3	DO-7	IO, TS	8-Bit-Datenbus
7:	A4	A1	A1	AO-15	O, TS	16-Bit-Adressbus
8:	A5	A8	A8	/IOS	0	Select Ports 80h
9:	A6	A7	A7	/IOS	0	Select Ports 80h
10:	/WAIT					
11:	/BUSRQ					
12:				/RD	O, TS	Lesen
13:				/WR	O, TS	Schreiben
14:				/MREQ	O, TS	Speicherzugriff
15:				/IORQ	O, TS	Ein/Ausgabe
16:						
17:				/NMI	I/O	Vorrang-Interrupt
18:	A14			/INT	IO, OD	normaler Interru
19:				/IEI	I	INT-Ketteneingang
20:	/M1			/IEO	O	INT-Kettenausgang
21:				/NMI	I/O	Busanforderung
22:				/INT		Busfreigabe fürD
23:	/BAI			/BUSRQ	O	DMA-Ketteneingang
24:				/WR	I	DMA-Kettenausgang
25:				/IOS	O	
26:				/BAO	O	
27:	/IORQ			/BAO		
28:	/RFSH			/RESET	IO, OD	CPU rücksetzen
29:	A13			/WAIT	I/O	CPU warten
30:	A9			/HALT	O	CPU gestoppt
31:	/BUSAK			/MREQ		
32:	GND	GND	GND	/RESET	0	1. Maschinenzykl
				/RFSH	0	Auffrischzyklus

! = abweichend von der KONTRON-ECB-Busbelegung

M2: Port-Stecker

	a	b	c	Leitung	Typ	Funktion
1:	+5V	+5V	+5V	+5V	I/O, U	Betriebsspannung
2:				VCC	I, U	Versorgungsspann
3:	PB7	PB7	PB6			
4:	PB5	PB5	PB4			
5:	PB3	PB3	PE2			
6:	PB1	PB1	PB0	GND	I, U	gemeinsame Masse
7:	/BSTB	/BSTB	BRDY			
8:	/ASTB	/ASTB	ARDY	PA0-PA7	IO, TS	I/O-Leitungen Po
9:	PA7	PA7	PA6	/ASTB	I	Port A Strobe
10:	PA5	PA5	PA4	ARDY	O	Port A ready
11:	PA3	PA3	PA2			
12:	PA1	PA1	PA0	PB0-PB7	IO, TS	I/O-Leitungen Po
13:	/STB	/STB		/BSTB	I	Port B Strobe
14:				BRDY	O	Port B ready
15:	1200Hz	1200Hz	300Hz			
16:	CLOCK	CLOCK	300Hz			
17:	/NMI	/NMI	150Hz	INO-7	I	Eingangsleitung
18:	IN7	IN7	IN6			
19:	IN5	IN5	IN4	OUTO-15	O	Ausgangsleitung
20:	IN3	IN3	IN2			
21:	IN1	IN1	INO	/NMI	I/O	Vorrang-Interrupt
22:	OUT15	OUT15	OUT14	/INT	IO, OD	normaler Interru
23:	OUT13	OUT13	OUT12			
24:	OUT11	OUT11	OUT10	/STB	O	Select Ports 90h
25:	OUT9	OUT9	OUT8			
26:	OUT7	OUT7	OUT6			
27:	OUT5	OUT5	OUT4	1200Hz	O	Timer-Takt 1200H
28:	OUT3	OUT3	OUT2	600Hz	O	Timer-Takt 600 H
29:	OUT1	OUT1	OUT0	300Hz	O	Timer-Takt 300 H
30:	VCC	VCC	VCC	150Hz	O	Timer-Takt 150 H
31:	GND	GND	GND	CLOCK	O	CPU-Takt 2.4576H
32:						

Typ: I = Eingang  
O = Ausgang

ST = Schmitt-Trigger  
OD = Offener Kollektor/ Open-Drain  
TS = Tri-State  
V24 = V24-Spannungspegel  
I/O = Eingang/Ausgang, wählbar  
IO = Eingang/Ausgang, umschaltbar  
A = Analog-Ein/Ausgang  
U = Betriebsspannung

