

Universal-Floppy-Steuerung und 128kByte RAM

---

*Floppy Laufwerke*

*Siemens FDD 221-S*

*S 2274 2 - A 2215 - C001 - Cartridges!*

*B: Ser No 11436 (52)*

*A: " 11437 (52)*

Steuerbaugruppe für ein- und doppelseitige 5 1/4" und 8"-  
Floppy-Laufwerke für einfache und doppelte Bitdichte,  
Bank-Adreß-Erzeugung und 128kByte RAM mit 4164

=====

## **ELEKTRONIKLADEN**

**Giesler & Danne GmbH & Co.KG**

**W. Mellies Str. 88 · 4930 DETMOLD 18**

**Telefon: 05232 - 8131**

**Telex: 931473 laden d**

**Geöffnet Mo - Fr 9-17h u.n. Vereinbarung**

**ELZET 80**

Inhaltsverzeichnis

Übersicht	Seite 3
Anwendungshinweise RAM	Seite 5
Anwendungshinweise FDC	Seite 7
Schaltungsbeschreibung RAM	Seite 10
Schaltungsbeschreibung FDC	Seite 11
Technische Daten	Seite 15
Belegung der Peripherieschnittstellen	Seite 17
Pfostenreihen für Steckbrücken	Seite 19
Adreßeinstellung	Seite 21
Bestückungsplan	Seite 23
Stückliste	Seite 24
Datenblätter 1793, 9229	Anhang A
Schaltbilder	Anhang B

=====  
Copyright 1983 bei Giesler & Danne GmbH & Co.KG., Detmold

ELZET 80 FDC 3 ist eine Baugruppe für den ELZET 80 -Bus, die in kompakter Form Floppy-Steuerung und Arbeitsspeicher vereint. Zum Aufbau eines Floppy-Computers sind lediglich eine CPU-Baugruppe wie z.B. die ELZET 80 CPU/IEC und ein Floppy-Laufwerk hinzuzufügen.

Die beiden Funktionsgruppen Floppy-Steuerung und Speicher sind voneinander völlig unabhängig, lediglich der Busstecker wird gemeinsam benutzt.

#### 128KBYTE DYNAMISCHES RAM

ELZET 80 FDC 3 ist eine zuverlässige Speicherkarte für Z80-Systeme mit dem ELZET 80-Bus, also ECB-Bus mit echter Adreßerweiterung auf 20 Leitungen. Die dazu verwendeten Busleitungen sind 19c, 17a, 12a und 12c entsprechend A16 bis A19. Wenn nicht durch die Systemsoftware anders gewählt, werden die Adressen durch die PIO auf FDC 3 erzeugt. Ist das nicht erwünscht, so sind die Pins 27 bis 30 der PIO vom Busstecker zu trennen.

*PIO-B 20-23  
Adr 6D bzw 6F  
Data Control*

Der zweite 64K-Bereich kann als RAM-Floppy genutzt werden, das ELZET 80 DD-BIOS unterstützt diese Funktion. Weitere Informationen finden Sie unter "Anwendungshinweise".

ELZET 80 FDC 3 verwendet die Refreshadressen, die die Z80 CPU liefert, so daß 64K-Speicher mit 128 Auffrischadressen innerhalb 2ms verwendet werden, z.B. Fujitsu MB 8264. Die Speicher haben eine Zugriffszeit von 200 ns oder schneller.

## FLOPPY-LAUFWERKS-STEUERUNG

Die Floppy-Steuerung auf der FDC3 ist unter Verwendung modernster Schaltkreise aufgebaut. Der bewährte SAB 1793 wird als Steuerbaustein eingesetzt, die nötigen externen Funktionen Daten-/Takttrennung, Schreibvorkompensation und Takterzeugung werden komplett durch das IC 9229 B abgedeckt. Der 9229 enthält eine aufwendige digitale PLL zur Datensynchronisation, digital einstellbare Schreibvorkompensation und Taktumschaltung.

Die Abfrage und Steuerung der sonstigen digitalen Signale, wie Laufwerksauswahl, Seitenauswahl, Motorsteuerung, Erkennung des Laufwerktyps (SS/DS) etc. wird über eine Z80A PIO vorgenommen, wobei 4 freie Bits direkt auf den Busstecker gehen und die Bank-Adressen A16 bis A19 erzeugen können.

Der Datentransfer erfolgt über eine Z80A DMA, die ohne Zuhilfenahme der CPU direkt den Systemspeicher adressieren kann.

Für den Anschluß der Laufwerke ist je ein 34-poliger (für 5") und ein 50-poliger Steckverbinder (für 8") vorgesehen. Gemischter Betrieb mit verschiedenen Laufwerksgrößen an einem Controller ist möglich und wird von Sonderversionen des ELZET 80 DD-CBIOS unterstützt.

Die Baugruppenadresse ist auf 16'er-Grenzen ausdekodiert und über ein Pfostenfeld einstellbar.



## F D C 3

---

Alle Busanschlüsse (außer Bankadressen) sind LS-TTL-gepuffert. Die Steuerung der Laufwerkssignale erfolgt über IC-Treiber mit offenem Kollektor, eingangsseitig über Schmitt-Trigger.

Die Baugruppe FDC 3 ist bis auf die Bankadressierung softwarekompatibel zum ELZET 80 FDC 2.

### Anwendungshinweise

=====

#### 128KBYTE DYNAMISCHES RAM

Die Bankadreßauswahl geschieht aus A16 bis A19 durch ein PROM , das auch die Ausblendung und die Reaktion auf die ELZET 80-Bussignale /Boot active und /Video Blank vornimmt. Standardmäßig wird die Baugruppe geliefert für die Banks 0 bis 3, innerhalb dieser Banks können durch die Steckjumper ST7 und 8 zwei Banks ausgewählt werden. Bank Null wird voll ausgenutzt. Bei den Banks 1 bis 3 ist ein Zugriff auf die jeweils oberen 4K (Adressen F000 bis FFFF Hex) gesperrt. Diesen Bereich verwendet ELZET 80 für die Interrupttabelle und Interrupt-Serviceroutinen, die unabhängig von der Bankanwahl erreichbar sein müssen. Das Standard-Prom blendet ferner die Bereiche xE000 bis xEFFF bei einem Low auf der Busleitung 23c (/Video Blank) aus und bei Low auf /Boot active (22a) die unteren 16K-Bereiche. Das Video-Blank-

---

Signal wird mit einem PROM-Ausgang UND-verknüpft, so daß die Leitung für das Ausblenden beliebiger anderer Bereiche mit ganzzahligen Vielfachen von 4K benutzt werden kann.

Das ELZET 80 DD-BIOS zum CP/M Floppy-Betriebssystem verwendet jede Bank, die ohne Unterbrechung von der Bank 1 an aufsteigend angeordnet ist, als RAM-Floppy, die als letztes Laufwerk (z.B.: C:) angesprochen werden kann und erwartet auf jeder solchen Bank 60K Speicher (die oberen 4K jeder Bank dienen als gemeinsamer Speicher und sind real nur auf Bank 0 vorhanden). Soll eine Bank nicht als RAM-Floppy arbeiten, so ist eine mindestens eine Bank dazwischen nicht zu bestücken.

Die bei FDC 3 verwendeten Proms für die Speicherdekodierung entsprechen denen für die 256K-Karte. Die Proms sind immer für 4 Banks ausgelegt, aus denen auf FDC 3 über ST7/ST8 zwei ausgewählt werden. Die beiden freien Banks können jedoch nicht durch eine andere Karte belegt werden (Korrektur ist geplant). Soll ein zusammenhängender Speicherbereich unter Einbeziehung einer FDC 3 geschaffen werden, so muß die 256K-Karte ab Bank 0 starten, die FDC 3 ab Bank 4. Bei der ersten Serie 256K und FDC3 sind im Prom Bank 1 und 2 bzw. 5 und 6 usw. vertauscht, so daß der Jumper für die zweite Bank auf 2 statt auf 1 gesteckt werden muß. Diese FDC-Karten sind werksseitig so eingestellt, bei der 256K ist es ohnehin irrelevant.

Beim Booten eines CP/M mit ELZET 80 DD-CBIOS muß darauf geachtet werden, daß die PIO (IC7) auf Ausgabe 00 initiali-

siert wird und bleibt, sonst schreibt der Booter in die falsche Bank. Fragen Sie bitte bei älteren SSM-Bootmonitoren unter Angabe der Versionsnummer nach.

#### FLOPPY-LAUFWERKS-STEUERUNG

Die Baugruppe FDC 3 wird vom ELZET 80 DD-CBIOS, der Hardwareanpassung zu CP/M 2.2, unterstützt. Ohne Aufpreis ist das BIOS erhältlich für die Konfigurationen 2x 8" einseitig, 2x 8" doppelseitig, 2x 40T 5" einseitig, 2x 5" 80T doppelseitig sowie die vorgenannten jeweils zuzüglich RAM-Floppy-Simulation.

Gegen Aufpreis ist das BIOS lieferbar für 5"/8"-Betrieb in beliebigen Konfigurationen, für 5"-Laufwerke 40T doppelseitig und für XEBEC Hard-Disk-Controller und 6 MB Hard-Disk. Die CP/M+ (CP/M 3) -Anpassung ist in Vorbereitung.

Den physikalischen Forderungen nach korrektem Abschluß des Kabels kann bei einer Konfiguration 5" und 8" gemischt nicht entsprochen werden. Gefordert ist die Anordnung der Laufwerke in einer Kette und Abschluß (Widerstandsnetzwerk) am letzten Laufwerk in der Kette. Mit zwei Kabeln kann dies nicht erfüllt werden. Daher ist mit den Kabellängen und der Position des Netzwerks zu experimentieren. Unsere Erfahrungen führen zur Empfehlung, ein Abschlußnetzwerk am 8"-Kabel anzuschließen. Wenn an einem Kabel Steckverbinder offengelassen werden (2 Anschlüsse und nur ein Laufwerk), dann müssen die freien Anschlüsse zur FDC 3 hinzeigen, das

---

Kabelende darf keinen offenen Steckverbinder haben. Verschiedene Laufwerkshersteller verwenden unterschiedliche Abschlußwiderstände, so daß eine optimale Anpassung nur selten möglich ist. Scharfe Knicke im Kabel sind ebenso zu vermeiden wie die Führung des Kabels in der Nähe von Induktivitäten (z.B. Bildschirm).

Floppy-Laufwerke sind magnetischen Feldern gegenüber meist ungenügend abgeschirmt. So können Bildschirme oder Schaltnetzteile zu häufigen CRC bzw. RNF-Fehlern führen. Bei ELZET 80-Geräten mit Bildschirm (ELZET/P) sind die Laufwerke deshalb in einem verschweißten Eisenblechkasten untergebracht.

Manche Laufwerke geben kein Ready-Signal (viele 5") bzw. zu frühes Ready (TANDON 8"). Die Software im ELZET 80 DD-CBIOS wartet deswegen nach Ready noch auf zwei Index-Impulse (IP), bevor Lese- oder Schreiboperationen zugelassen werden. Daher können 5"-Floppys ohne READY-Ausgang ohne externes Monoflop angeschlossen werden, wenn READY fest auf Masse gezogen wird. Will man 8" und 5" zusammen betreiben, kann man den Select-Eingang des 5"-Laufwerks über eine Diode auf den Ready-Ausgang (Pin 4 ST3) führen, dann kommt Ready bei Select.

Das Signal Motor On 1 wird vom ELZET 80 DD-CBIOS zusammen mit dem /Select eines beliebigen Laufwerks gesetzt. Da fast alle Laufwerke unterschiedliche Motorlogik haben, wird eine Einzelschaltung derzeit nicht unterstützt. Üblicherweise ist Motor On 0 im Laufwerk in Verknüpfungen einzubeziehen,

daher sind zum Einsatz mit ELZET 80 Software bei ST 2 die Brücken 3 und 6 zu stecken. Beim ersten "CONIN" Aufruf des CP/M wird das Signal wieder zurückgenommen. Dadurch wird gewährleistet, daß während z.B. eines Compilerlaufs nicht ständig die Laufwerke ausgeschaltet werden.

Da ein Betrieb von mehreren DMA-Bausteinen in einem System eine Zugriffs-Priorisierung verlangt, ist auf den ELZET 80 Bussen eine DMA-Priorisierungskette BAI/BAO eingerichtet. Die höchstwertigste DMA ist an BUSAK (CPU Signal zur Busfreigabe) anzuschließen, alle tieferen an BAI. Karten mit DMA sind direkt nebeneinander zu stecken, da nicht alle anderen Baugruppen eine Brücke von BAI nach BAO haben. Gleichzeitig muß allerdings auch die Interruptpriorität beachtet werden. Die Umschaltung zwischen BAI (A-B) und BUSAK (C-B) erfolgt an Jumper ST 6.

Die Schreibvorkompensation ist werksseitig auf 250ns ab Track 43 aufwärts eingestellt (500ns bei Mini). Die Einstellung ist verlötet und sollte nicht verändert werden. Die Lage der Jumper ist jedoch dem Bestückungsdruck in dieser Beschreibung zu entnehmen.

## Schaltungsbeschreibung

=====

## 128KBYTE DYNAMISCHES RAM

Die Adreßleitungen A0 bis A15 gehen auf zwei Schottky-Multiplexer vom Typ 74S157, die zunächst die unteren 8 Adressen mit MREQ auf die Zeilenadreßpuffer der 4164 durchschalten. Wenn kein Refresh-Zyklus vorliegt, werden die Spaltenadressen mit der nächsten steigenden Flanke des Takts angelegt und dann in die über das PROM selektierte Speicherreihe gelatcht. Gegenüber Laufzeitverzögerungsgliedern liefert die taktgekoppelte Adreßumschaltung reproduzierbare Ergebnisse, die nur geringfügig durch Bauteil-schwankungen beeinflusst werden. Auch die Arbeit bei unterschiedlichen Taktfrequenzen wird dadurch völlig unproblematisch.

PROM 2, IC 37 dient der Speicherfreigabe. Das Prom verwendet die Adreßeingänge A12 bis A19 vom Bus. Zwei Ausgänge erzeugen die Freigabe bei Übereinstimmung der Banknummer, zwei weitere Ausgänge werden aktiv, wenn das Adreßmuster einem programmierten 4K-Block entspricht. Diese Ausgänge werden in einer externen Logik mit den Eingängen /Boot Active und /Video Blank verknüpft und sperren gegebenenfalls die CAS-Erzeugung.

Der Datenbus wird mit 4-fach-Bustreibern 8216 oder SN 75136 angekoppelt. Diese Bausteine haben getrennte Datenein- und ausgänge. Der Umschaltung zwischen diesen beiden Typen

---

dient die Brücke ST 4 mit X=8216/Y=75136, die werksseitig eingestellt wurde und nicht verstellt werden darf.

#### FLOPPY-LAUFWERKS-STEUERUNG

Der Busanschluß einer I/O-Baugruppe mit DMA ist durch die gleichzeitige Einbeziehung von Speicher- und I/O-Adreßbereich recht aufwendig. Da auch noch die Bedingungen des Z80-Vektorinterrupt einbezogen werden müssen, wurde die logische Verknüpfung zur Busschaltung durch ein Prom aufgelöst. IC 15 bezieht die Signale CS, BAI, BAO, IEI, IEO, M1, IORQ und RD ein und schaltet Adressen und Steuersignale (DO, Ausg.12) sowie Daten (D1-3, Ausg.9-11, UND-verknüpft in IC9) separat in der Richtung um.

Die I/O-Adreßauswahl wird über einen 74LS85 4-Bit-Vergleicher vorgenommen, der auf einen 16'er Adreßblock dekodiert (Einstellung über ST 5, siehe Tabelle). Das Ausgangssignal gibt einen 3 zu 8 Dekoder 74LS138 (IC8) frei, der die Freigabesignale für die LSI-Bausteine erzeugt. Ein 4'er Adreßblock innerhalb der eingestellten Basisadresse wird nicht ausgenutzt.

FDC 3 ist aufgebaut um den SAB 1793 Steuerbaustein, der die Funktionen wie Track suchen, Sektor lesen, Sektor schreiben etc. selbständig durchführt.

Weiter verfügt der 1793 über Steuerleitungen für den Datenseparator und fragt ohne Zuhilfenahme anderer Bausteine

Laufwerkssignale wie Spur 0, Ready, Index und Schreibschutz ab. Über Leitungstreiber mit offenem Kollektor (7406, IC3 und IC5) gibt der 1793 auch die Signale für Step, Step-Richtung, Track > 43 und Write Gate an die Laufwerke.

Vom Floppy-Laufwerk erhält die Steuerbaugruppe FDC 3 ein Daten-/Taktgemisch, welches wegen der hohen Datenraten bei 8" doppelter Dichte nicht mehr durch einfache Monoflop-Lösungen getrennt werden kann. Wegen der unterschiedlichen Bitdichten zwischen äußeren und inneren Spuren einer Diskette empfiehlt sich bei doppelter Bitdichte außerdem eine Schreibvorkompensation, bei der die Bitlage gegenüber dem Takt leicht verschoben wird. Diese Funktionen werden durch den Baustein IC1 (9229B) abgedeckt. Die Datenseparation wird mit einer digitalen PLL vorgenommen, die über einen Langzeit- und einen Kurzzeitregelkreis verfügt. Die Schreibvorkompensation ist in verschiedenen Stufen einstellbar und berücksichtigt die unterschiedlichen Taktraten von Minifloppys und 8"-Floppys. Die Einstellung wird über die Eingänge P0 bis P2 vorgenommen, die auf der Karte werksseitig verdrahtet werden (Feld zwischen 9229 und ST2). Head Load wird durch den 9229 um 40ms bzw. 80ms (5") verzögert.

Der 1793 benötigt für den Betrieb mit 8"-Laufwerken eine 2 MHz Taktfrequenz, für 5 1/4"-Laufwerke 1MHz. Darüberhinaus brauchen die PLL und die Schreibvorkompensationslogik Hilfsfrequenzen bis 16 MHz, die alle vom IC1 9229B erzeugt werden. Zur Zeit der Baugruppenkonstruktion war nur der Baustein 9229BT verfügbar, der einen externen Takt braucht, der 9229B hat einen eigenen Quarzoszillator. Bei



---

Einsatz des BT wird ein integrierter 16MHz-Quarzoszillator unter IC2 eingelötet, beim 9229B werden die Bauteile Q und R3 benötigt.

Da die Datenrate von 500kBit/s bei 8" und doppelter Bitdichte nicht im Einzelbyte-Interrupt zu verarbeiten ist, erfolgt die Übergabe der Daten zwischen Hauptspeicher und Floppy unter Zuhilfenahme eines Z80A DMA-Bausteins. Dieser erzeugt selbst die Speicheradressen von denen gelesen oder auf die geschrieben werden soll und erledigt den Datentransfer während einer kurzen Unterbrechung der CPU-Aktionen. Die Freigabe der DMA erfolgt nach einer Busanforderung (Leitung /BUSRQ) durch ein BUSAK-Signal der CPU. Bei mehreren DMA's kann wahlweise (Jumper ST 6) auf BAI gewartet werden. Die DMA ist mit dem SAB1793 so verbunden (RDY/DRQ), daß ohne CPU-Eingriff ein Sektor oder eine ganze Spur übertragen werden kann.

Die Z80A PIO besorgt ausgangsseitig a) die Auswahl des Laufwerks, b) die Seitenwahl bei doppelseitigen Laufwerken, c) die Auswahl des Laufwerkstyps 5"/8", d) die Datendichte einfach/doppelt, e) die Motorsteuerung und schließlich f) die Bankadreßerzeugung. Als Eingang arbeitet die PIO für die Signale "Two Sided" und "Disk Change". Two Sided ist aktiv, wenn eine doppelseitige Diskette in ein 8"-Laufwerk eingelegt ist, was automatische Unterscheidung ermöglicht. Bei 5" ist das Signal leider nicht vorhanden. Disk Change wird vom ELZET 80 DD-CBIOS nicht ausgenutzt, da es nur von wenigen Laufwerken erzeugt wird. Weiter dient die PIO als Vektorinterruptgeber für den 1793.

Die Ausgangssignale des 1793 und der PIO werden zur Floppy mit OC-Treibern (offener Kollektor) hoher Lastkapazität übergeben, eingehende Signale sind über Widerstandsnetzwerke mit 180 Ohm gegen +5V abgeschlossen. Die Ausgangstreiber für die Laufwerks- und Seitenauswahl sind nicht invertierend, die anderen Signale werden invertiert. Die Eingangssignale "Two Sided", "Disk Change" und "Read Data" werden über je zwei Schmitt-Trigger (IC 6) aufbereitet.

Die Bank-Adreßausgänge (PIO Kanal B, Bit 0 bis 3) werden direkt auf den Bus geführt, wobei Pull-Up-Widerstände (R5) für eindeutige Signalzustände sorgen.

Die Floppy-Laufwerke werden entweder über den 50-poligen Steckverbinder ST 1 oder den 34-poligen Steckverbinder ST 3 angeschlossen. Die Steckrichtung ist anders als bei FDC und FDC 2, ein für die älteren Controller verwendetes Kabel muß bei FDC 3 so aufgesteckt werden, daß es nach innen (Richtung Kartenmitte) abgeführt wird. Die Verdrahtung kann durch angequetschtes Flachbandkabel erfolgen. Steckverbinder oder auch fertig konfektionierte Kabel sind von uns erhältlich.

Teilweise lagern wir auch die Anschlußstecker für die Betriebsspannungen der Floppy-Laufwerke. Wir bitten um Anfrage.

Technische Daten

=====

Betriebsspannung: + 5V  $\pm 5\%$  , +12V  $\pm 5\%$

Stromaufnahme: ca. 900 mA/5V, 20mA/12V

Peripherieschnittstellen: 34-polige Stiftleiste 2-reihig aus Wrappfosten 0,64x 0,64mm mit Stift- und Reihenabstand 2,54mm zum Anschluß eines 5 1/4" Floppy-Laufwerks. Passender Flachkabelverbinder dazu ELZET 80 S7/34. Passender Verbinder für den Anschluß des Laufwerks ELZET 80 S11/34.

50-polige Stiftleiste 2-reihig aus Wrappfosten 0,64x 0,64mm mit Stift- und Reihenabstand 2,54mm zum Anschluß eines 8" Floppy-Laufwerks. Passender Flachkabelverbinder dazu ELZET 80 S7/50. Passender Verbinder für den Anschluß des Laufwerks ELZET 80 S11/50.

F D C 3

---

Speicherkapazität: 128 kByte

Z 80 Taktfrequenz: 4 MHz

Busschnittstelle: 64-polige Messerleiste nach  
DIN 41612 Bauform C, a+c  
bestückt, Belegung nach  
ELZET 80 Busspezifikation

Abmessungen: Europaformat 100mm x 160mm  
Einbaubreite 20,32mm (4TE)

Umgebungstemperatur: 0 °C bis 55 °C bei freier  
Konvektion

Die Belegung der Peripherieschnittstellen

=====

ST 1 Anschluß für 8" Floppylaufwerke

Pin 2	<i>out</i> →	TG 43	<i>Low Current</i>
Pin 4		Motor On 1	
Pin 6		Motor On 2	
Pin 8		Motor On 3	
Pin 10	<i>in</i> ←	Two Sided	
Pin 12	←	Disk Change	
Pin 14	→	Side Select	
Pin 16		frei	
Pin 18	→	Head Load	<i>Head Load</i>
Pin 20	←	IP (Index)	<i>Index</i>
Pin 22	←	Ready	<i>Ready</i>
Pin 24		Motor On 0	
Pin 26		Drive Select 0	
Pin 28		Drive Select 1	
Pin 30		Drive Select 2	
Pin 32	→	Drive Select 3	<i>Select</i>
Pin 34	→	Direction	<i>Step-In</i>
Pin 36	→	Step	<i>Step</i>
Pin 38	→	Write Data Out	<i>Write Data</i>
Pin 40	→	Write Gate	<i>Write Enable</i>
Pin 42	←	Track 00	<i>Track 00</i>
Pin 44	←	Write Protected	<i>Write Protect</i>
Pin 46	←	Read Data	<i>File Data</i>
Pin 48		frei	
Pin 50		frei	

F D C 3

---

ST 3 Anschluß für 5 1/4" Floppy-Laufwerke

Pin 2	Head Load
Pin 4	Ready
Pin 6	Drive Select 3
Pin 8	Index Pulse
Pin 10	Drive Select 0
Pin 12	Drive Select 1
Pin 14	Drive Select 2
Pin 16	Motor On 0
Pin 18	Direction
Pin 20	Step
Pin 22	Write Data Out
Pin 24	Write Gate
Pin 26	Track 00
Pin 28	Write Protect
Pin 30	Read Data
Pin 32	Side Select
Pin 34	Disk Change

Alle ungeraden Anschlüsse von ST 1 und ST 3 sind mit Masse verbunden.

Pfostenreihen für Steckbrücken und ihre Bedeutung

ST 2 Zuordnung Motor On 0

Von Motor On 1 auf 8" (ST 1): Brücke 3 —  
Von Motor On 2 auf 8" (ST 1): Brücke 2  
Von Motor On 3 auf 8" (ST 1): Brücke 1  
Von Motor On 1 auf 5" (ST 3): Brücke 6 —  
Von Motor On 2 auf 5" (ST 3): Brücke 5  
Von Motor On 3 auf 5" (ST 3): Brücke 4

ST 4 Auswahl Datenbustreiber

X = 8216  
Y = 75136 —

ST 5 Adreßeinstellung

Siehe unten

ST 6 DMA-Priorisierung

A-B entspricht BAI von Bus-BAI

C-B entspricht BAI von BUSAK ←

Beschreibung unter "Anwendungshinweise"

ST 7 und ST 8 Bank-Auswahl

Innerhalb der Prom-vorgegebenen 4 Banks kann eine beliebige Bank für jeden Speicherblock ausgewählt werden. Die Jumper sind jeweils mit 0 bis 3 bezeichnet, diese Ziffern entsprechen der Bank-Nummer. ST7 und ST8 müssen auf unterschiedliche Ziffern eingestellt werden.

ST 7 wählt IC-Block 18 bis 25	2	0010
ST 8 wählt IC-Block 27 bis 34	0	0000

Feld zwischen IC 1 9229 und ST 2 Schreibvorkompensation

Die P0 bis P2 -Eingänge des 9229 können wahlweise auf Masse oder auf TG 43 eingestellt werden. Die Zuordnung ist dem Bestückungsdruck zu entnehmen, die Werte finden sich im Datenblatt zum 9229.

*Track greater 43*



Adreßeinstellung

=====

Die Anfangsadresse des Floppy-Steuerteils der Baugruppe ist auf jede sechzehnte Adresse ab 0 einstellbar, d.h. auf hexadezimal 0, 10, 20, ... F0. Ab der jeweils eingestellten Adresse sind die einzelnen Ports wie folgt zugeordnet:

Basisadresse + 0	.....	DMA
Basisadresse + 1	.....	DMA
Basisadresse + 2	.....	DMA
Basisadresse + 3	.....	DMA
Basisadresse + 4	.....	unbenutzt
Basisadresse + 5	.....	unbenutzt
Basisadresse + 6	.....	unbenutzt
Basisadresse + 7	.....	unbenutzt
Basisadresse + 8	.....	FDC-Befehlsport
Basisadresse + 9	.....	FDC-Spur
Basisadresse + A	.....	FDC-Sektor
Basisadresse + B	.....	FDC-Daten
Basisadresse + C	.....	PIO A Daten
Basisadresse + D	.....	PIO B Daten
Basisadresse + E	.....	PIO A Control
Basisadresse + F	.....	PIO B Control

F D C 3

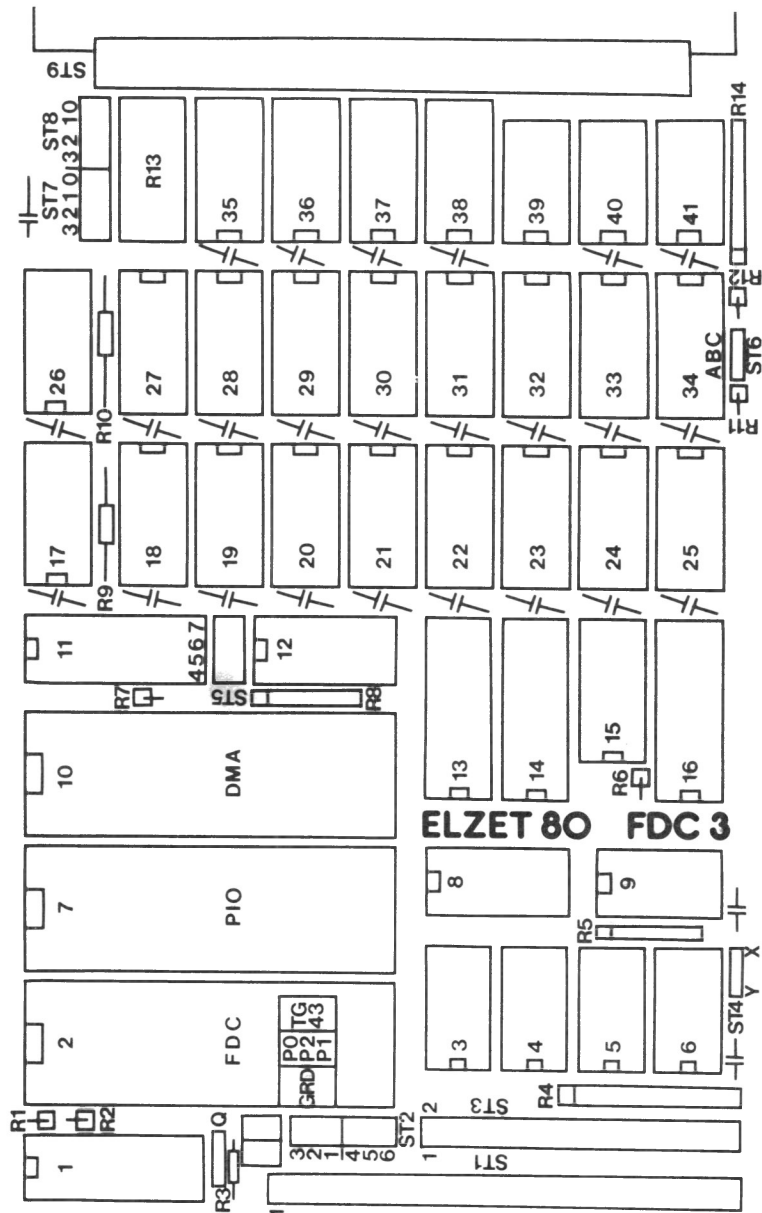
---

Die Anfangsadresse wird mit den 4 Steckbrücken von ST 5 eingestellt.

Adr.	Brücke 4	Brücke 5	Brücke 6	Brücke 7
00	gesteckt	gesteckt	gesteckt	gesteckt
10	offen	gesteckt	gesteckt	gesteckt
20	gesteckt	offen	gesteckt	gesteckt
30	offen	offen	gesteckt	gesteckt
40	gesteckt	gesteckt	offen	gesteckt
50	offen	gesteckt	offen	gesteckt
60	gesteckt	offen	offen	gesteckt
=====				
70	offen	offen	offen	gesteckt
80	gesteckt	gesteckt	gesteckt	offen
90	offen	gesteckt	gesteckt	offen
A0	gesteckt	offen	gesteckt	offen
B0	offen	offen	gesteckt	offen
C0	gesteckt	gesteckt	offen	offen
D0	offen	gesteckt	offen	offen
E0	gesteckt	offen	offen	offen
F0	offen	offen	offen	offen

Bestückungsplan

=====



F D C 3

ELZET 80 FDC 3

Stückliste

IC 1	Integrierte Schaltung	FDC 9229 B
IC 2	Integrierte Schaltung	SAB 1793-02
IC 3, 5	Integrierte Schaltung	7406
IC 4	Integrierte Schaltung	7407
IC 6	Integrierte Schaltung	7414
IC 7	Integrierte Schaltung	Z80A PIO
IC 8	Integrierte Schaltung	74 LS 138
IC 9	Integrierte Schaltung	74 LS 10
IC 10	Integrierte Schaltung	Z80A DMA
IC 11, 16	Integrierte Schaltung	74 LS 245
IC 12	Integrierte Schaltung	74 LS 85
IC 13, 14	Integrierte Schaltung	74 LS 244
IC 15	Integrierte Schaltung	PROM 1 (*)
IC 17, 26	Integrierte Schaltung	8216
IC 18-25, 27-34	Integrierte Schaltung	8264
IC 35, 36	Integrierte Schaltung	74 S 157
IC 37	Integrierte Schaltung	PROM 2 (*)
IC 38	Integrierte Schaltung	74 LS 156
IC 39	Integrierte Schaltung	74 LS 74
IC 40	Integrierte Schaltung	74 LS 86
IC 41	Integrierte Schaltung	7432
C	27 Keramikkondensatoren	100nF
Q	Quarz	entfällt s.u.
R 1, 2, 7	Widerstand	10 kOhm
R 3	Widerstand	entfällt
R 4	R-Netzwerk SIL	8x 180 Ohm

Seite 24

**ELZET 80**

F D C 3

---

R 5	R-Netzwerk SIL	4x 2,2 kOhm
R 6, 11	Widerstand	4,7 kOhm
R 8	R-Netzwerk SIL	4x 4,7kOhm
R 9, 10	Widerstand	680 Ohm
R 12	Widerstand	33 Ohm
R 13	R-Netzwerk DIL	8x 33 Ohm
R 14	R-Netzwerk SIL	6/7x 680 Ohm
ST 1	Pfostenstecker	50p. (2x25)
ST 2	Pfostenstecker	12p. (2x6)
ST 3	Pfostenstecker	34p. (2x17)
ST 4	Pfostenstecker	3p. (1x3)
ST 5	Pfostenstecker	8p. (2x4)
ST 6	Pfostenstecker	3p. (1x3)
ST 7/8	Pfostenstecker	16p. (2x8)
ST 9	Steckerleiste DIN 41612c	64p. a+c
	Platine	FDC3

Quarz ersetzt durch Quarzoszillator 16MHz im IC-Sockel von IC 2. Sockel für IC 1 (Datensep.), IC 37 (Prom Speicher) und die 40p-LSI's IC 2, 7 und 10.

(*) PROM 1	FDC-Bussteuerung	rot/rot
(*) PROM 2	Speicherselektion	
	Bank 0-3	rot/blau
	Bank 4-7	grün/blau

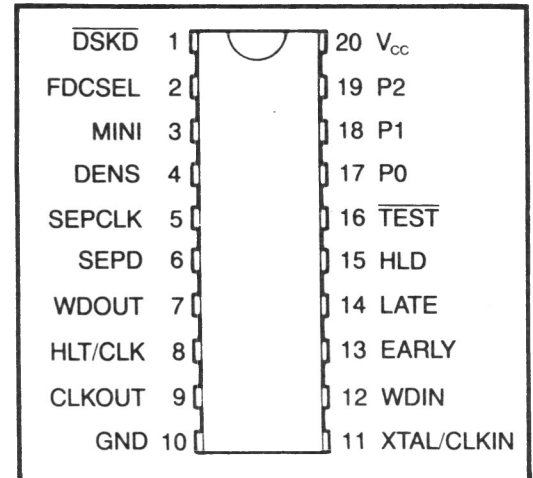
Bei den Speicherproms sind die ELZET 80 -Busleitungen Video80-/Blank und /Boot active berücksichtigt. Zugriffe auf den Bereich F000 bis FFFF erfolgen nur in Bank 0.

# FLOPPY DISK INTERFACE CIRCUIT

## FEATURES

- Digital Data Separator  
Performs complete data separation function for floppy disk drives  
Separates FM and MFM encoded data  
No critical adjustments necessary  
5 1/4" and 8" compatible
- Variable Write Precompensation
- Internal Crystal Oscillator Circuit
- Track-Selectable Write Precompensation
- Retriggerable Head-Load Timer
- Compatible with the FDC 179X, 765, and other standard Floppy Disk Controllers
- COPLAMOS® n-channel MOS Technology
- Single +5 Volt Supply
- TTL Compatible

## PIN CONFIGURATION

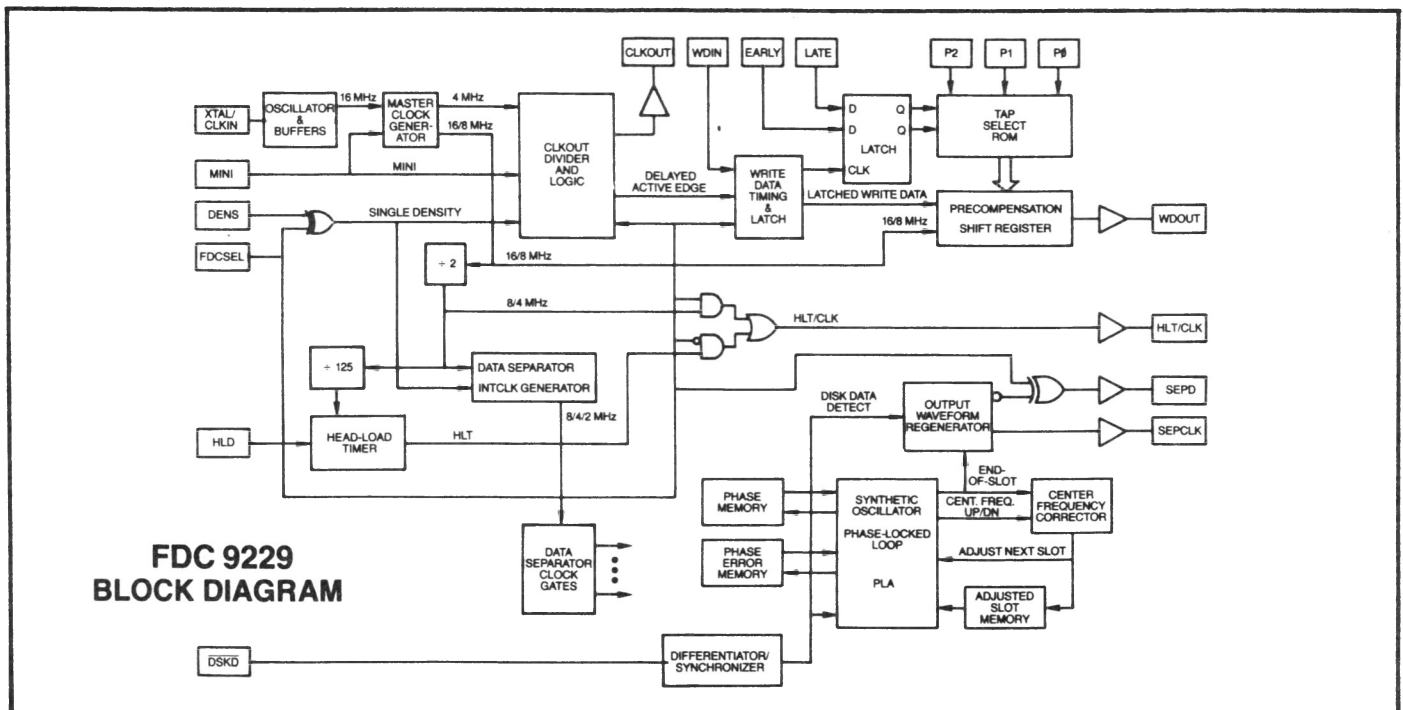


## FUNCTIONAL DESCRIPTION

The FDC 9229/B is a MOS integrated circuit designed to complement either the 179X or 765 (8272) type of floppy disk controller chip. It incorporates a digital data separator, write precompensation logic, and a head-load timer in one 0.3-inch wide 20-pin package. A single pin will configure the chip to work with either the 179X or 765 type of controller. The FDC 9229/B provides a number of different dynamically selected precompensation values so that different

values may be used when writing to the inner and outer tracks of the floppy disk drive. The FDC 9229/B operates from a +5V supply and simply requires that a 16 or 8 MHz crystal or TTL-level clock be connected to the XTAL/CLKIN pin. All inputs and outputs are TTL compatible.

The FDC 9229 is available in two versions: the FDC 9229 which is intended for 5 1/4" disks and the FDC 9229B for 5 1/4" and 8" disks.



## DESCRIPTION OF PIN FUNCTIONS

PIN NO.	SYMBOL	I/O	DESCRIPTION
1	$\overline{\text{DSKD}}$	I	This input is the raw read data received from the drive. (This input is active low.)
2	FDCSEL	I	This input signal, when low, programs the FDC 9229/B for a 179X type of LSI controller. When FDCSEL is high, the FDC 9229/B is programmed for a 765 (8272) type of controller. (See fig. 4.)
3	MINI	I	The state of this input determines whether the FDC 9229/B is configured to support 8" or 5¼" floppy disk drive interfaces. It is used in conjunction with the DENS input to prescale the clock for the data separator. The state of this input also alters the CLKOUT frequency, the precompensation value, the head load delay time (when in 179X mode) and the HLT/CLK frequency (when in 765 mode). (See figs. 2, 3, and 4.)
4	DENS	I	The state of this input determines whether the FDC 9229/B is configured to support single density (FM) or double density (MFM) floppy disk drive interfaces. It is used in conjunction with the MINI input to prescale the clock for the data separator. The state of this input also alters the CLKOUT frequency when in the 765 mode. (See figs. 2, 3, and 4.)
5	SEPCLK	O	A square-wave window clock signal output derived from the $\overline{\text{DSKD}}$ input.
6	SEPD	O	This output is the regenerated data pulse derived from the raw data input ( $\overline{\text{DSKD}}$ ). This signal may be either active low or active high as determined by FDCSEL (pin 2).
7	WDOUT	O	The precompensated WRITE DATA stream to the drive.
8	HLT/CLK	O	When in the 765 mode (FDCSEL high), this output is the master clock to the floppy disk controller. When in the 179X mode, this signal goes high after the head load delay has occurred following the HLD input going high. This output is retriggerable. (See fig. 3.)
9	CLKOUT	O	This signal is the write clock to the floppy disk controller. Its frequency is determined by the state of the MINI, DENS, and FDCSEL input pins. (See fig. 3.)
10	GND		Ground
11	XTAL/CLKIN	I	This input is for direct connection to a 16 MHz or 8 MHz crystal. (The other pin of the crystal is grounded, and a 470k resistor is connected across the crystal.) XTAL/CLKIN may alternatively be connected to a single-phase TTL-level clock.
12	WDIN	I	The write data stream from the floppy disk controller.
13	EARLY	I	When this input is high, the current WRITE DATA pulse will be written late to the disk.
14	LATE	I	When this input is high, the current WRITE DATA pulse will be written early to the disk. When both EARLY and LATE are low, the current WRITE DATA pulse will be written at the nominal position.
15	HLD	I	This input is only used in 179X mode. A high level at this input causes a high level on the HLT/CLK output after the specified head-load time delay has elapsed. The delay is selected by the state of the MINI output. (See fig. 3.)
16	$\overline{\text{TEST}}$	I	This input (when low) decreases the head-load time delay and initializes the data separator. This pin is for test purposes only. This input has an internal pull-up resistor and should be tied high or disconnected for normal operation.
17	P0	I	P2-P0 select the amount of precompensation applied to the write data. (See fig. 2.)
18	P1	I	
19	P2	I	
20	V <sub>CC</sub>		+ 5 VOLT SUPPLY

## OPERATION

### Data Separator

The XTAL/CLKIN input clock is internally divided by the FDC 9229/B to provide an internal clock. The division ratio is selected by the FDCSEL, MINI and DENS inputs depending on the type of drive used. (See fig. 1.)

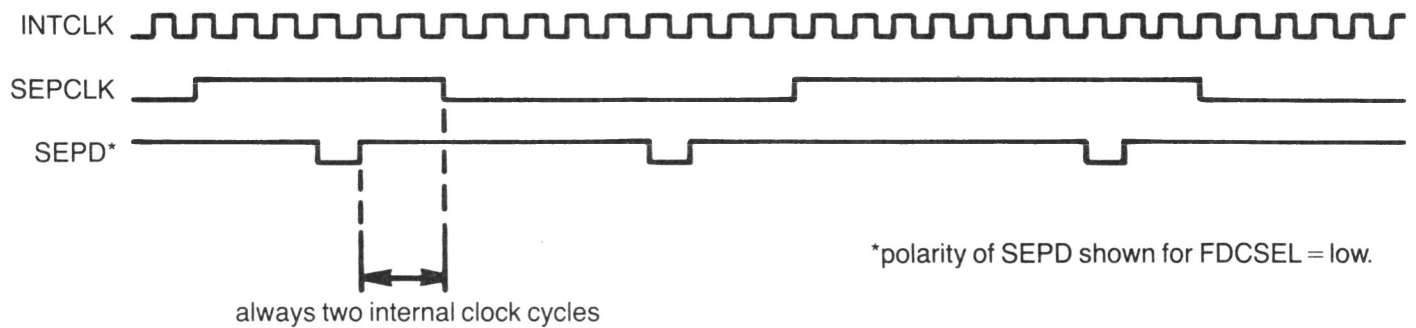
The FDC 9229/B detects the leading (negative) edges of the disk data pulses and adjusts the phase of the internal clock to provide the SEPCLK output.

Separate short- and long-term timing correctors assure accurate clock separation.

The SEPCLK frequency is nominally  $\frac{1}{16}$  the internal clock frequency. Depending on the internal timing correction, the duration of any SEPCLK half-cycle may vary from a nominal of 8 to a minimum of 6 and a maximum of 11 internal clock cycles.

INPUTS			DIVISOR
FDCSEL	DENS	MINI	$f(\text{XTAL}/\text{CLKIN})/f(\text{INTCLK})$
0	0	0	2
0	0	1	4
0	1	0	4
0	1	1	8
1	0	0	4
1	0	1	8
1	1	0	2
1	1	1	4

FIG. 1



### Precompensation

The desired precompensation delay is determined by the state of the P0, P1 and P2 inputs of the FDC 9229/B as per fig. 2. Logic levels present on these pins may be changed dynamically as long as the inputs are stable during the time the floppy disk controller is writing to the drive and the inputs meet the minimum setup time with respect to the write data from the floppy disk controller.

MINI	P2	P1	P0	PRECOMP VALUE
0	0	0	0	0 ns
0	0	0	1	62.5 ns
0	0	1	0	125 ns
0	0	1	1	187.5 ns
0	1	0	0	250 ns
0	1	0	1	250 ns
0	1	1	0	312.5 ns
0	1	1	1	312.5 ns

MINI	P2	P1	P0	PRECOMP VALUE
1	0	0	0	0 ns
1	0	0	1	125 ns
1	0	1	0	250 ns
1	0	1	1	375 ns
1	1	0	0	500 ns
1	1	0	1	500 ns
1	1	1	0	625 ns
1	1	1	1	625 ns

NOTE: All values shown are obtained with a 16 MHz reference clock. Multiply pre-comp values by two for 8 MHz operation.

FIG. 2 WRITE PRECOMPENSATION VALUE SELECTION



## OPERATION (CONT'D)

### Head Load Timer

The head load time delay is either 40 ms or 80 ms, depending on the state of MINI. (See fig. 3.) The purpose of this delay is to ensure that the head has enough time to engage properly. The head load timer is only used in the 179X mode; it is non-functional in the 765 mode.

The FDC 179X initiates the loading of the floppy disk drive head by setting HLD high. The controller then waits the programmed amount of time until the HLT signal from the FDC 9229/B goes high before starting a read or write operation.

INPUTS			OUTPUTS	
FDCSEL	DENS	MINI	CLKOUT	HLT/CLK
0	0	0	2 MHz	40 ms*
0	0	1	1 MHz	80 ms*
0	1	0	2 MHz	40 ms*
0	1	1	1 MHz	80 ms*
1	0	0	500 KHz	8 MHz
1	0	1	250 KHz	4 MHz
1	1	0	1 MHz	8 MHz
1	1	1	500 KHz	4 MHz

NOTE: All values shown are obtained with a 16 MHz reference clock. Divide all frequencies and multiply all periods by two for 8 MHz operation.

\*May be mask programmed at factory to any value from 1 to 512 ms in 15.625  $\mu$ s increments (MINI low) or 1 to 1024 ms in 31.25  $\mu$ s increments (MINI high).

**FIG. 3 CLOCK AND HEAD LOAD TIME DELAY SELECTION**

INPUTS			FLOPPY DISK DRIVE TYPE	FLOPPY DISK DRIVE DENSITY	FLOPPY DISK CONTROLLER TYPE
FDCSEL	DENS	MINI			
0	0	0	8" DRIVE	DOUBLE	179X
0	0	1	5 1/4" DRIVE	DOUBLE	179X
0	1	0	8" DRIVE	SINGLE	179X
0	1	1	5 1/4" DRIVE	SINGLE	179X
1	0	0	8" DRIVE	SINGLE	765 (8272)
1	0	1	5 1/4" DRIVE	SINGLE	765 (8272)
1	1	0	8" DRIVE	DOUBLE	765 (8272)
1	1	1	5 1/4" DRIVE	DOUBLE	765 (8272)

**FIG. 4 FLOPPY DISK DRIVE AND CONTROLLER SELECTION**

**MAXIMUM GUARANTEED RATINGS\***

Operating Temperature Range .....	0°C to +70°C
Storage Temperature Range .....	-55° to +150°C
Lead Temperature (soldering, 10 sec.) .....	+300°C
Positive Voltage on any I/O Pin, with respect to ground .....	+8.0V
Negative Voltage on any I/O Pin, with respect to ground .....	-0.3V
Power Dissipation .....	0.75W

\*Stresses above those listed may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied.

NOTE: When powering this device from laboratory or system power supplies, it is important that the Absolute Maximum Ratings not be exceeded or device failure can result. Some power supplies exhibit voltage spikes or "glitches" on their outputs when the AC power is switched on and off. In addition, voltage transients on the AC power line may appear on the DC output.

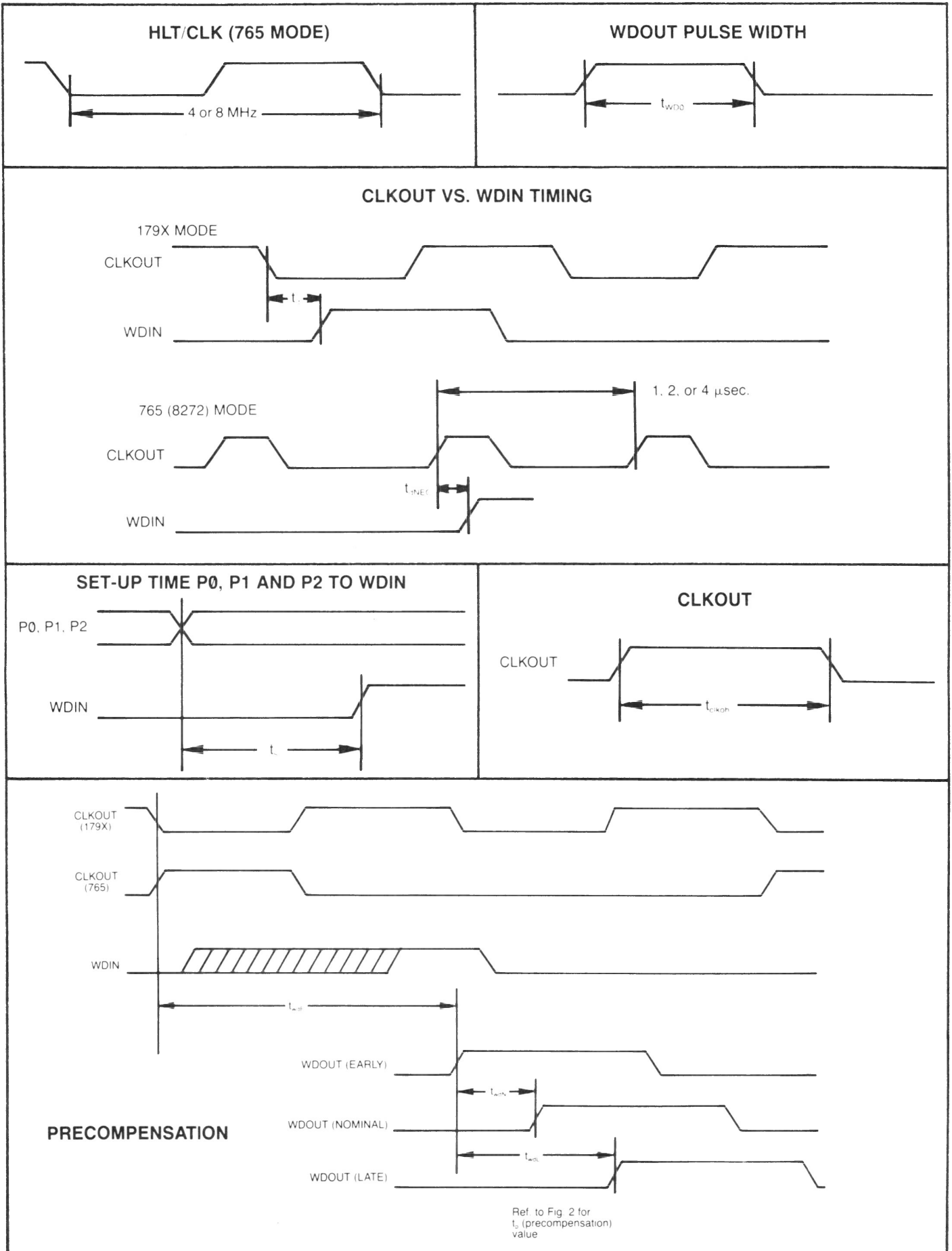
**ELECTRICAL CHARACTERISTICS** ( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

PARAMETER	MIN	TYP	MAX	UNIT	CONDITIONS
<b>DC CHARACTERISTICS</b>					
<b>INPUT VOLTAGE</b>					
Low Level $V_{IL}$	-0.3		0.8	V	Except XTAL/CLKIN
High Level $V_{IH}$	2.0		( $V_{CC}$ )	V	
<b>XTAL/CLKIN INPUT VOLTAGE</b>					
AC Amplitude	1.0			$V_{P.P}$	XTAL/CLKIN only; input is AC-coupled.
Instantaneous voltage	-0.3		( $V_{CC}$ )	V	
<b>OUTPUT VOLTAGE</b>					
Low Level $V_{OL}$			0.4	V	$I_{OL} = 1.6\text{ mA}$ except HLT/CLK $I_{OL} = 0.4\text{ mA}$ , HLT/CLK only $I_{OH} = -100\ \mu\text{A}$ except HLT/CLK $I_{OH} = -400\ \mu\text{A}$ , HLT/CLK only
High Level $V_{OH}$	2.4			V	
<b>POWER SUPPLY CURRENT</b>					
$I_{CC}$			100	mA	
<b>INPUT LEAKAGE CURRENT</b>					
$I_{IL}$			10	$\mu\text{A}$	$V_{IN} = 0$ to $V_{CC}$
<b>INPUT CAPACITANCE</b>					
$C_{IN}$			10	pF	Except CLKIN
			25	pF	CLKIN only

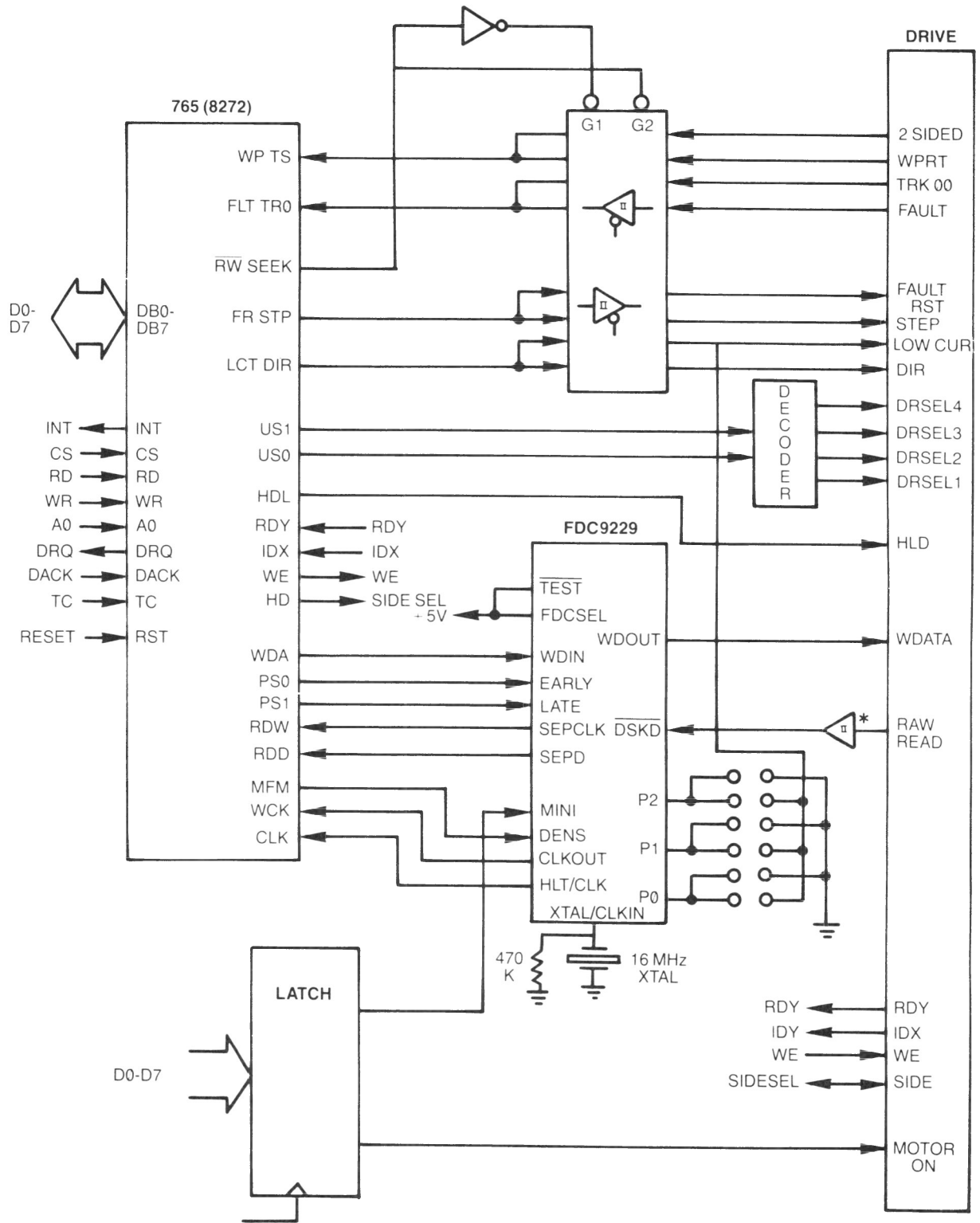
**ELECTRICAL CHARACTERISTICS** ( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

PARAMETER	MIN	TYP	MAX	UNIT	CONDITIONS
<b>AC ELECTRICAL CHARACTERISTICS</b>					
(All times assume XTAL/CLKIN = 16 MHz unless otherwise specified)					
XTAL/CLKIN frequency	3.95	16	16.2	MHz	FDC 9229B FDC 9229
	3.95	8	8.1	MHz	
XTAL/CLKIN DUTY CYCLE	25		75	%	FDCSEL = low; MINI = high. FDCSEL = low; MINI = low. FDCSEL = high.  See fig. 2. See fig. 2.
$t_{clkoh}$	465	500	515	ns	
	215	250	265	ns	
	90	125	140	ns	
$t_{wdo}$	280	312.5	350	ns	
$t_d$	50		400	ns	
$t_{dNEC}$	0		400	ns	
$t_{wdE}$		562.5		ns	
$t_{wdN}$		precomp value			
$t_{wdL}$		2 x precomp value			
$t_s$	1.0			$\mu\text{s}$	

## AC TIMING CHARACTERISTICS



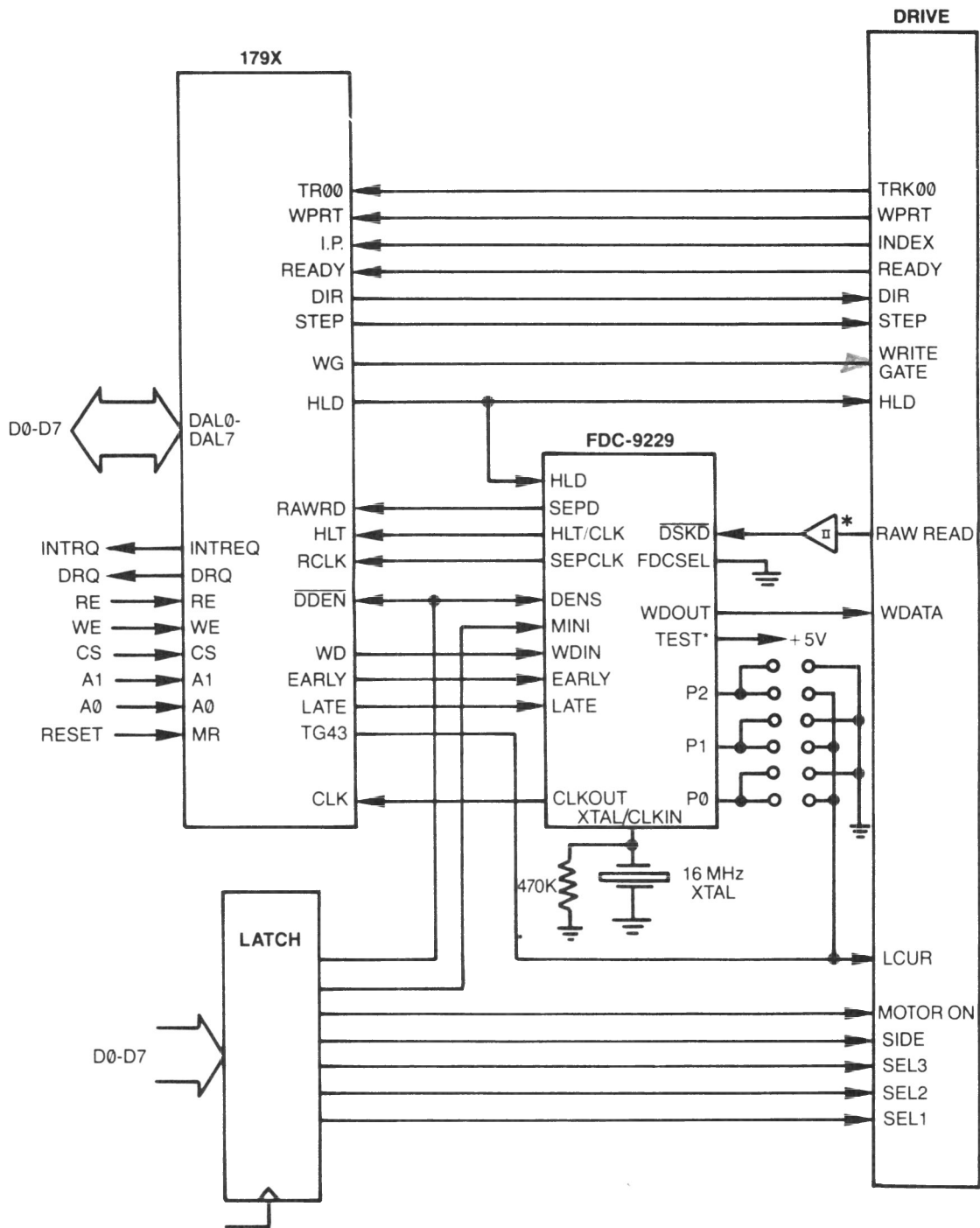
## TYPICAL SYSTEM IMPLEMENTATION—765 (8272) FDC



\*The FDC9229 B, as all other NMOS integrated circuits, presents a high impedance on all inputs.

To avoid soft errors caused by transmission line effects and noise where there is long cabling between the floppy disk drive and the controller board, the use of a (non-inverting) TTL schmidt-trigger input gate or bus transceiver is recommended at the DSKD input to the FDC9229 B.

## TYPICAL SYSTEM IMPLEMENTATION—179X FDC

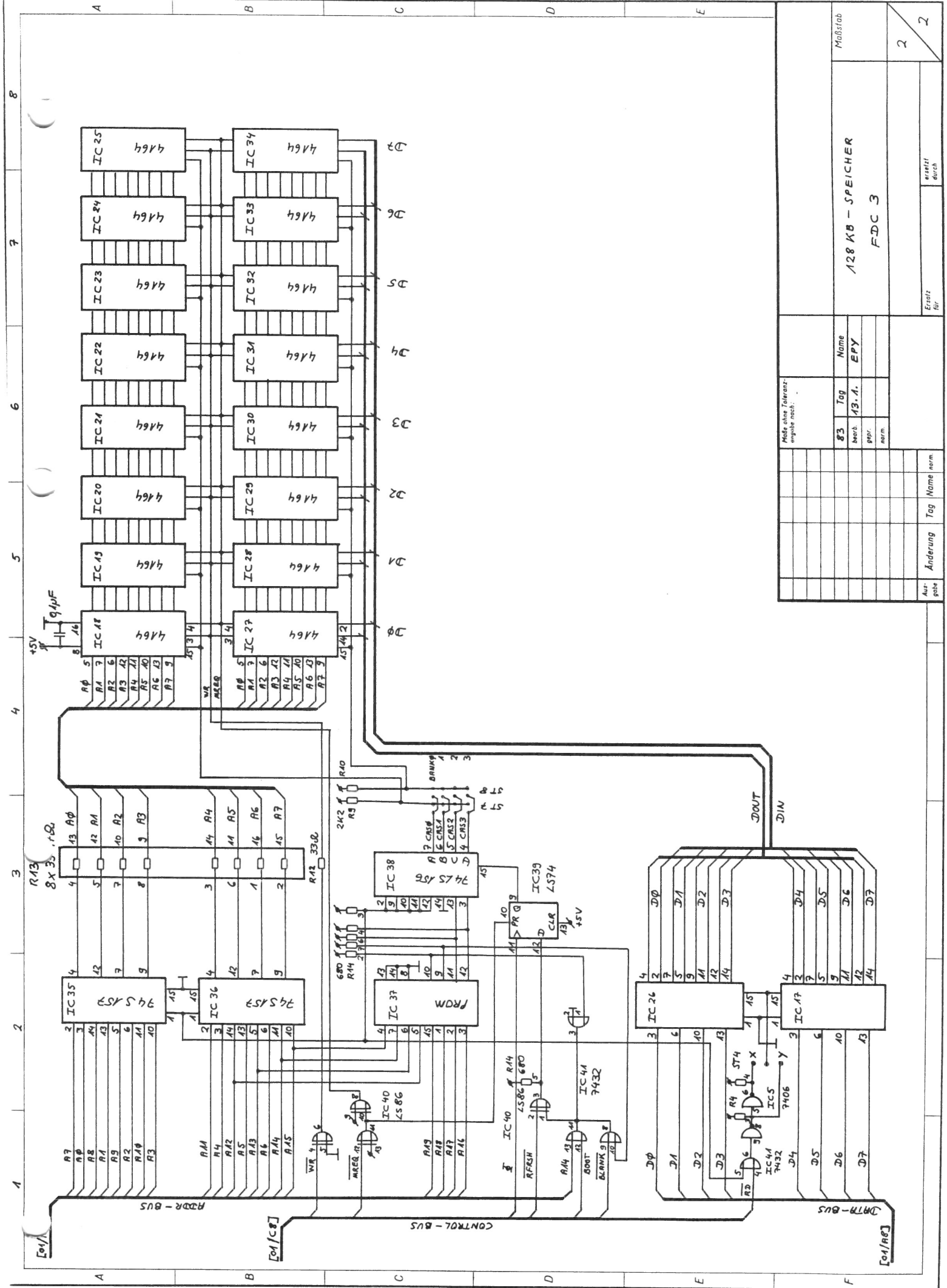


\*The FDC9229/B, as all other NMOS integrated circuits, presents a high impedance on all inputs.  
 To avoid soft errors caused by transmission line effects and noise where there is long cabling between the floppy disk drive and the controller board, the use of a (non-inverting) TTL schmidt-trigger input gate or bus transceiver is recommended at the DSKD input to the FDC9229/B.

# TEKELEC TA AIRTRONIC

GmbH

D-8000 MÜNCHEN 15 · POSTFACH 15 20 27 · TELEFON (089) 59 46 21 · TELEX 05-22 241  
 BÜRO: LUDWIGSBURG (071 41) 2 93 91 · ESSEN (02 01) 79 10 41 · HAMBURG (040) 6 03 12 11



Veröffentlichung, Verwertung sowie Mitteilung des Inhaltes dieser Unterhandlungen führen zu straf- und zivilrechtlichen Folgen. Alle patentrechtlichen Ansprüche bleiben vorbehalten.

Maßstab		2	
Name		128 KB - SPEICHER	
Tag		FDC 3	
Name		EPY	
Tag		13.1.	
Norm		norm.	
Anderung		Tag Name norm.	
Ausgabe		Tag Name norm.	
Ersetzt durch		Ersetzt durch	
2		2	

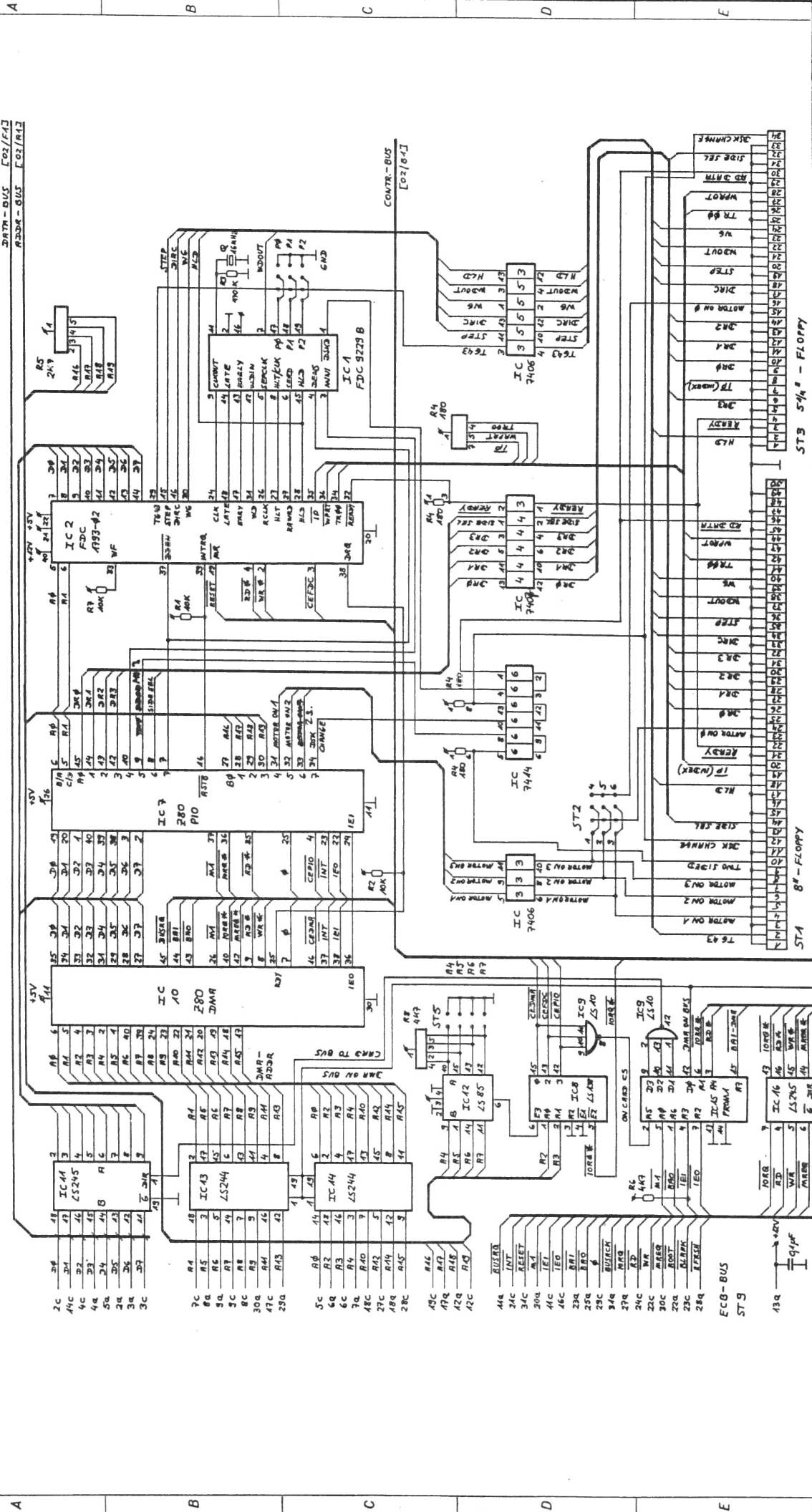
Ausgabe		Tag Name norm.	
Anderung		Tag Name norm.	
Name		128 KB - SPEICHER	
Tag		FDC 3	
Norm		norm.	
Tag		13.1.	
Name		EPY	
Maßstab		2	

Änderung	Tag	Name	Erstellt für
	83	Tag Name	
	13.1.	EPY	

Erstellt für	Erstellt durch
1	2

Maßstab  
FLOPPY-DISK-CONTROLLER  
FDC 3

Made ohne Teilname:  
empfohlen werden:



Veröffentlichung, Vervielfältigung, Verbreitung sowie Mitteilung des Inhaltes dieser Unterlage ist ohne unsere Genehmigung unzulässig. Zuwiderhandlungen führen zu straf- und zivilrechtlichen Folgen. Alle patentrechtlichen Ansprüche bleiben vorbehalten.