

2. NOV. 1984

JK82 CPU I

TECHNISCHE BESCHREIBUNG

Bestellnummern:

TIJ-Z-1050: JK82 CPU I unbestückt
TIJ-Z-1053: JK82 CPU I Bausatz 4MHz
TIJ-Z-1054: JK82 CPU I bestückt 4MHz
TIJ-Z-1208: Bussteuerprom

Ihr autorisierter Händler:

*
*
*
*
*
*
*
*
*
*
*

HEINRICH HEINKE HAVEKOST
Softwaretechnik
Ringbahnstraße 65, 1000 Berlin 42
Telefon (030) 752 66 03

(C) 1983 by Janich & Klass Wuppertal

09.11.83

Inhaltsverzeichnis:

1.	Allgemeine Eigenschaften der CPU I-Platine:	Seite: 3
2.	Jumperstellungen für die Speicher:	Seite: 4
2.1	Speichertyp:	Seite: 4
2.1.1	Pinbelegung der Memory-Sockel:	Seite: 5
2.2	Adreßbelegung der Speicher:	Seite: 6
2.2.1	Adreßeinstellung für Steckplatz 1:	Seite: 6
2.2.2	Adreßeinstellung für Steckplatz 2:	Seite: 6
2.2.3	Beispiele für Adreßeinstellungen:	Seite: 8
3.	Jumperstellungen der I/O-Ports:	Seite: 9
3.1	Adreßbelegung der I/O-Ports:	Seite: 9
3.2	BOOT-F.F.:	Seite: 9
3.3	Übrige Jumper:	Seite: 9
3.3.1	Jumper S2:	Seite: 9
3.3.2	Jumper S1:	Seite: 10
4.	Steckerbelegungen:	Seite: 10
4.1	Steckerbelegung des seriellen Ports:	Seite: 10
4.2	Steckerbelegung des parallelen Ports:	Seite: 11
4.3	Busbelegung:	Seite: 12
5.	Schaltungsbeschreibung:	Seite: 13
5.1	Serielle Schnittstelle:	Seite: 13
5.2	Parallele Schnittstelle:	Seite: 13
5.3	Takterzeugung:	Seite: 13
5.4	Reset:	Seite: 13
5.5	IEI-IEO Daisy Chain:	Seite: 13
5.6	Bussteuerprom:	Seite: 14
5.7	Inhalt des Bussteuerproms:	Seite: 15
6.	Beispielsoftware:	Seite: 15
6.1	Baudratenerzeugung:	Seite: 15
6.1.1	Baudratentabelle für die CTC-Initialisierung:	Seite: 16
6.1.2	Initialisierungsbeispiel für den CTC bei 9600 Baud:	Seite: 16
6.2	SIO/DART für seriellen I/O (V24):	Seite: 16
6.3	PIO als Centronics-Schnittstelle:	Seite: 18
7.	Standardjumperstellung bei Auslieferung einer bestückten Platine:	Seite: 20
8.	Stückliste:	Seite: 20
9.	Bestückungsplan:	Seite: 20
10.	Schaltplan:	Seite: 21

1. Allgemeine Eigenschaften der JK82 CPU I-Platine:

Die CPU I-Karte ist sowohl als Einplatinencomputer geeignet, sowie als CPU für auf dem JK82-Bus basierende Floppy-Disk-Systeme.

Die Eigenschaften der JK82 CPU I in Stichworten:

- zwei BYTEWIDE-Steckplätze mit bis zu 32K EPROM oder 8K RAM pro Steckplatz
- ein Parallelport mit 20 programmierbaren I/O Leitungen (Z80-PIO)
- zwei serielle Ports mit nach RS 232 C (V24) gepufferten Leitungen (Z80-DART)
- programmierbare Baudratengenerierung mit 2 Kanälen eines Z80-CTC
- Spannungsüberwachung der 5V-Versorgung mit RESET-Generierung bei Unterspannung
- zwei getrennte Oszillatoren für die Baudratenerzeugung und den Systemtakt
- nur zwei Versorgungsspannungen erforderlich: 5V und 12V (neg. Spannung wird auf der Karte mit einem DC/DC Wandler erzeugt)
- als "stand alone"-Platine hat sie eine sehr geringe Stromaufnahme durch Wegfall der Bustreiber und des Steuerproms
- Systemtaktfrequenz 2,5MHz bis 6MHz
- über Jumper einstellbare vollständige Dekodierung der I/O-Port-adressen
- über Jumper einstellbare Adressen der internen Speicherbausteine
- BOOT-Logik mit der Möglichkeit, den internen Speicherbereich nach dem Umladen des Betriebssystems auszublenden
- vollständige Pufferung aller ECB-Bus-Signale
- Bussteuerung erkennt alle im Z80-System möglichen Signalzustände wie z.B. "RETI" oder DMA-Transfers in beliebiger Richtung

2. Jumperstellungen für die Speicher:

2.1 Speichertyp:

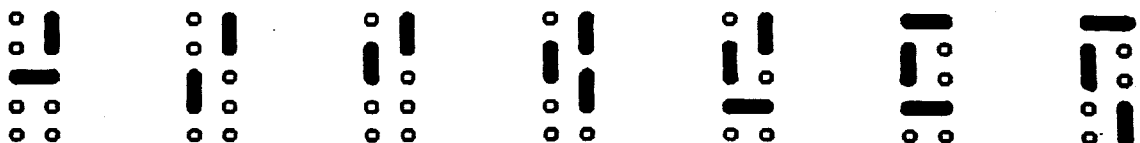
Im Jumperfeld J3 wird der Speichertyp des Memory-Sockels 1 (IC 12) eingestellt, im Jumperfeld J4 der Speichertyp des Memory-Sockels 2 (IC 18).

Jedes Jumperfeld besteht aus 10 Pfosten, auf denen 8 Brücken gebildet werden können. Die möglichen Brücken sind im folgenden mit A bis H bezeichnet. Die geometrische Anordnung der Brücken ist untenstehender Übersicht zu entnehmen (Sicht auf die Bestückungsseite der Platine, VG-Leiste links).

Die beiden Jumperfelder J3 und J4 sind gleichartig beschaltet. Im Steckplatz 1 (IC 12) ist die Bestückung mit einem RAM jedoch nicht sehr sinnvoll, da die Startadresse dieses Steckplatzes fest auf Null liegt.

J3 und J4	Speichertyp:	Brücken:
<pre> A ─── B ─── C ─── D ─── E ─── F ─── G ─── H ─── I ─── J ─── </pre>	<p>2K x 8 RAM</p> <p>2K x 8 EPROM</p> <p>4K x 8 EPROM</p> <p>8K x 8 RAM</p> <p>8K x 8 EPROM</p> <p>16K x 8 EPROM</p> <p>32K x 8 EPROM</p>	<p>B, D</p> <p>B, E</p> <p>B, C</p> <p>B, C, F</p> <p>B, C, G</p> <p>A, C, G</p> <p>A, C, H</p>

2K x 8	2K x 8	4K x 8	8K x 8	8K x 8	16K x 8	32K x 8
RAM	EPROM	EPROM	RAM	EPROM	EPROM	EPROM



2.1.1 Pinbelegung der Memory-Sockel:

a =	yPD446, MSM5128, TC5517, MB8416, HM6116 MK4802, HM2116, TMM2016	2K x 8 CMOS-RAM 2K x 8 NMOS-RAM
b =	2716	2K x 8 EPROM
c =	2732	4K x 8 EPROM
d =	yPD4464, MSM5198, TC5564, HM6264 TC5565, MB8464	8K x 8 CMOS-RAM
e =	2764 Intel-Standard	8K x 8 EPROM
f =	27128 Intel-Standard	16K x 8 EPROM
g =	27256 Intel-Standard	32K x 8 EPROM

Pinbelegung der o.a. Speicherbausteine:

a . b . c . d . e . f . g			a . b . c . d . e . f . g	
	NC	VPP VPP VPP	o 1 28 o	UCC UCC UCC UCC
	A12 A12 A12 A12		o 2 27 o	\overline{WE} PGM PGM A14
A7 A7 A7 A7 A7 A7 A7			o 3 26 o	VCC UCC UCC CS2 NC A13 A13
A6 A6 A6 A6 A6 A6 A6			o 4 25 o	A8 A8 A8 A8 A8 A8 A8
A5 A5 A5 A5 A5 A5 A5			o 5 24 o	A9 A9 A9 A9 A9 A9 A9
A4 A4 A4 A4 A4 A4 A4			o 6 23 o	\overline{WE} VPP A11 A11 A11 A11 A11
A3 A3 A3 A3 A3 A3 A3			o 7 22 o	\overline{OE} \overline{OE} \overline{OE} \overline{OE} \overline{OE} \overline{OE} \overline{OE}
A2 A2 A2 A2 A2 A2 A2			o 8 21 o	A10 A10 A10 A10 A10 A10 A10
A1 A1 A1 A1 A1 A1 A1			o 9 20 o	\overline{CE} \overline{CE} \overline{CE} \overline{CE} \overline{CE} \overline{CE} \overline{CE}
A0 A0 A0 A0 A0 A0 A0			o 10 19 o	D7 D7 D7 D7 D7 D7 D7
D0 D0 D0 D0 D0 D0 D0			o 11 18 o	D6 D6 D6 D6 D6 D6 D6
D1 D1 D1 D1 D1 D1 D1			o 12 17 o	D5 D5 D5 D5 D5 D5 D5
D2 D2 D2 D2 D2 D2 D2			o 13 16 o	D4 D4 D4 D4 D4 D4 D4
GND GND GND GND GND GND GND			o 14 15 o	D3 D3 D3 D3 D3 D3 D3

24polige Speicherbausteine werden unten bündig in den Sockel eingesetzt. Von der jeweiligen Pinnummer muß 2 subtrahiert werden, um auf die korrekte Pinnummer für 24polige Speicherbausteine zu kommen.

Bemerkung: Die gezeichnete Pinbelegung gilt für die o. a. Speicherbausteine. Dabei ist zu beachten, daß Pin 1 des Sockels immer auf VCC liegt. Alle anderen kompatiblen Speicherbausteine können natürlich ebenfalls eingesetzt werden.

2.2 Adreßbelegung der Speicher:

Jeder einzelne Steckplatz belegt mindestens 4KByte Speicherplatz. Falls nur ein Steckplatz benutzt werden soll, so muß der 2. Steckplatz auf die Startadresse 0000H und die Endadresse 0FFFH eingestellt werden. Es darf dann jedoch kein Speicherbaustein in diesen Steckplatz gesteckt werden.

Die Art der Adreßeinstellung ist für die beiden Steckplätze verschieden.

2.2.1 Adreßeinstellung für Steckplatz 1:

Die Anfangsadresse des Speicher-Steckplatzes 1 ist immer 0000H. Kapazität des dort eingesetzten EPROMs ist über drei Jumper im Jumperfeld J1 wie folgt einzustellen.

	S 1	2	3		
4K Kapazität:	S1-->"b"	S2-->"b"	S3-->"b"	o o o a	J1
				b	
8K Kapazität:	S1-->"b"	S2-->"b"	S3-->"a"	o o a	J1
				o b	
16K Kapazität:	S1-->"b"	S2-->"a"	S3-->"a"	o a	J1
				o o b	
32K Kapazität:	S1-->"a"	S2-->"a"	S3-->"a"	a	J1
				o o o b	

Dabei ist zu beachten, daß auf diesem Steckplatz immer mindestens 4K selektiert werden, obwohl natürlich auch 2K-EPROMs eingesetzt werden können. Es ist lediglich nicht möglich, ein im Adreßraum lineares Programm von 4K Länge in zwei verschiedenen 2K-EPROMs laufen zu lassen. In diesem Fall ist das Programm in ein 4K-EPROM zu übertragen.

2.2.2 Adreßeinstellung für Steckplatz 2:

Die Anfangsadresse und die Kapazität des Memory-Steckplatzes 2 ist in 4K-Schritten wählbar. Dabei sind folgende Einschränkungen zu beachten:

- Die unteren 12 Bits der Startadresse sind immer 0!
- Die unteren 12 Bits der Endadresse sind immer 1!
- Das höchstwertige Bit der Startadresse muß mit dem höchstwertigen Bit der Endadresse übereinstimmen! Eine Startadresse 7000H zusammen mit einer Endadresse 8FFFH ist also nicht möglich.

Die Einstellung der oberen 4 Bits von Start- und Endadresse wird mit den Steckbrücken S4 - S7 vorgenommen:

Einstellung von S7: A15 = 1 ==> S7 = ~~b~~
 A15 = 0 ==> S7 = ~~a~~

A15 ist bei Start- und Endadresse immer gleich!

Einstellung von S4:

	! A14	! A14	! A14	! A14	
Startadresse	0	0	1	1	x = Jumper nicht gesetzt
Endadresse	0	1	0	1	
S4	a	b	b	x	

↑
----- nicht sinnvoll, da dann Startadresse > Endadresse

Einstellung von S5:

	! A13	! A13	! A13	! A13	
Startadresse	0	0	1	1	x = Jumper nicht gesetzt
Endadresse	0	1	0	1	
S5	a	b	b	x	

Einstellung von S6:

	! A12	! A12	! A12	! A12	
Startadresse	0	0	1	1	x = Jumper nicht gesetzt
Endadresse	0	1	0	1	
S6	a	b	b	x	

Es korrespondieren: S7->A15, S4->A14, S5->A13 und S6->A12.

Beispiel:

Die Anfangsadresse sei A000H die Endadresse BFFFH

S4 S5 S6 S7

A14 A13 A12 A15

0 1 0 1 Anfangsadresse

0 1 1 1 Endadresse

a x b b Stellung der Jumper (x = nicht gesetzt)

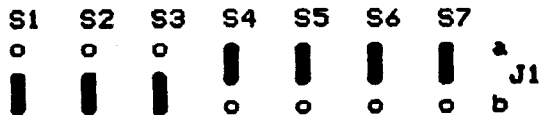
Wird der zweite Memory-Steckplatz nicht benötigt, so werden die Jumper S4 bis S7 in Stellung "a" gebracht.

2.2.3 Beispiele für Adreßeinstellungen:

Beispiel 1:

Steckplatz 1: 2K- oder 4K-BOOT-EPROM
 Steckplatz 2: unbestückt

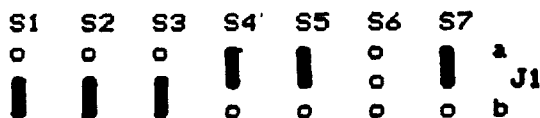
Jumperfeld 1



Beispiel 2:

Steckplatz 1: 4K EPROM
 Steckplatz 2: Startadresse: 1000H ; Endadresse 1FFFH

Jumperfeld 1

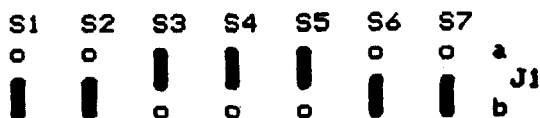


Diese Jumperstellung ist für den P/J-Monitor Version 2.3 geeignet. Dabei ist zu beachten, daß ein 2K-RAM auf Steckplatz 2 als 4K-Speicher angesprochen wird. Dadurch ergibt sich eine Spiegelung der Adressen 1000H bis 17FFH in die Adressen 1800H bis 1FFFH. Der von dem Monitor benutzte Stackbereich ist demzufolge auf den Adressen 1000H bis 10FFH und 1800H bis 18FFH zu finden.

Beispiel 3:

Steckplatz 1: 8K EPROM
 Steckplatz 2: Startadresse: 8000H ; Endadresse 9FFFH

Jumperfeld 1



3. Jumperstellungen der I/O-Ports:

3.1 Adreßbelegung der I/O-Ports:

Im Jumperfeld J2 wird die Obergruppenadresse der I/O-Ports eingestellt. Dies geschieht analog zur Adreßeinstellung der Memories in binärer Form. Hier müssen allerdings immer alle vier Jumper gesetzt sein. Die gewünschte Basisadresse in binärer Form korrespondiert direkt mit den Jumpers SA 7, SA 6, SA 5 und SA 4. Die Stellung "a" ist zu wählen, falls das entsprechende Bit "0" ist, die Stellung "b" für "1".

		J 2	
		a	b
SA 4		o	o
SA 5		o	o
SA 6		o	o
SA 7		o	o

Die gezeichnete Jumperstellung ist zu benutzen, falls die Basisadresse E0H sein soll.

I/O Portbelegung für die Basisadresse E0:

E0: SIO/DART DATA Port	Kanal A	EB: CTC Kanal 0
E1: SIO/DART Comand Port	Kanal A	E9: CTC Kanal 1
E2: SIO/DART DATA Port	Kanal B	EA: CTC Kanal 2
E3: SIO/DART Comand Port	Kanal B	EB: CTC Kanal 3
E4: PIO DATA Port	Kanal A	EC: BOOT-Betrieb EIN
E5: PIO Comand Port	Kanal A	ED: BOOT-Betrieb AUS
E6: PIO DATA Port	Kanal B	EE: BOOT-Betrieb EIN
E7: PIO Comand Port	Kanal B	EF: BOOT-Betrieb AUS

3.2 BOOT-F.F.:

Das BOOT-F.F. kann sowohl mit einem "out"-Befehl als auch mit einem "in"-Befehl angesprochen werden. Auch wird A1 nicht dekodiert, was zur Folge hat, daß das F.F. auf zwei verschiedenen Adressen erscheint. Nach einem RESET ist das BOOT-F.F. immer in der Stellung BOOT-Betrieb EIN. Der erste OPCODE-FETCH, der adreßmäßig nicht innerhalb der CPU-Karte liegt, steuert das F.F. in den AUS-Zustand, falls der Jumper S3 gesetzt ist. Ist der Jumper nicht gesetzt, so kann das BOOT-F.F. nur unter Software-Kontrolle gesetzt werden.

3.3 übrige Jumper:

3.3.1 Jumper S2:

Die SIO bzw. der DART besitzen zwei Anschlüsse W/RDYA und W/RDYB, die als Ready-Leitungen programmiert, einen DMA-Betrieb zulassen. Diese beiden Leitungen sind UND-verknüpft auf den Bus zu legen, falls die SIO bzw. der DART von einem DMA bedient werden soll. Dazu muß der Jumper S2 gesetzt werden. Laut jk92-Busdefinition ist diese Leitung eine O.C.-Leitung. Diese Eigenschaft konnte aber auf der CPU-Karte aus Platzmangel nicht mehr implementiert werden. Daher gilt einschränkend, daß S2 nur gesetzt werden darf, falls keine andere Karte im System dieses Signal erzeugt.

3.3.2 Jumper S1:

Der DC/DC Wandler IC 31 (ICL 7660 CPA) kann entfallen, wenn auf dem Bus die -15V Versorgungsspannung vorhanden ist. In diesem Fall wird S1 gesetzt. Das IC 31 muß entfernt werden.

4. Steckerbelegungen:

4.1 Steckerbelegung des seriellen Ports:

Stecker 3
Seriell A, B

	o 1	(1)	(14)	2	o
RxDB	o 3	(2)	(15)	4	o
TxDB	o 5	(3)	(16)	6	o
RTSB	o 7	(4)	(17)	8	o
CTSB	o 9	(5)	(18)	10	o
	o 11	(6)	(19)	12	o
GND	o 13	(7)	(20)	14	o
DCDB	o 15	(8)	(21)	16	o

	o 17	(1)	(14)	18	o
RxDA	o 19	(2)	(15)	20	o
TxDA	o 21	(3)	(16)	22	o
RTSA	o 23	(4)	(17)	24	o
CTSA	o 25	(5)	(18)	26	o
	o 27	(6)	(19)	28	o
GND	o 29	(7)	(20)	30	o
DCDA	o 31	(8)	(21)	32	o
	o 33	(9)	(22)	34	o

Der Kabelsatz für die zwei seriellen Ports nach RS 232C sieht folgendermaßen aus:

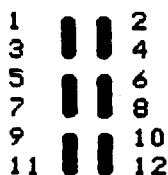
Das an den 34poligen Pfostenstecker angequetschte Flachbandkabel wird zwischen der Leitung 16 und 17 aufgetrennt. Der untere Teil des Kabels mit den Leitungen 1 bis 16 wird so an eine 25polige D-Buchse angequetscht, daß die Leitung 1 bzw. Pin 1 des Pfostensteckers mit Pin 1 der D-Buchse verbunden ist. Diese D-Buchse ist der Anschluß für den seriellen Port B.

Der obere Teil des Flachbandkabels mit den Leitungen 17 bis 34 ist analog mit einer zweiten D-Buchse so zu verbinden, daß der Pin 17 des Pfostensteckers mit dem Pin 1 der D-Buchse verbunden ist. Diese D-Buchse ist nun der Anschluß für den seriellen Port A.

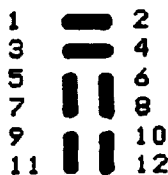
Die Zahlen in Klammern geben die Pinbezeichnung der 25poligen D-Buchse an.

Im Jumperfeld J5 besteht die Möglichkeit, alle Signale des seriellen Port A paarweise zu tauschen. Dies ist zum Beispiel bei der Kopplung zweier Rechner notwendig. Die unten stehenden Abbildungen geben die geometrisch richtigen Jumperstellungen wieder (Sicht auf die Bestückungsseite der Platine, VG-Leiste links).

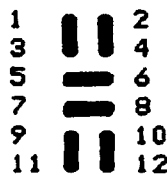
Standard wie oben



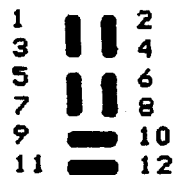
RxDA/TxDA getauscht



RTSA/CTSA getauscht



DTRA/DCDA getauscht



4.2 Steckerbelegung des parallelen Ports:

Stecker 1
(Anschlüsse der PIO und des CTC):

B7	o 1	2 o	A7
B6	o 3	4 o	A6
B5	o 5	6 o	A5
B4	o 7	8 o	A4
B3	o 9	10 o	A3
B2	o 11	12 o	A2
B1	o 13	14 o	A1
B0	o 15	16 o	A0
+5V	o 17	18 o	GND
BSTB	o 19	20 o	ASTB
BRDY	o 21	22 o	ARDY
C/T1	o 23	24 o	ZC/T1
NC	o 25	26 o	C/T3

Stecker 2
CENTRONICS

STROBE	o 1	2 o	GND
DATA 0	o 3	4 o	GND
DATA 1	o 5	6 o	GND
DATA 2	o 7	8 o	GND
DATA 3	o 9	10 o	GND
DATA 4	o 11	12 o	GND
DATA 5	o 13	14 o	GND
DATA 6	o 15	16 o	GND
DATA 7	o 17	18 o	GND
ACK	o 19	20 o	GND
BUSY	o 21	22 o	GND
P.E.	o 23	24 o	GND
SEL.	o 25	26 o	INIT
	o 27	28 o	ERROR
	o 29	30 o	
GND	o 31	32 o	
	o 33	34 o	

Stecker 2 ist so belegt, daß ein 34poliger Pfostenstecker mittels Flachbandkabel an eine 36polige DELTA RIBBON-Buchse geführt werden kann. Das Kabel ist so zu quetschen, daß Pin 1 des Pfostensteckers auf Pin 1 der DELTA RIBBON-Buchse führt. Pin 18 und 36 der DELTA RIBBON-Buchse sind nicht belegt. Daraus ergibt sich die folgende Belegung:

Pin D-RIBB.	Signal	Wertigkeit	Richtung PIO-Print.	Funktion
1	STROBE	aktiv low	---->	Printer übernimmt Daten
2	DATA 0	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
3	DATA 1	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
4	DATA 2	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
5	DATA 3	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
6	DATA 4	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
7	DATA 5	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
8	DATA 6	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
9	DATA 7	0 = low	---->	gültig von <u>STROBE</u> bis <u>ACK</u>
10	ACK	aktiv low	<----	Quittung für <u>STROBE</u>
11	BUSY	aktiv high	<----	Printer ist besetzt
12	P.E.	aktiv high	<----	Paper Empty
13	SEL.	aktiv high	<----	Printer kann benutzt werden
14-15	NC			
16	GND			
17-18	NC			
19-30	GND			
31	INIT	aktiv low	---->	Printer wird initialisiert
32	ERROR	aktiv low	<----	Fehlerbedingung des Printers
33	GND			
34-36	NC			

Der von uns unter der Bestellnummer JUK-F-2052 zu beziehende Kabelsatz für den Druckeranschluß führt nicht direkt auf die D-RIBBON-Buchse, sondern zuerst auf eine 37polige D-Buchse zum Einbau in die Rückwand des Gerätes. Das dazugehörige Druckerkabel mit dem D-RIBBON-Stecker ist unter JUK-F-2085 ebenfalls von uns erhältlich.

4.3 Busbelegung:

Input/Output		LS-Fan out in
A0	Adresse 0	60 1
A1	Adresse 1	60 1
A2	Adresse 2	60 1
A3	Adresse 3	60 1
A4	Adresse 4	60 1
A5	Adresse 5	60 1
A6	Adresse 6	60 1
A7	Adresse 7	60 1
A8	Adresse 8	60 1
A9	Adresse 9	60 1
A10	Adresse 10	60 1
A11	Adresse 11	60 1
A12	Adresse 12	60 1
A13	Adresse 13	60 1
A14	Adresse 14	60 1
A15	Adresse 15	60 1
D0	Data 0	60 3
D1	Data 1	60 3
D2	Data 2	60 3
D3	Data 3	60 3
D4	Data 4	60 2
D5	Data 5	60 2
D6	Data 6	60 2
D7	Data 7	60 2
<u>MRQ</u>	Memory Request	60 1
<u>IORQ</u>	I/O Request	60 1
<u>RD</u>	Read	60 1
<u>WR</u>	Write	60 1
<u>MI</u>	Maschinenzyklus 1	60 --
<u>RFSH</u>	Refresh	60 --
<u>&</u>	Clock	±24mA --
<u>2b</u>	2 x Clock	40 --
<u>HALT</u>	Halt	60 --
<u>BUSAK</u>	Busacknowledge	60 --
<u>PWRCL</u>	Power on clear	20 --
<u>RESET</u>	Reset	-- 1mA
<u>DMARDY</u>	DMA-Ready	20 --
<u>WAIT</u>	Wait	-- 3,2mA
<u>BUSRQ</u>	Busrequest	-- 3,2mA
<u>NMI</u>	Non Maskable Int.	-- 3,2mA
<u>INT</u>	Interrupt	-- 3,2mA
<u>IEI</u>	Int. Enable in	-- 3
<u>IEO</u>	Int. Enable out	20 --
<u>DESELECT</u>	Deselect	16mA --
5V	750mA (4MHz), 800mA (6MHz) typ.	
12V	60mA max.	
-15V	30mA max. (falls S1 gesetzt)	

Belegung der VG 64 Leiste

	a	c	
+5V	1	o 1	+5V
D5	2	o 2	D0
D6	3	o 3	D7
D3	4	o 4	D2
D4	5	o 5	A0
A2	6	o 6	A3
A4	7	o 7	A1
A5	8	o 8	A8
A6	9	o 9	A7
<u>WAIT</u>	10	o 10	
<u>BUSRQ</u>	11	o 11	IEI
	12	o 12	
+12V	13	o 13	
	14	o 14	D1
	15	o 15	-15V
2b	16	o 16	IEO
	17	o 17	A11
A14	18	o 18	A10
	19	o 19	
<u>MI</u>	20	o 20	<u>NMI</u>
	21	o 21	<u>INT</u>
<u>DMARDY</u>	22	o 22	<u>WR</u>
	23	o 23	
	24	o 24	<u>RD</u>
	25	o 25	<u>HALT</u>
<u>DESELECT</u>	26	o 26	<u>PWRCL</u>
<u>IORQ</u>	27	o 27	A12
<u>RFSH</u>	28	o 28	A15
A13	29	o 29	<u>&</u>
A9	30	o 30	<u>MRQ</u>
<u>BUSAK</u>	31	o 31	<u>RESET</u>
GND	32	o 32	GND

5. Schaltungsbeschreibung:

5.1 Serielle Schnittstelle:

Zur Baudratenerzeugung wird ein eigener Oszillator verwendet. Die Quarzfrequenz von 9,8304MHz wird im IC 20 durch 8 dividiert. Diese Frequenz von 1,2288MHz ist die Taktfrequenz für die Kanäle 0 und 2 des CTC. Daraus ergibt sich, daß die minimale Systemtaktfrequenz 2,5MHz ist. Es lassen sich mit dieser Schnittstelle Baudraten von 75 Baud bis 76800 Baud erreichen.

Jeder der zwei seriellen Ports besitzt zwei Handshake-Signalleitungen und die Datenein- und Ausgänge. Diese Leitungen sind alle nach RS232C gepuffert und auf eine 25polige D-Buchse geführt.

5.2 Parallele Schnittstelle:

Die Anschlüsse der PIO sind alle auf eine 34polige Pfostenleiste geführt. Sollen diese benutzt werden, so müssen IC 23 und IC 24 entfernt werden. Ansonsten steht am Stecker 2 eine CENTRONICS-Kompatible Schnittstelle zur Verfügung (s.o.).

5.3 Takterzeugung:

Der Quarz Q1 schwingt auf der doppelten Systemtaktfrequenz. Über einen Inverter entkoppelt wird diese Frequenz von 26 auf den Bus geführt. IC 20 teilt diese Frequenz durch 2 und führt sie der Verstärkerschaltung zu. Diese Schaltung sorgt dafür, daß die Amplitude des ϕ -Signales die in der JK82 Busdefinition geforderten Werte erreicht.

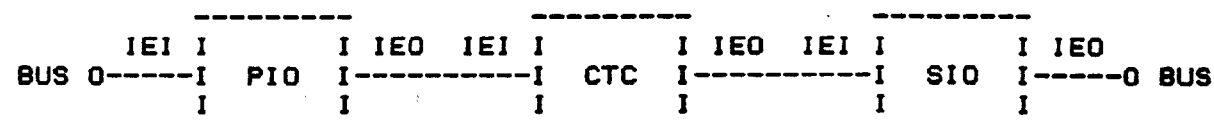
5.4 Reset:

Das IC 22 (TIL7705CP) ist ein Spannungskomparator, der ein RESET-Signal erzeugt, solange die 5V Versorgungsspannung den Wert von 4,7V noch nicht überschritten hat. Das führt dazu, daß auch bei kurzzeitigen Spannungseinbrüchen ein ausreichend langes RESET-Signal erzeugt wird. Außerdem wird ebenfalls ein RESET-Signal erzeugt, wenn der RESET-Taster betätigt wird. Diese Leitung ist entprellt.

5.5 IEI-IEO Daisy Chain:

Die drei Vector-Interrupt-fähigen I/O-Ports der CPU-Karte sind in einer Daisy Chain priorisiert. Die Daisy Chain ist mit einer Carry-Look-Ahead-Logik beschaltet, so daß die gesamte Durchlaufverzögerung im Bereich von 10 - 20ns liegt.

Die Priorisierung geschieht in folgender Reihenfolge:



5.6 Bussteuerpromi:

A7 : IEI
 A6 : IEO
 A5 : \overline{RD}
 A4 : \overline{WR}
 A3 : Memory Decode (aktiv low)
 A2 : I/O Decode (aktiv low)
 A1 : $\overline{M1}$
 A0 : Buskontrolle intern (aktiv high)

D3 : Richtung der Datenbustreiber.
 (0 = zum Bus hin)
 D2 : Datenbustreiber-freigabe.
 (1 = tristate)
 D1 : deselect, falls das interne Memory selektiert ist.
 D0 : immer "1".

Adresse	Daten	Kommentar
7 6 5 4 3 2 1 0	3 2 1	
X X 0 1 0 1 1 0	0 0 0	Internal Memory Read Cycle
X X 0 1 0 1 1 1	1 1 0	
X X 0 1 0 1 0 0	0 0 0	Internal OP CODE FETCH Cycle
X X 0 1 0 1 0 1	0 0 0	(I/O Ports may look for RETI)
X X 1 1 0 1 X 0	1 0 0	Preset for Internal Memory Write Cycle
X X 1 1 0 1 X 1	1 1 0	
X X 1 0 0 1 X 0	1 0 0	Internal Memory Write Cycle
X X 1 0 0 1 X 1	1 1 0	
X X 0 1 1 0 X 0	0 0 1	Internal I/O Read Cycle
X X 0 1 1 0 X 1	1 1 1	
X X 1 1 1 0 1 0	1 0 1	Preset for Internal I/O Write Cycle
X X 1 1 1 0 1 1	1 1 1	
X X 1 0 1 0 X 0	1 0 1	Internal I/O Write Cycle
X X 1 0 1 0 X 1	1 1 1	
X X 0 1 1 1 1 0	1 1 1	External Memory or I/O Read Cycle
X X 0 1 1 1 1 1	1 0 1	
X X 0 1 1 1 0 0	1 0 1	External OP CODE FETCH
X X 0 1 1 1 0 1	1 0 1	(I/O Ports may look for RETI)
X X 1 1 1 1 1 0	1 1 1	Preset for External Memory or I/O
X X 1 1 1 1 1 1	0 0 1	Write Cycle
X X 1 0 1 1 X 0	1 1 1	External Memory or I/O Write Cycle
X X 1 0 1 1 X 1	0 0 1	
1 0 1 1 1 1 0 0	0 0 1	Internal Vector Interrupt Acknowledge
1 0 1 1 1 1 0 1	1 1 1	Cycle
0 0 1 1 1 1 0 0	1 1 1	External Vector Interrupt Acknowledge
0 0 1 1 1 1 0 1	1 0 1	Cycle
1 1 1 1 1 1 0 0	1 1 1	External Vector Interrupt Acknowledge
1 1 1 1 1 1 0 1	1 0 1	Cycle (No Daisy Chain through Board)

All others are invalid combinations, buffer is disabled.

5.7 Inhalt des Bussteuerproms:

TBP24SA10 open collector (TIJ-2-1208)

Adresse:	Inhalt:
00	F F F F F F F F F F F F F F F F
10	F F F F 1 1 1 D 3 F 3 F B B F B
20	F F F F 9 D 9 D B F B F F 3 F 3
30	F F F F 9 D 9 D F F B F F B F 3
40	F F F F F F F F F F F F F F F
50	F F F F 1 1 1 D 3 F 3 F B B F B
60	F F F F 9 D 9 D B F B F F 3 F 3
70	F F F F 9 D 9 D F F B F F F F 3
80	F F F F F F F F F F F F F F F
90	F F F F 1 1 1 D 3 F 3 F B B F B
A0	F F F F 9 D 9 D B F B F F 3 F 3
B0	F F F F 9 D 9 D F F B F 3 F F 3
C0	F F F F F F F F F F F F F F F
D0	F F F F 1 1 1 D 3 F 3 F B B F B
E0	F F F F 9 D 9 D B F B F F 3 F 3
F0	F F F F 9 D 9 D F F B F F B F 3

Die CPU-Karte kann auch ohne den Bus als "stand alone"-System betrieben werden. Dazu sind die Bustreiber und das Steuerprom zu entfernen. Dies sind die IC's 1 bis 6.

Die Stromaufnahme der Karte reduziert sich dann erheblich auf ca. 400mA bei 5V und 4MHz.

Es können alle auf der Karte befindlichen IC's außer der SIO/DART und den V24 Treibern in CMOS bestückt werden. Alle auf der Karte verwendeten IC's der Serie 74 sind bereits als pinkompatible Typen aus der Serie 74HCxxx erhältlich (Ausnahme: 74LS155, für dieses Chip gibt es jedoch einen pinkompatiblen Typ von Toshiba: TC40H155).

6. Beispielsoftware:**6.1 Baudratenerzeugung:**

Um die gewünschte Baudrate zu erhalten, sind zwei Parameter maßgebend.

1. CTC Taktfrequenz: 1,2288MHz
2. Vorteilerfaktor der SIO/DART: 16 (Standard)

Daraus lassen sich die dem CTC zu übergebenden Teilerfaktoren berechnen.

6.1.1 Baudratentabelle für die CTC-Initialisierung:

Baudrate:	Teilerfaktor:
76 800	01H
38 400	02H
19 200	04H
9 600	08H
4 800	10H
2 400	20H
1 200	40H
600	80H
300	00H

Selbstverständlich sind auch Zwischenwerte und kleinere Baudraten möglich, wenn z.B. der Vorteiler der SIO/DART auf 64 gesetzt wird. In diesem Fall wäre die kleinste mögliche Baudrate 75 Baud.

6.1.2 Initialisierungsbeispiel für den CTC bei 9600 Baud:

```
CINIT:  LD   A,4DH           ; COUNTER MODE
        OUT  (0EAH),A       ; AUSGABE KANAL 2
        LD   A,08H         ; TEILERFAKTOR
        OUT  (0EAH),A       ; AUSGABE KANAL 2
```

Der Kanal 0 des CTC erzeugt die Baudrate für den SIO Port A.
Der Kanal 2 des CTC erzeugt die Baudrate für den SIO Port B.

6.2 SIO/DART für seriellen I/O (V24):

Die SIO bzw. der DART wird als serielle V24-Schnittstelle verwendet. Folgende drei Routinen sind hierfür erforderlich: (Es wird angenommen, daß der CTC - wie in Abschnitt 6.1 beschrieben - bereits initialisiert ist!)

1. Initialisieren für Polling-Betrieb:

```
;
;           Register C = Portadresse Command
;           = 0E1H für Kanal "A"
;           = 0E3H für Kanal "B"
;
INIT:      LD   HL, TABLE
          LD   A, 18H           ; Channel Reset
          OUT  (C), A
          LD   B, 10           ; LENGTH of TABLE
          OTIR
          RET
TABLE:     DEFB 1, 0           ; WR-REG. 1, INT disabled
          DEFB 2, 0           ; WR-REG. 2, INT-VECTOR
          DEFB 3, 0C1H        ; WR-REG. 3, Rx 8 Bits
          ; Rx enable
          DEFB 4, 044H        ; WR-REG. 4, X16-Clock
          ; 1 Stop-Bit no Parity
          DEFB 5, 06AH        ; WR-REG. 5, DTR off,
          ; Tx 8 Bits, Tx enable
          ; RTS on
```


2. Read-Routine (ein Zeichen lesen)

```

;
;       Register C = Portadresse Command
;                   = 0E1H für Kanal "A"
;                   = 0E3H für Kanal "B"
;
;
READ:   IN   (A),C           ; Status lesen
        AND  01H           ; RxRdy ?
        JR   Z,READ        ; nein: warten
        DEC  C             ; Data-Port
        IN   A,(C)         ; Zeichen lesen
        INC  C
        RET
;
;       Register A = gelesenes Zeichen
;

```

3. Write-Routine (ein Zeichen schreiben)

```

;
;       Register C = Portadresse Command
;                   = 0E1H für Kanal "A"
;                   = 0E3H für Kanal "B"
;
;
;       Register A = zu schreibendes Zeichen
;
WRITE:  PUSH AF
WRL:    IN   A,(C)         ; Status lesen
        AND  04H           ; Tx empty
        JR   Z,WRL        ; nein: warten
        DEC  C             ; Datenport
        POP  AF           ; Zeichen
        OUT  (C),A        ; senden
        INC  C
        RET

```

4. Testprogramm für Kanal "A" der SIO

```

;
; dieses Programm initialisiert die SIO (Kanal "A") und
; liest dann Zeichen und sendet sie als Echo auf das
; Terminal zurück.
;
TEST:   LD   C,0E1H       ; SIO A Command
        CALL INIT        ; initialisieren
TLOP:   CALL READ        ; Zeichen lesen
        CALL WRITE       ; und als Echo senden
        JR   TLOP        ; und von vorne

```

6.3 PIO als Centronics-Schnittstelle:

Die folgenden Routinen beschreiben die Programmierung der PIO als Centronics-Schnittstelle im Polling-Betrieb. Zuerst ist die PIO zu initialisieren, dann folgt eine Routine zum Senden eines Zeichens an den Drucker.

1. Portadressen für die folgenden Routinen:

```

PIOA      EQU      0E4H      ; "A"-DATA      STEUERPORT
PIOA+1    EQU      0E5H      ; "A"-CONTROL
PIOB      EQU      0E6H      ; "B"-DATA      DATENPORT
PIOB+1    EQU      0E7H      ; "B"-CONTROL

```

2. Belegung der PIO

```

PIO Port A   Bit 0 = Selected (Input)
(Steuer-Port) Bit 1 = Busy      (Input)      invers
              Bit 2 = Paper empty (Input)    invers
              Bit 3 = Error      (Input)      invers
              Bit 4 = Strobe     (Output)
              Bit 5 = NC
              Bit 6 = NC
              Bit 7 = Init       (Output)
PIO Port B   Bit 0 bis 7 = Daten (Output)

```

3. Initialisierungsroutine

```

PINIT:  LD      A,0FH      ; OUTPUT MODE 0
        OUT     (PIOB+1),A ; PORT B
        LD      A,0CFH     ; CONTROL MODE 3
        OUT     (PIOA+1),A ; PORT A
        LD      A,0FH      ; BIT 7 .. 4 = OUT
                          ; BIT 0 .. 3 = IN
        OUT     (PIOA+1),A
        XOR     A
        OUT     (PIOA),A   ; CLEAR CONTROL-PORT
        RET

```

4. Senderoutine (ein Zeichen senden)

Register A = zu sendendes Zeichen

```

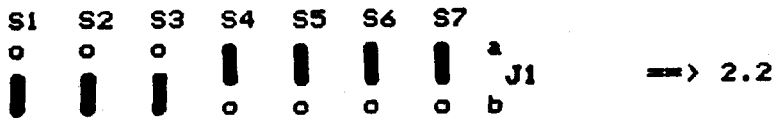
PIOOUT: PUSH  AF
PIOL:   IN    A,(PIOA)    ; Status lesen
        AND   0EH        ; ready ?
        CP    0EH
        JR    NZ,PIOL    ; nein: warten
        POP  AF          ; Zeichen
        OUT   (PIOB),A   ; senden
        LD   A,10H      ; STROBE ON
        OUT   (PIOA),A
        XOR  A          ; STROBE OFF
        OUT   (PIOA),A
        RET

```

7. Standardjumperstellung bei Auslieferung einer bestückten Platine:

- S1: nicht gesetzt ==> 3.3.2
- S2: nicht gesetzt ==> 3.3.1
- S3: gesetzt ==> 3.2

Jumperfeld 1



Jumperfeld 2



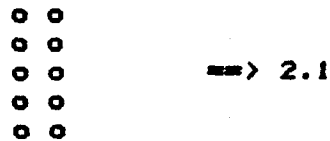
Jumperfeld 3

2K x 8
EPROM

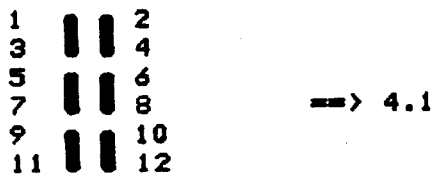


Jumperfeld 4

Kein Typ selektiert



Jumperfeld 5



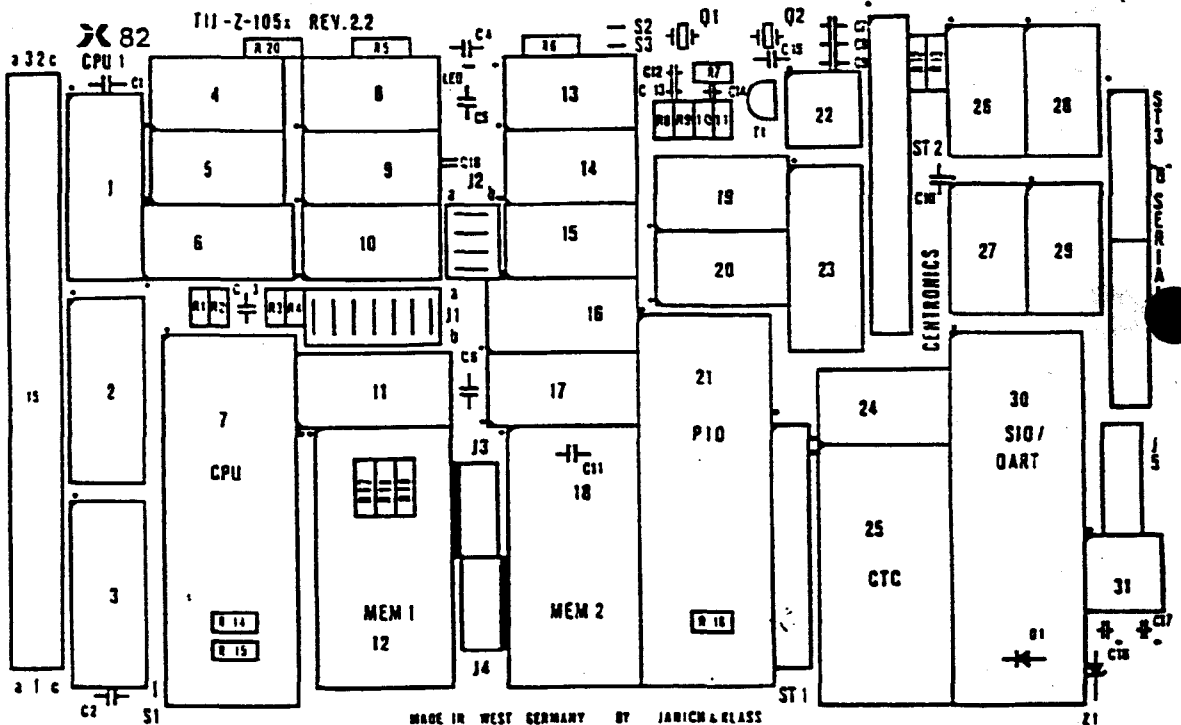
Die obige Jumperstellung ist für ein Floppy-Disk-System mit 2K-Bootstrap-Loader (z.B. BOOT641) und Betriebssystem HKM-ZDOS geeignet.

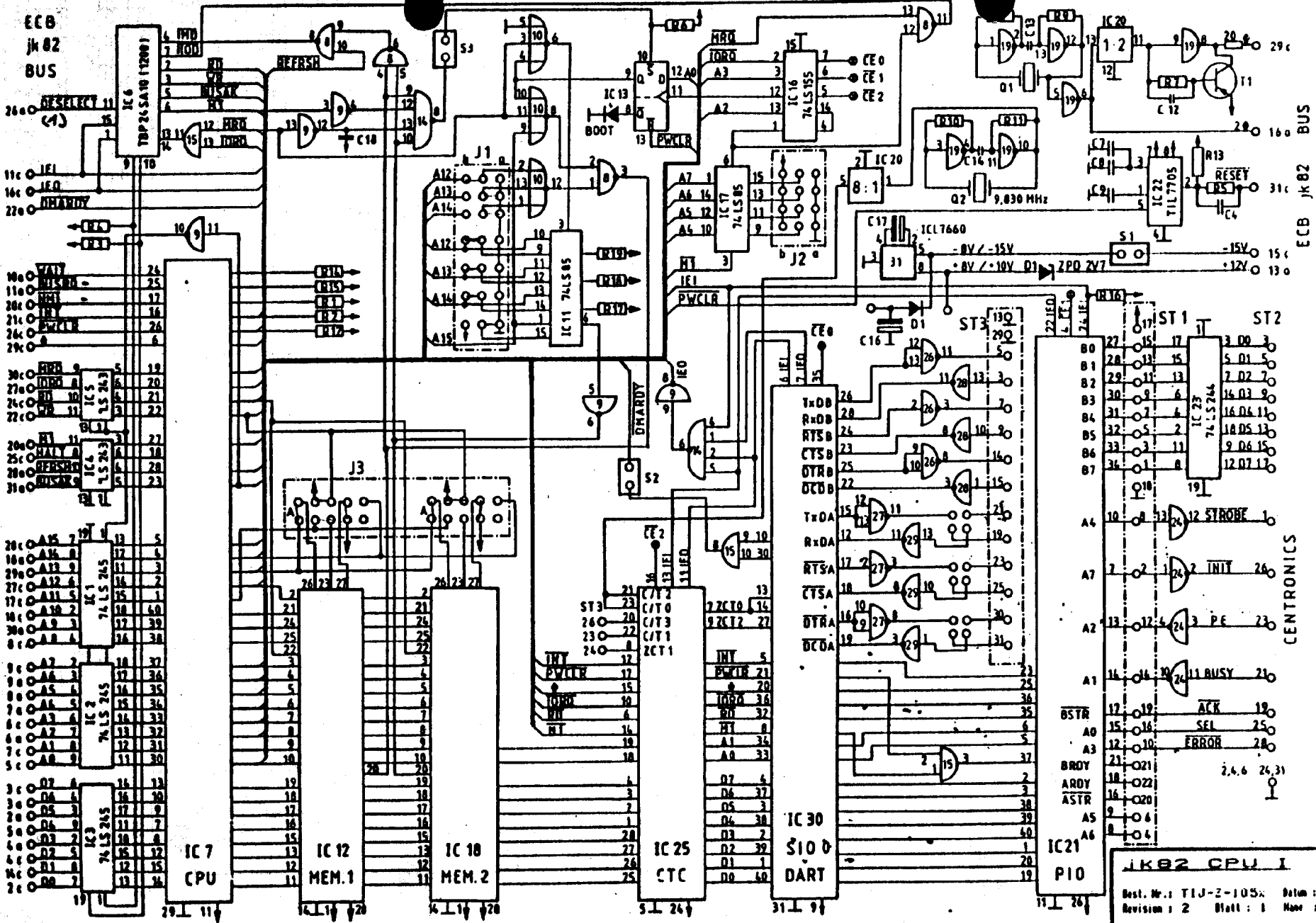
8. Stückliste:

IC 1 - 3	74LS245	R 1, 2, 14, 15	1K5	0,25W
IC 4, 5	74LS243	R 3, 4, 6, 12	680R	0,25W
IC 6	TBP24SA10 (1208)	R 5, 7	62K	0,25W
IC 7	Z80(A/B) CPU	R 8 - 11	330R	0,25W
IC 8	74LS00	R 13, 16 - 19	4K7	0,25W
IC 9, 24	74LS04	R 20	22R	0,25W
IC 10	74LS27	C 1 - 11, 15	100nF Ker. RM 5	
IC 11, 17	74LS85	C 12	33pF Ker.	
IC 12, 18	BYTEWIDE Socket	C 13 - 14	100nF Ker. RM 2,5	
IC 13	74LS74	C 16, 17	10yF/16V Tantal	
IC 14	74LS20	C 18	1nF Ker.	
IC 15	74LS08	Q 1	5/8/12MHz	
IC 16	74LS155	Q 2	9,8304MHz	
IC 19	74S04	T 1	2N2907 o.ä.	
IC 20	74LS393	Z 1	ZPD 2U7	
IC 21	Z80(A/B) PIO	D1	1N914 o.ä.	
IC 22	TL7705CP	Socket 8pol.	2 Stück	
IC 23	74LS244	Socket 14pol.	15 Stück	
IC 25	Z80(A/B) CTC	Socket 16pol.	4 Stück	
IC 26, 27	75188	Socket 20pol.	4 Stück	
IC 28, 29	75189	Socket 28pol.	3 Stück	
IC 30	Z80(A/B) SIO0/DART	Socket 40pol.	3 Stück	
IC 31	ICL7660CPA			

VG-64 Messerleiste (a,c)
 Pfostenleiste: 165polig
 Steckbrücken: 20 Stück

9. Bestückungsplan:





JK82 CPU I

Best. Nr.: T1J-Z-105; Datum: 30.07.83
 Revision: 2 Blatt: 1 Hersteller: Ingendorf

Versteifigung des Schaltplans, der technischen Beschreibung, des Layouts oder Teilen davon nur mit Genehmigung des Herstellers.