info - s

256k RAM

computer-
elektronik
g. krause

Tel. 06732/4178
Zum Römergrund 19
6501 Wörrstadt

Funktionsbeschreibung

Die info-s 256k RAM Karte ist konzipiert für anspruchsvolle Implementationen moderner Betriebssysteme. Durch ein Zweistufenkonzept lassen sich besonders kostengünstige ebenso wie extrem leistungsfähige Lösungen realisieren. In der Grundstufe besitzt die Karte vier Speicherblöcke mit je 64kByte, die in beliebigen Banks liegen können. Mit einer PAL Verknüpfunglogik ist es möglich, gemeinsame Bereiche zu definieren. Es können über einen "Deselect" Eingang beliebige Bereiche ausgeblendet werden. Selbstverständlich funktionieren das statische und das dynamische Banking in der Grundstufe. Das dynamische Banking führt zu erheblichen Leistungssteigerungen, wenn Daten häufig zwischen den verschiedenen Banks transportiert werden müssen. Hierbei werden von der info-s CPU oder auch vom info-s FDC bei Lese- und Schreibzugriffen jeweils eigene Bank Adressen auf den Bus gelegt. Das folgende Softwarebeispiel zeigt den Vorteil des dynamischen Bankings.

```
LD  A,23
      ||
      |'-------------------- Bank für Lesezugriffe
      '--------------------- Bank für Schreibzugriffe

Out (0EE),A                 läd Bank Reg der info-s CPU

LD HL,XXXX                  von Speicheradresse Bank 3

LD DE,YYYY                  nach Speicheradresse Bank 2

LD BC,ZZZZ                  Anzahl der Bytes

LDIR                        Übertragung
```

Bei Datenmengen ab ca. 30 Byte kann nochmals Zeit eingespart werden, wenn die Übertragung durch den DMA Baustein der info-s FDC Karte erfolgt.
Ein ebenfalls erheblicher Vorteil des info-s Speicherkonzepts ist beim Übertragen von Floppydaten vorhanden. Die Datenblöcke können direkt in die gewünschte Zielbank transferiert werden, selbst wenn die CPU zur gleichen Zeit Programme einer ganz anderen Bank abarbeitet.

In der vollen Ausbaustufe wird die info-s 256 k RAM Karte mit zwei sehr schnellen 8k x 8 Rams und einigen Logik ICs ergänzt. Hiermit wird eine schnelle "Translation Table" realisiert, welche die bis jetzt vorhandene starre Zuordnung von logischer Adresse zu physikalischer Adresse aufhebt. Das info-s System ermöglicht es, die insgesamt 1024 Speicherblöcke mit je 256 Byte jeder beliebigen Page in jeder beliebigen Bank zuzuordnen. Die Translation Table ist dynamisch ladbar. Dies bewirkt, daß selbst komplexe Speichermanipulationen einfach durch Umdefinieren der "Translation Table" erfolgen können. Bild 1 erklärt die Funktion der Adressierung.

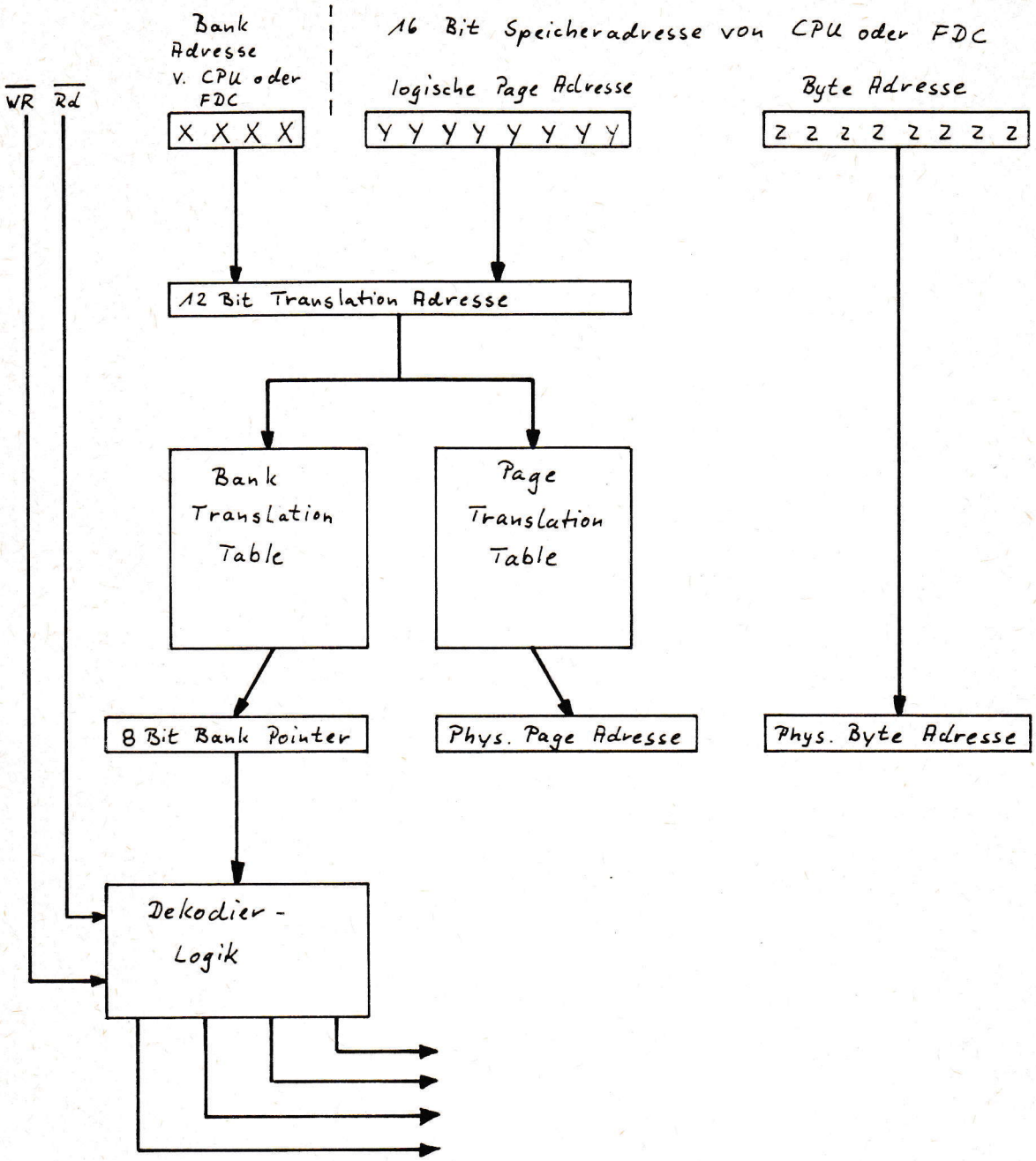
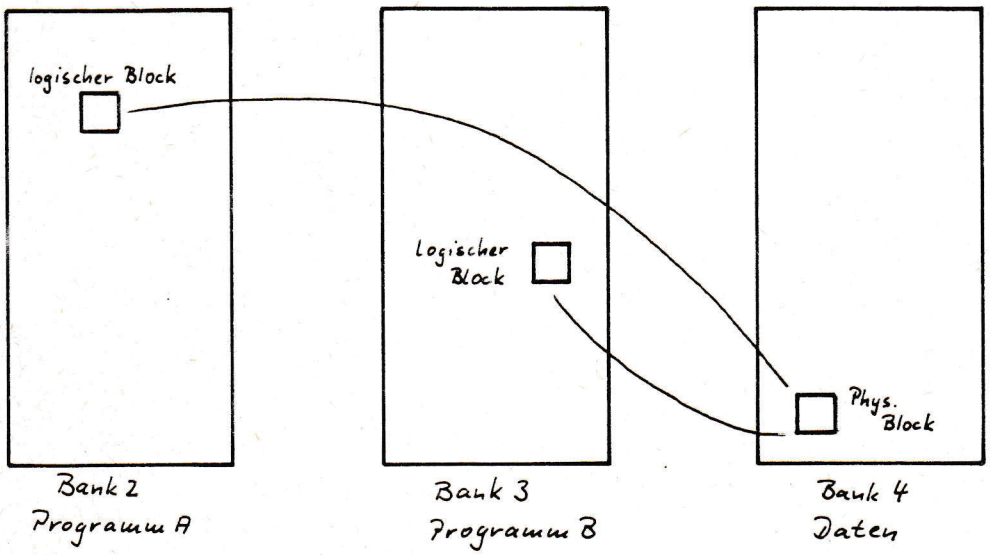

16 Bit Speicheradresse von CPU oder FDC
Bank Adresse v. CPU oder FDC
logische Page Adresse
Byte Adresse
WR
Rd
X X X X
Y Y Y Y Y Y Y Y
Z Z Z Z Z Z Z Z
12 Bit Translation Adresse
Bank Translation Table
Page Translation Table
8 Bit Bank Pointer
Phys. Page Adresse
Phys. Byte Adresse
Dekodier - Logik

Bild 1

Ein weiterer Vorteil besteht in der sonst nur bei 16Bit Systemen üblichen Verschiebbarkeit der Speicherblöcke.

Beispiel: Zwei Anwendungung benötigen eine gemeinsame Datenpage aber an unterschiedlichen Adressen in Ihrem jeweiligen Adressraum.



Laden der "Translation Table":

Die "Page Translation Table" wird über die Systemadresse 08 H angesprochen.

```
LD C,08       Port für Page Translation
LD A,10       CPU Bank Register für Write wir mit
Out (0EE),A   mit Bank 1 geladen
LD B,86       Die logische Page 86 (8600-86FF) wird
LD A,34       zur physikalischen Page 34 (3400-34FF)
Out (C),A     Laden der Page Table
```

Die Bank Translation Table hat die Systemadresse 09H

```
LD C,09       Port für Bank Translation
LD A,10       CPU Bank Register für Write wir
Out (0EE),A   mit Bank 1 geladen
LD B,86       Die Page 86 der Bank £1 wird im
LD A,03       Block 3 der Speicherkarte als Page 34 liegen
Out (C),A     Laden der Bank Table
```

Bei Out (C),r Befehlen wird der Inhalt des B-Registers über die Adressleitungen A8-A15 ausgegeben.
Dieser Umstand ist in der Architektur des Z80 definiert, jedoch nicht sehr bekannt. Er wird hier zur Reduzierung von Hard- und Softwareaufwand ausgenutzt.

Selbstverständlich funktioniert die info-s 256k RAM Karte in beiden Variationen bei 6 MHz Betrieb, ohne daß Wait Zyklen benötigt werden.

Lieferumfang: 256k RAM Karte als fertig aufgebaute und geprüfte Baugruppe.

Produktbeschreibung

Schaltplan

bei der Version mit "Translation Table" zusätzlich Softwarebeispiele für die Initialisierung der Tabellen.

Ein deutlicher Vorteil dieser Konzeption entsteht z. B. bei Betriebssystemen mit gemeinsamen Speicherbereichen, die in allen Banks vorhanden sein müssen. Dieser Bereich ist bei bisherigen Karten in allen Banks vorhanden, aber nicht nutzbar. Die info-s 256 k RAM mit "Translation Table" nutzt diese toten Bereiche und stellt dem Anwender eine oder mehrere zusätzliche Bank Bereiche zur Verfügung.

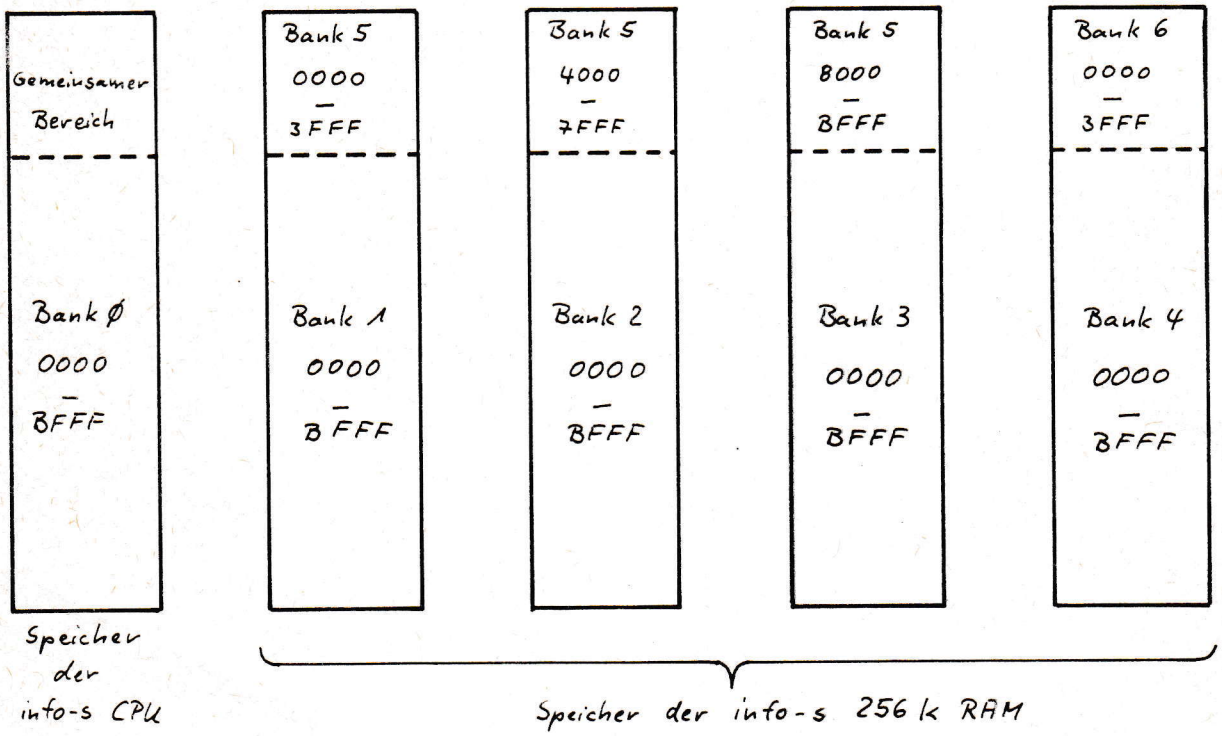


Bild 2

A0 - A15

A16 - A19

Pins siehe Bus-Plan

27a $\overline{IORQ}$

J5 14 L 4

WE2 WE1 OE0

22c $\overline{WR}$

30c $\overline{MRQ}$

24c $\overline{Rd}$

29c Clk

J4 LS 244

$\overline{IWE}$

RAS0

$\overline{IRd}$

RAS1

28a Refr.

J3 1/2 7474 (Set, D, CL, Q, $\overline{Q}$, +5V)

$\overline{CASEN}$

MUX2

MUX1

150R

100pF

11c

16c

23a

25a

23c $\overline{Disable}$

A16 ..... A19

+ 24,28

J2

A8 A9 A10 A11 A12 A13 A14 A15

WE1 OE0

J1

WE2 DI0

A0 ..... A7

J8 S 244

MUX1

I A0 ..... I A7

RN 8x

J10 S 244

MUX2

Blatt 2 D0 - D7

J12 LS 244

WE1

J7 LS 244

WE2

J9 12 L 6

$\overline{IWE}$

$\overline{CASEN}$

$\overline{IRd}$

CAS1

CAS2

CAS3

CAS4

WR

OE

J11 10 L 8

OE4

OE3

OE2

OE1

WR1

WR2

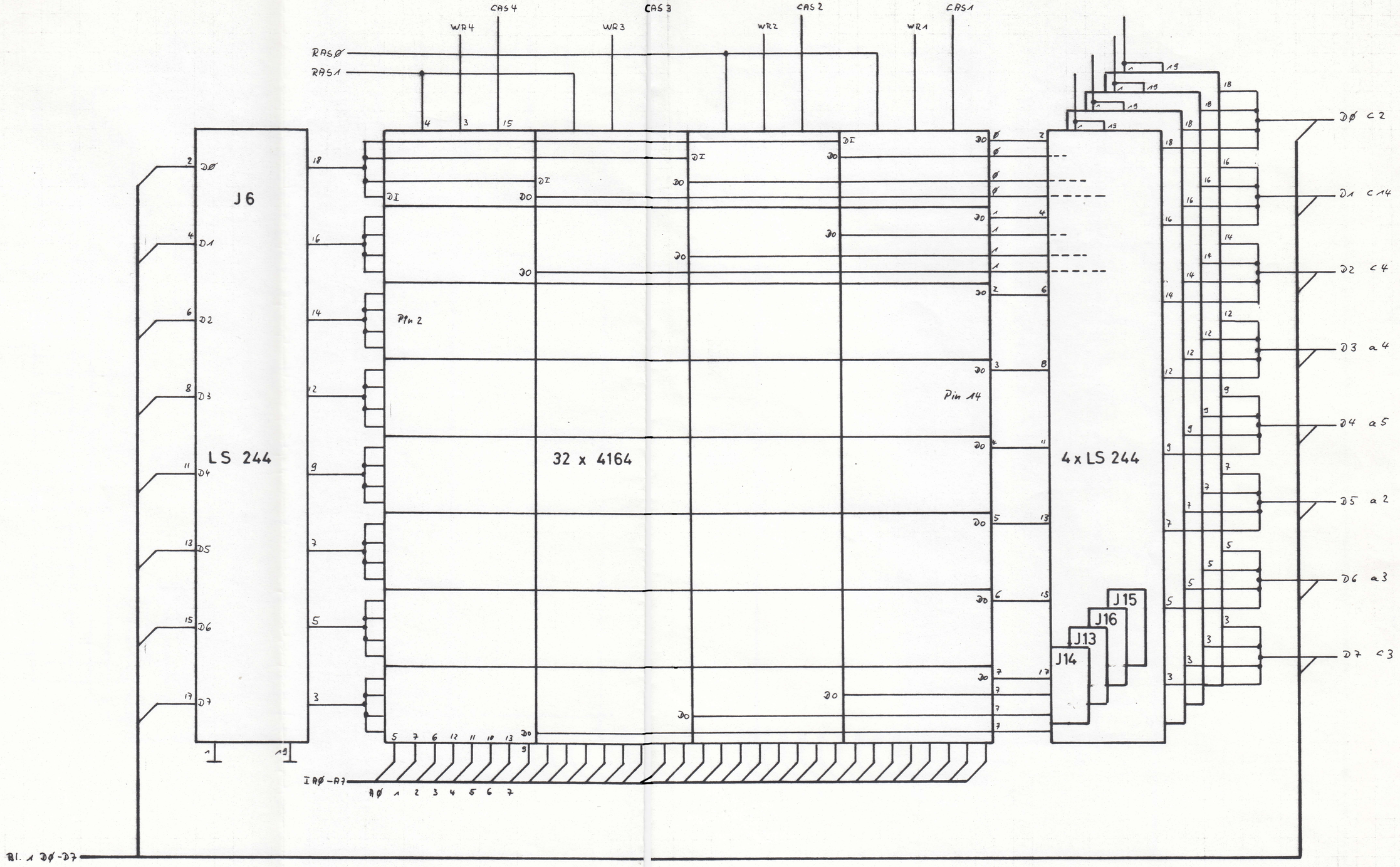
WR3

WR4

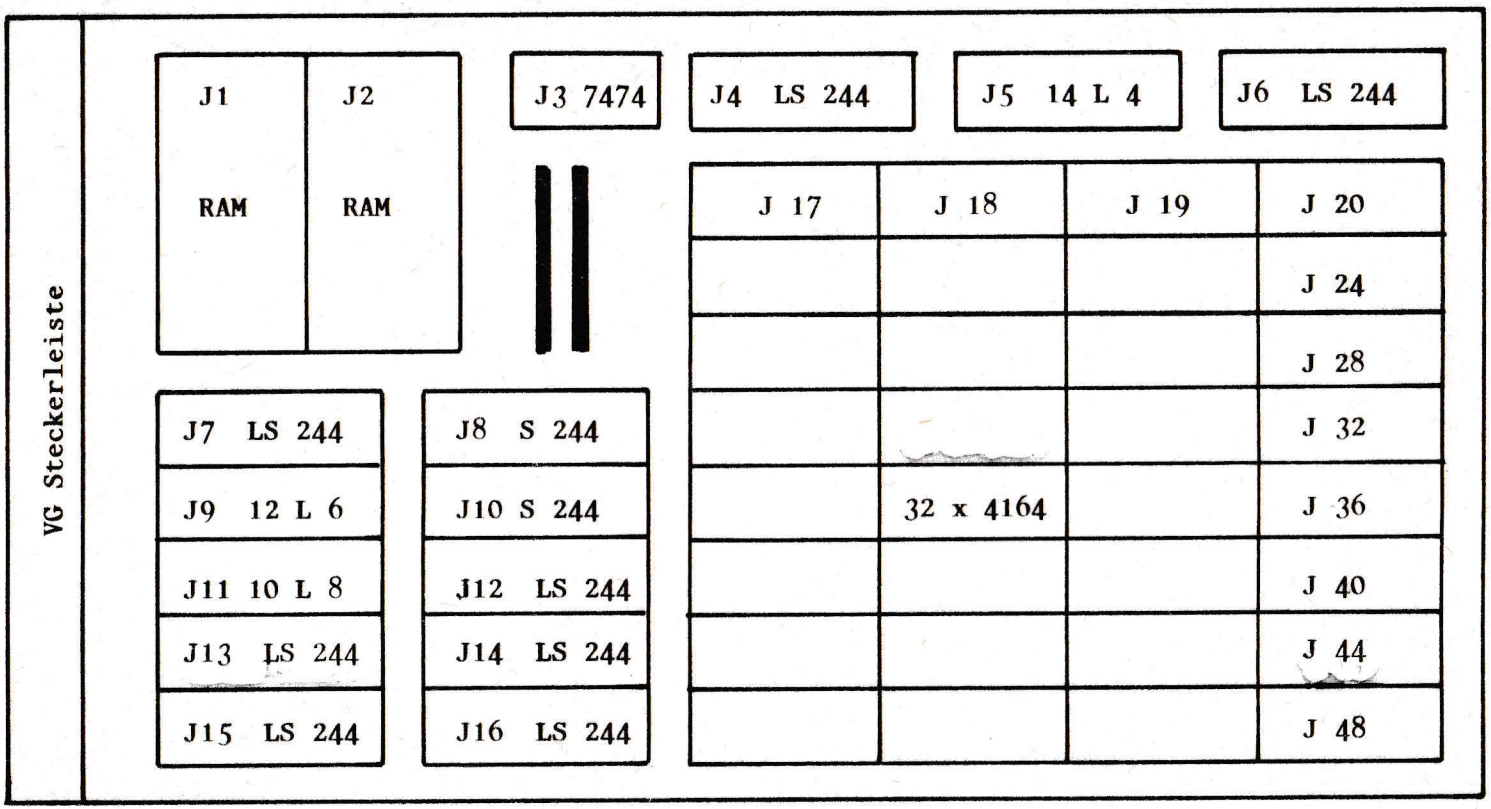
info-s 256k RAM

Bl. 1v.2

302



info-s 256k RAM

Bl. 2 v. 2

256k RAM IC Bestückungsplan