

Inhaltsverzeichnis

<u>1.</u>	<u>Aufbau des alphasonic-PC</u>	1
1.1	Öffnen und Schließen des alphasonic-PC	5
1.2	Leichte Reparaturen	6
1.2.1	Austausch der Sicherung	6
1.2.2	Austausch der Netzteilereinheit	6
1.2.3	Austausch des Netzsteckers oder -schalters	7
1.2.4	Austausch der Keyboardplatine	7
1.2.5	Austausch eines Steckers	8
1.2.6	Austausch eines gesockelten IC	9
<u>2.</u>	<u>Blockschaltbild</u>	
2.1	Beschreibung am Blockschaltbild	10
2.2	Bestückungsplan der Hauptplatine	13
<u>3.</u>	<u>Microprozessor Z 80 A</u>	
3.1	Architektur des Z 80 A	14
3.2	Befehlssatz des Z 80 A	19
<u>4.</u>	<u>Memory Mapping</u>	
4.1	Memory Mapping	32
4.2	I/O Adressen	33
<u>5.</u>	<u>Schnittstellenbeschreibungen</u>	
5.1	SPORT (System Port)	35
5.2	Tastatur	39
5.3	Serielle Schnittstelle	43
5.4	Cassettenschnittstelle	58
5.5	Parallelschnittstelle (Centronics)	64
5.6	Systembus - Schnittstelle	71
5.7	Videoschnittstellen RGB und BAS	88
5.8	ROM PACK	104

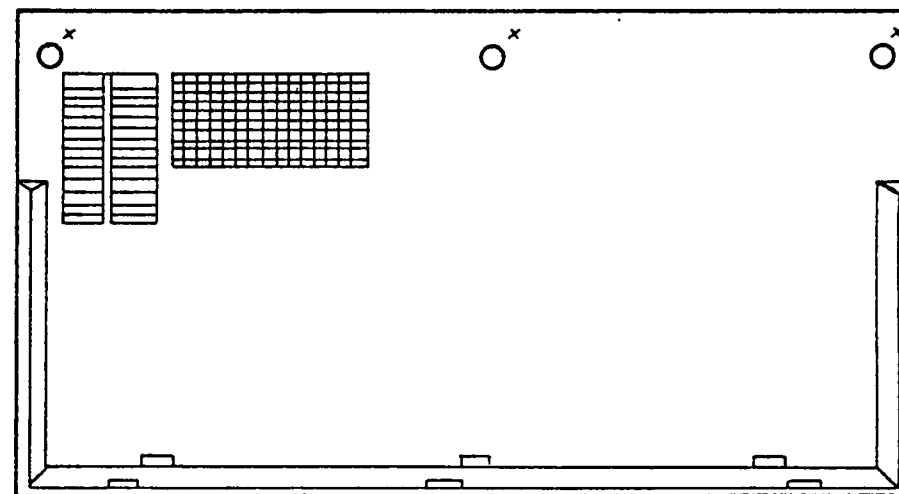
6.	<u>Software</u>	
6.1	Kurzbeschreibung des IPL Monitors	109
6.2	CP/M Betriebssystem	115
6.3	BASIC	118
7.	<u>Betrieb eines Floppydisk</u>	
7.1	Allgemeine Hinweise	120
7.2	Sicherungswechsel	127
7.3	Controller	128
7.3.1	Aufzeichnungsformat	128
8.	<u>Drucker</u>	
8.1	Gabriele 8008 V.24	133
8.2	TRD 7020 V.24	134
8.3	Epson MX 80 FT3	135
9.	<u>Stichwortregister</u>	136
10.	<u>Anhang</u>	
10.1	Liste der IC's	141
10.2	Bezugsquellenangabe für Datenblätter	142
10.3	Befehlsliste Z 80 A	143
10.4	Literaturverzeichnis	168
10.5	Schnittstellen-Steckverbinder	169
10.6	ESCAPE-Sequenzen	170
10.7	Monitor-Listing	175
10.8	Weitere Tips	176

1. Aufbau des alphasatronic-PC

Der Aufbau des alphasatronic-PC ist nach neuestem Fertigungsstandard erstellt.

Sein Gehäuse besteht aus zwei Kunststoffhalbschalen, die zur Abschirmung der entstehenden Störstrahlung des Rechners innen elektrisch leitend lackiert sind. Zur Verbindung der beiden Halbschalen zu einem geschlossenen Gehäuse sind im vorderen Teil des Oberteiles drei "Haltnasen" angebracht, die in entsprechende Üsen im Unterteil greifen. Geschlossen wird das Gehäuse mit drei Schrauben, die von unten durch das Unterteil in angespritzte Zapfen des Oberteils eingeschraubt werden.

Unterseite des PC



* = Schrauben

Abb. 1.1

Das Unterteil trägt in seinem Inneren die "Hauptplatine". Sie ist ebenfalls auf angespritzten Sockeln verschraubt. Auf der Hauptplatine sind, bis auf Netzteil, Netzfilter, Trafo und Tastatur (Keyboard), alle Baugruppen des alphantronic-PC vereint.

Alle Verbindungen zwischen der Hauptplatine und anderen Baugruppen sind gesteckt.

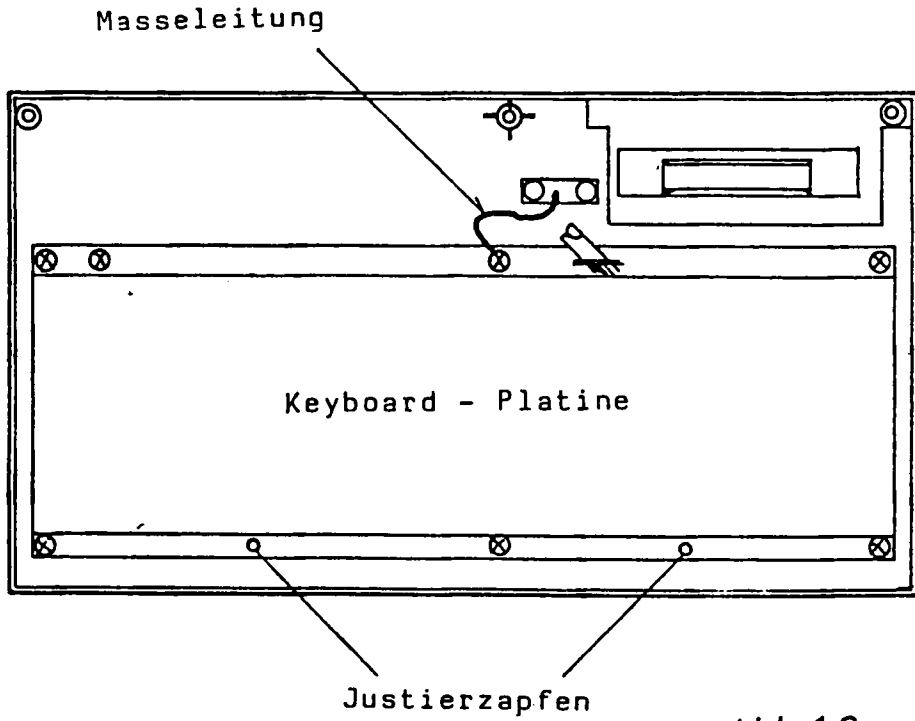
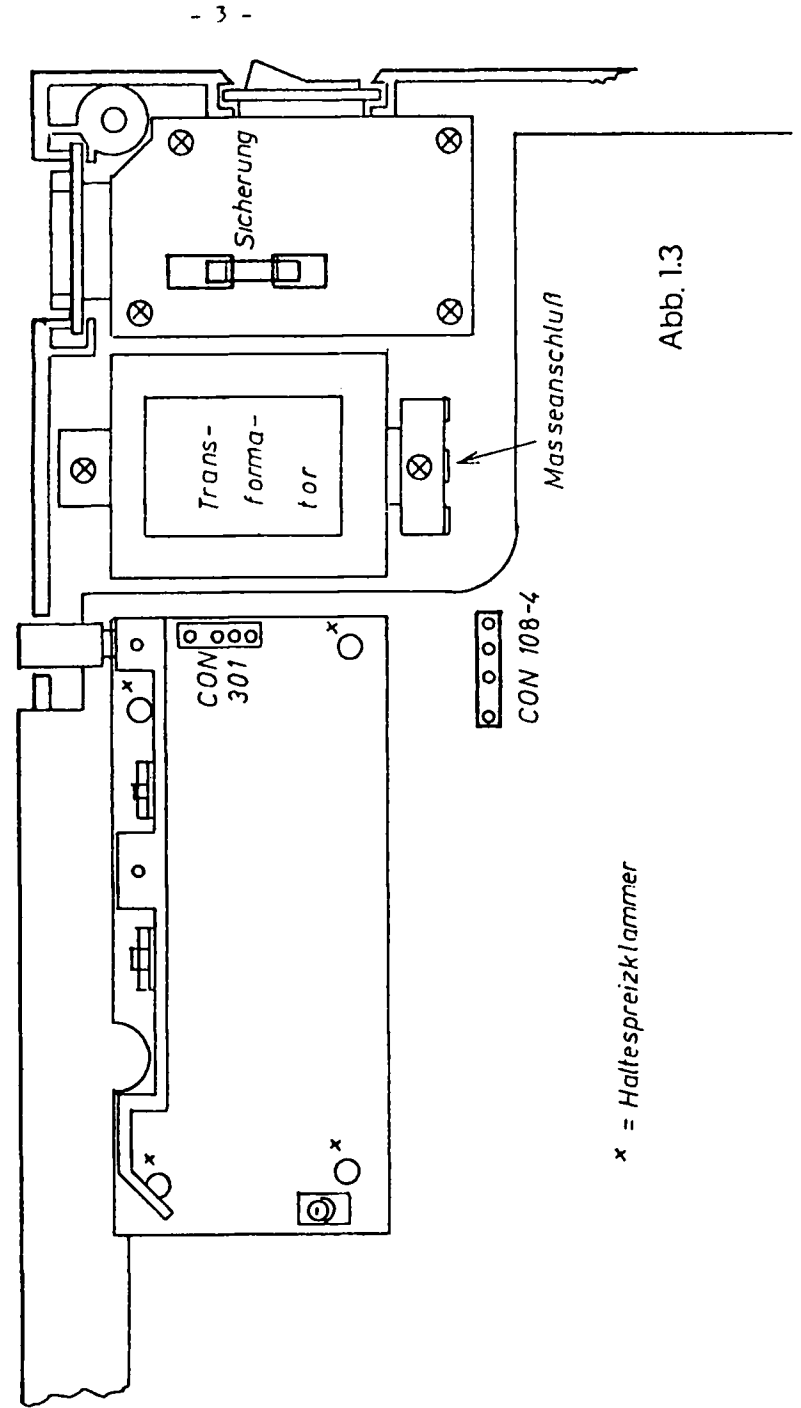


Abb. 1.2



Teilinnenansicht des PC, hinten rechts



x = Haltespreizlammer

Abb. 1.3

Oberhalb der Hauptplatine (siehe Abb. 1.3) befindet sich rechterhand das Netzfilter und der Netztrafo. Das Netzteil (mit Spannungsregler etc.) wurde aus Platzgründen über die Hauptplatine auf Kunststoffhalter gesetzt.

In das Oberteil des Gehäuses ist die Tastaturplatine eingebaut. Auf ihr sind alle Tasten sowie die Leuchtanzeigen montiert. Zur mechanischen Stabilisierung ist diese Platine mit zusätzlichen Verstärkungen versehen. Die obere Kunststoffschale enthält Justierzapfen, die als Montagehilfe in die Tastaturplatine ragen (Abb. 1.2).

Der ebenfalls im Oberteil angeordnete "ROM-PACK"-Schacht wird durch einen ohne Werkzeug entfernbaren Kunststoffdeckel verschlossen. Die Geometrie des Schachtes ist so ausgelegt, daß eine Verpolung des ROM-PACK-Modules vermieden wird.

Die Steckverbinder für das parallele Ausgabeport, die Systembus-Schnittstelle, die serielle Schnittstelle, sowie der Resettaster befinden sich an der Gehäuserückseite (Abb. 5.16). Die Anschlüsse für monochrome und Farbmonitore, sowie für einen Cassettenrecorder sind auf der linken Gehäusesseite zugänglich.

Für die vielpoligen Verbinder der parallelen, seriellen und der Systembus-Schnittstelle sind zusätzliche Befestigungen vorgesehen. An diesen werden die alphatronic Steckverbinder mit ihren Schrauben befestigt.



A C H T U N G

Garantieverlust bei unbefugtem Öffnen des Gerätes !

1.1 Öffnen und Schließen des alphatronic-PC

1. Netzleitung vom Gerät lösen
2. Alle Leitungen zu weiteren Geräten lösen
3. Das Gerät mit der Tastatur nach unten auf eine ebene Unterlage legen.
4. Die in Abbildung 1.1 markierten Schrauben mit einem passenden Kreuzschlitzschraubendreher herausdrehen.
5. Das Gerät wieder auf die Unterseite drehen, dabei das Ober- und Unterteil verbunden halten.
6. Jetzt das Oberteil am hinteren Ende des Gerätes etwa 1 cm anheben und nach vorne von den am Unterteil angespritzten Haken abschieben.
7. Das Oberteil (Tastatur) kann nun nach rechts neben das Unterteil geschwenkt werden (Die Öffnung des Oberteils zeigt nach oben).

1.1.2 Zusammenbau

Der Zusammenbau geschieht in umgekehrter Reihenfolge. Es ist darauf zu achten, daß kein Kabel eingeklemmt wird.

Anmerkung:

Da die verwendeten Schrauben selbstgewindeschneidend sind und das Plastik abgenutzt wird, ist häufiges Öffnen des Gerätes zu vermeiden.

1.2 Leichte Reparaturen

A C H T U N G

Vor der Ausführung von Arbeiten an Baugruppen oder Bauteilen des PC ist unbedingt sicherzustellen, daß keine elektrostatische Ladung des Körpers oder der Werkzeuge an die Bauteile abfließen kann! (z.B. durch Verbinden des Körpers mit Masse (GND) des PC über einen Widerstand von $\leq 10 \text{ MOhm}$ und einer flexiblen Leitung).

1.2.1 Austausch der Netzsicherung

1. Öffnen des Gerätes wie in 1.1. beschrieben.
2. Auf der Netzfilterplatine ist nun die Sicherung zugänglich (Abb. 1.3). Der Austausch darf nur gegen eine Sicherung mit der Bezeichnung T 0,5 A erfolgen.
3. Schließen des Gerätes wie in 1.1.2 beschrieben.

1.2.2 Austausch der Netzteilplatine

1. Öffnen des Gerätes wie in 1.1. beschrieben.
2. Lösen des Steckverbinders con 108-4 auf der Hauptplatine (Abb 2.2).
3. Lösen des Steckverbinders con 301 auf der Netzteilplatine (Abb 1.3).
4. Mit einer Flachzange nacheinander die Sicherungsnasen der 4 Halteklammern (Abb 1.3) zusammendrücken und die Netzplatine leicht über die Sicherungsnasen heben.
5. Nun die Platine vorsichtig nach oben abheben.
6. Aufsetzen der neuen Platine in umgekehrter Reihenfolge bis zum sicheren Einrasten der Sicherungsnasen.

7. Aufstecken der Verbinder con 108-4 und con 301 unter Beachtung ihrer Polaritätshilfen.
8. Schließen des Gerätes wie in 1.1.2 beschrieben.

1.2.3 Austausch des Netzsteckers oder -schalters

1. Öffnen des Gerätes wie in 1.1. beschrieben.
2. Beachtung der elektrostatischen Ladung des Körpers (Hinweise in 1.2.2).
3. Lösen der mit Φ bezeichneten Schrauben mit einem Kreuzschlitzschraubendreher.
4. Nach dem Abnehmen der Platine sind der in Gehäuseausparungen liegende Netzsteckerbuchse und Netzschalter zugänglich.

Typ: 3-polige EUROPA NORM-Gerätsteckerbuchse

5. Wiedereinbau in umgekehrter Reihenfolge.
6. Schließen des Gerätes wie in 1.1.2 beschrieben.

1.2.4 Austausch des Keyboards

1. Öffnen wie in 1.1. beschrieben
2. Lösen des Steckverbinders auf der Hauptplatine. Dabei vorsichtig, während man die Haltenase des Steckers anhebt, diesen von den Steckerstiften schieben.
3. Erst jetzt die Masseverbindung zur Hauptplatine lösen.
4. Mit Φ bezeichnete Schrauben (Abb. 1.2) mit einem passenden Kreuzschlitzschraubendreher herausdrehen.

5. Das Keyboard mit den Tasten nach unten belassen.

6. Die Keyboardplatine jetzt vorsichtig nach oben entnehmen.

V O R S I C H T : Die auf der Oberseite sichtbaren LED's werden leicht verbogen.

7. Einbau

7.1 Die Platine ohne Gewaltanwendung in den Sitz legen.

7.2 Jetzt die Platine mit den Fingern im Sitz festhalten, das Gehäuseoberteil drehen und den richtigen Sitz der Tasten und LED's kontrollieren. Ggf. Platine neu in den Sitz stecken oder durch verschieben die Tasten mittig ausrichten.

7.3 Alle Schrauben wieder (nicht zu fest) anziehen, dabei nicht vergessen, die Masseleitung unterzulegen.

7.4 Masseverbindung zur Hauptplatine des TA PC herstellen.

7.5 Jetzt den Vielfachsteckverbinder mit seiner Sicherungsnase nach oben auf den dazugehörigen Stecker auf der Hauptplatine stecken.

8. Schließen des Gerätes wie in 1.1.2 beschrieben.

1.2.5 Austausch eines Steckers

Zum Austausch eines Steckers ist es erforderlich, die Hauptplatine auszubauen. Hiervon raten wir dringend ab, da auch schon leichtes Verbiegen der Platine wegen der angewandten "Feinleitertechnik" unweigerlich zu Leiterbahnrisse führen kann.

Von Lötarbeiten an den Baugruppen ohne spezielles Auslötwerkzeug raten wir ebenfalls wegen der sehr großen Beschädigungsgefahr dringend ab.



1.2.6 Austausch gesteckter IC's

Antistatikvorschriften beachten!

**IC's nicht an den Beinchen berühren
und nur auf eine geerdete Unterlage ablegen.**

Falls kein kombiniertes Einsetz-/Ausziehwerkzeug zur Verfügung steht, ist das IC in möglichst vielen kleinen Schritten beidseitig hebelnd aus dem Sockel zu entnehmen. Als Hebel eignet sich notfalls eine gekrüpfte Pinzette.

Es ist darauf zu achten, den Hebel nicht auf der Hauptplatine abzustützen um Leiterbahnrisse zu vermeiden.

Das Einsetzen eines IC erfolgt unter Berücksichtigung der Punkte 1 bis 4:

1. Pin 1 der IC's gehört in den Kontakt unten links des Sockels, wenn das Netzteil oben rechts ist.
2. IC-Beinchen einer Reihe in dem Sockel ansetzen.
3. Zweite Beinchenreihe parallel in Richtung erste Reihe drücken, bis die Beinchen direkt über den Kontaktfedern stehen.
4. Nun das IC gleichmäßig und vorsichtig in den Sockel drücken.

ACHTUNG:

Bei zu starkem Druck auf das IC besteht Gefahr von Leiterbahnrisse, da sich die Hauptplatine verbiegt.

2. Blockschaltbild

2.1 Erläuterungen zum Blockschaltbild

Das Blockschaltbild (Abb. 2.1) gibt einen Einblick in die logische Konfiguration des alphasonic-PC. Funktionsblöcke sind hier als Kästen dargestellt. Steuersignale, Treiberstufen und Versorgungsspannungen sind nicht eingezeichnet. Alle Funktionsblöcke sind um das Bussystem gruppiert. Das Bussystem besteht aus einem 8 Bit breiten Datenbus und einem 16 Bit breiten Adressbus. Jeder PC-interne Datenverkehr wird über den Datenbus abgewickelt. Die jeweils dazugehörige Adresse steht auf dem Adressbus. Aus der 16 Bit Breite des Adressbusses ergibt sich ein direkt adressierbarer Speicherbereich von $2^{16} = 65536$ Speicherworten. Dies wird oft mit dem Kürzel "64 kByte Adressbereich" angegeben. 1k (k spricht: ka) ist die Abkürzung für $1024 = 2^{10}$. "Byte" kennzeichnet eine 8 Bit breite Information.

Da der alphasonic-PC jedoch über 64 k Byte RAM (Random Access Memory = Speicher mit wahlfreiem Zugriff, Schreib-/ Lesespeicher) und 32 kByte BASIC bzw. Monitor ROM (Read Only Memory = nur Lesespeicher; Festwertspeicher) verfügt, reicht der direkte Adressbereich nicht mehr aus. Aus diesem Grund wird nach dem Einschalten des PC (sofern kein Floppydisklaufwerk angeschlossen bzw. kein ROM-PACK eingesteckt ist) der Inhalt der ROM-Speicher in den RAM-Speicherbereich kopiert. Der Anwender hat hiernach nicht mehr 64 kByte RAM, sondern nur noch ca. 28 k Byte zur freien Verfügung (ca. 4 kByte RAM werden vom BASIC bzw. vom Monitor für Verwaltungsaufgaben benötigt).

Im Regelfall legt der Mikroprozessor Z80A die Adresse des als Quelle oder als Ziel angesprochenen Speicherwortes auf den Adressbus. Der Mikroprozessor (MPU = Micro Processor Unit) steuert das gesamte System und arbeitet die Programme ab. Der Prozessor Z80A ist im Kapitel 3 näher beschrieben.

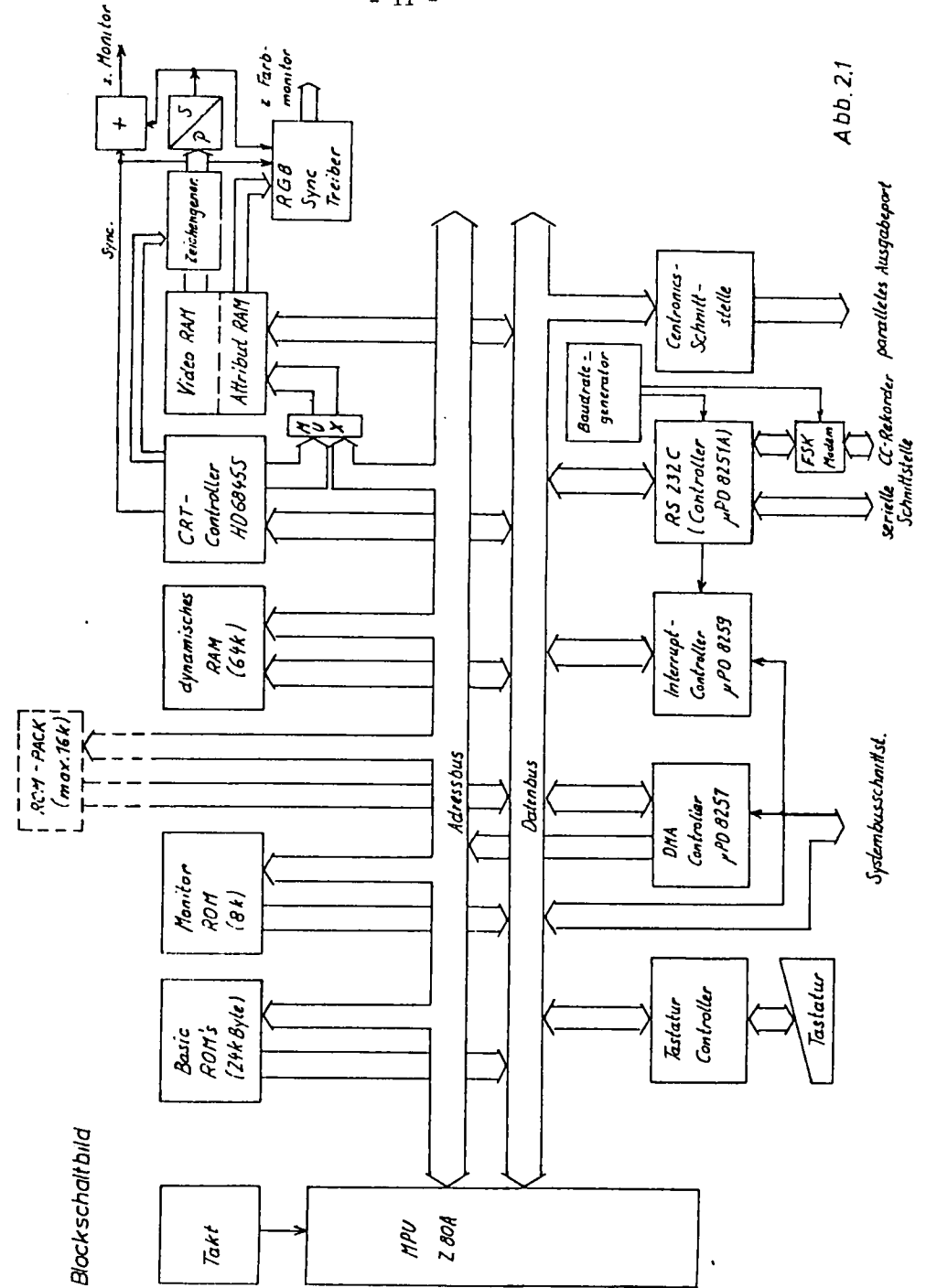


Abb. 2.1

Systembusschnittst.

serielle CC-Retarder paralleles Ausgabeport Schnittstelle

3. Mikroprozessor Z 80 A

3.1 Architektur des Z 80

Kernstück der Zentraleinheit (CPU) des alphasonic-PC ist der Mikroprozessor (MPU) Z 80 A von Zilog (Zweiterhersteller z.B. Mostek, NEC). Der Z 80 A entspricht in der Struktur und seinem Befehlssatz dem Z 80. Der einzige Unterschied ist in der Verarbeitungsgeschwindigkeit zu finden. Im PC kommt der Z 80 A zum Einsatz. Er arbeitet mit einem 4 MHz Taktgenerator.

Er ist ein 8-bit Mikroprozessor, das heißt der Datenbus, über den der Prozessor Daten mit Speicherbausteinen oder Ein-/Ausgabebausteinen austauscht, ist 8 bit breit. Ferner verfügt der Prozessor über einen Adressbus und einen Steuerbus. Der Adressbus ist 16 bit breit. Er überträgt im Regelfall eine vom Prozessor erzeugte Adresse, die ein Speicherwort oder Ein-/Ausgaberegister auswählt. Der direkt adressierbare Speicherbereich beträgt also $2^{16} = 65536$ Speicherworte (1 Wort = 1 Byte). Der Steuerbus überträgt Signale, die zur Synchronisation des Systems erforderlich sind. Zum Beispiel bestimmt der Zustand des Steuerbusses, ob das über den Adressbus angewählte Datenwort Quelle oder Ziel der Datenbusinformation ist. In Abb. 3.1 ist die interne Struktur des Z80A schematisch dargestellt.



Interne Struktur des Z80

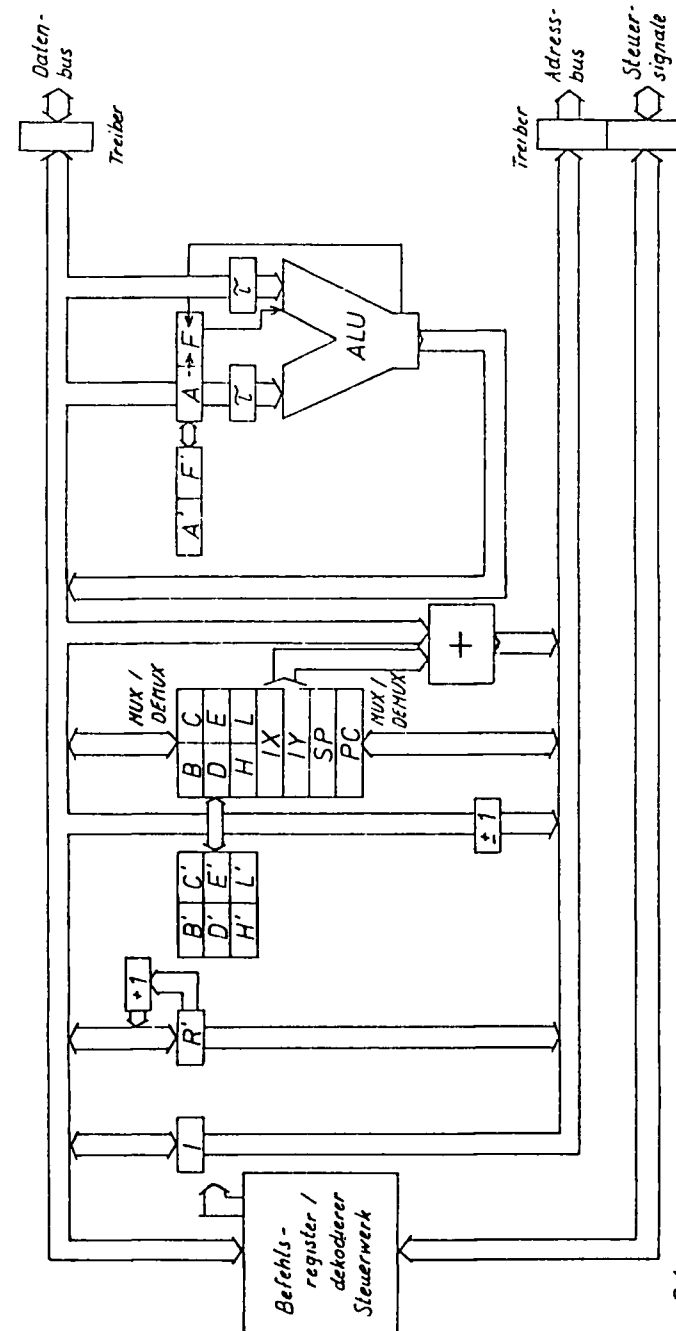


Abb. 3.1

Erläuterungen zur Blockstruktur:

1. ALU (arithmetic logic unit), Rechenwerk

Das Rechenwerk übernimmt die Durchführung von arithmetischen und logischen Operationen. Hier werden Additionen, Subtraktionen (in 2er-Komplementarithmetik) und logische Grundverknüpfungen von Eingangsdaten durchgeführt. Ferner kann die ALU auch den Inhalt von 8-bit Datenworten verschieben bzw. rotieren lassen. Einzelne Bits eines Wortes können gesetzt, gelöscht oder gezielt abgefragt werden.

Registersatz

Der Z80 besitzt folgende Register:

A, F, B, C, D, E, H, L, IX, IY, die für den Anwender zur Verfügung stehen.

Für die Register A bis L existiert parallel ein Hintergrundregistersatz A' bis L'. Die Registersätze können nur komplett ausgetauscht werden.

2. A (Accumulator), Rechenregister

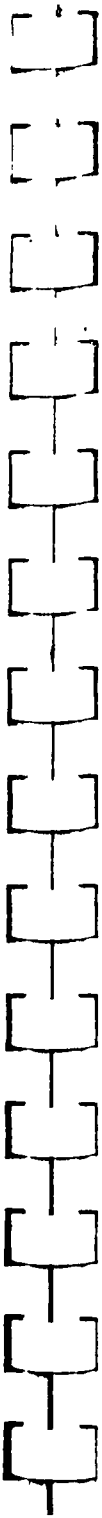
Das Rechenregister arbeitet direkt mit dem Rechenwerk zusammen.

3. B, C, D, E, H, L Universalregister, jeweils 8 bit breit

Sie können beliebige Daten beinhalten und ermöglichen eine schnelle Datenverknüpfung mit Hilfe des Rechenwerkes. Diese Register können auch paarweise angesprochen werden und zwar in den Paarungen BC, DE, HL, um 16 bit breite Informationen zu speichern.

4. Flagregister, Signalregister

Die Bits dieses Registers signalisieren den Zustand des Akku-



mulators bzw das Ergebnis der letzten Rechenoperation. Es ist wie folgt aufgebaut:

7	6	5	4	3	2	1	0
S	Z	.	H	.	P/V	N	C
.
.	Übertrag ($\hat{=}$ 1) (Carry-flag)
.
.	nur intern von der MPU bei BCD-Subtraktion benutzt
.
.	Paritäts- oder Überlaufbit, je nach Operation
.	nicht 8080-kompatibel, da hier ein Überlauf
.	bei 2er - Komplementoperationen signalisiert
.	wird. Weiterhin wird dieses Bit von der MPU
.	bei Blocktransfer und -Vergleichsoperationen
.	benutzt.
.
.	nicht benutzt
.
.	Halbübertrag (BCD-Arithmetik) (Halfcarry)
.
.	nicht benutzt
.
.	Zero (1 $\hat{=}$ Null, 0 $\hat{=}$ ungleich Null)
.
.	Vorzeichen (1 $\hat{=}$ Minus, 0 $\hat{=}$ Plus)

5. A', F' Hintergrundregistersatz

Mit diesen können das Rechenregister A oder das Flagregister F ausgetauscht werden. Zugriff auf diese Register ist nur mit Hilfe des Austausches möglich.

6. BC', DE', HL' Hintergrundregistersatz

Zugriff auf diesen Registersatz ist wie bei A' F' nur möglich, wenn er zuvor mit den Registern B bis L ausgetauscht wurde. Der Austausch aller 3 Paare ist mit nur einem Befehl (EXX) möglich.

Die Austauschbefehle EX Operand 1, Operand 2 (Exchange) tauschen die Inhalte der im Argument stehenden Operanden aus. Ausnahme: EXX, hier werden die Register BC, DE, HL mit ihren Hintergrundregistern ausgetauscht.

2. 8-bit Rechenbefehle

Fast alle dieser Befehle benötigen 2 Operanden. Der erste ist immer das A (Rechen-) -Register oder eine "1" (vergleiche implizierte Adressierung). Das in der Befehlserläuterung verwendete Zeichen "==" bedeutet "ergibt sich aus", x entspricht dem 2ten Operanden und ü (oder c) ist das Übertragsbit (Carrybit) des Flagregisters.

MNEMONIK	BEFEHL	ANMERKUNG
ADD X	A := A + X	
ADC X	A := A+X+ü	(Add with Carry)
SUB X	A := A - X	
SBC X	A := A-X-ü	(Substr.with Carry)
AND X	Ai:= Ai ^ Xi	logisches UND
OR X	Ai:= Ai v Xi	logisches ODER
XOR X	Ai:= AiXi v AiXi	" ENTWEDER -oder (Exclusive OR)
CP X	A - X	Veränderung des Flag Registers (Compare)
INC X	X := X+1	(Increment)
DEC X	X := X-1	(Decrement)

Der Index i bedeutet: hier werden die Bits gleicher Wertigkeit verknüpft.

3. 16 bit Arithmetik

In den hier aufgeführten Befehlen bedeutet XX ein 16 bit Register(paar) der MPU. HL meint z.B. das Paar HL.

ADD XX1,XX2	XX1:=XX1+XX2	nicht alle
ADC HL,XX	HL:=HL+XX+ü	Kombinationen
SBC HL,XX	HL:=HL-XX-ü	von Register-
INC XX	XX:=XX + 1	paaren sind
DEC XX	XX:=XX - 1	zulässig.

4. Bitmanipulation und Test

Diese Befehle nutzen als Operanden ein Bit i eines Registers oder eines indirekt adressierten Speicherwortes X (Z ist das Null (Zero)bit des Flagregisters).

BITi,X	Z := Xi	(Bit Test)
SETi,X	Xi = 1	(Set Bit)
RESi,X	Xi = 0	(Reset Bit)

5. Speicher-Block-Verschiebe Befehle

Die hier aufgeführten Befehle dienen der Bearbeitung von Datenblöcken. Es handelt sich um 4 Befehle:

LDI, LDIR, LDD, LDDR.

Der Befehl LDI (Load with Increment) bewirkt folgendes:

Der Inhalt des Speicherwortes (1 Byte), auf das HL zeigt, wird in das von DI adressierte Wort transferriert. Anschließend wird der Inhalt der Registerpaare HL und DE um 1 erhöht. Der Inhalt des Registerpaares BC wird um 1 erniedrigt.

Der Befehl LDIR (Load with Increment and Repeat) unterscheidet sich vom vorhergehenden wie folgt:

Der Befehl LDIR führt ein LDI aus bis der Inhalt des Registers BC = 0 ist.



Der Befehl LDD (Load with Decrement) unterscheidet sich vom Befehl LDI nur dadurch, daß die Registerpaare HL, DE und BC um 1 erniedrigt werden.

Der Befehl LDDR (Load with Decrement and Repeat) arbeitet analog zum Befehl LDIR; hier werden wie beim Befehl LDD die Inhalte der Registerpaare erniedrigt bis die Abbruchbedingung BC = 0 erreicht ist.

6. Block-Vergleichs-Befehle

Auch hier gibt es 4 Befehle:

- CPI (Compare with Increment),
- CPIR (Compare with Increment and Repeat),
- CPD (Compare with Decrement) und
- CPDR (Compare with Decrement and Repeat).

Hierbei wird jeweils der Inhalt des vom Registerpaar HL adressierten Speicherwortes vom Inhalt des Akkumulators subtrahiert und das Flagregister entsprechend beeinflußt. Die weitere Ausführung (z.B. Beeinflußung des Registerpaares BC) erfolgt analog zu den Block-Verschiebe-Befehlen.

7. Rotations- und Verschiebebefehle

Die Funktion dieser Befehle wird durch die nachfolgend aufgeführten Schaubilder deutlich. Der dargestellte 8 bit Block ist entweder eines der MPU Register oder ein durch HL, IX bzw. IY adressiertes Speicherwort S.

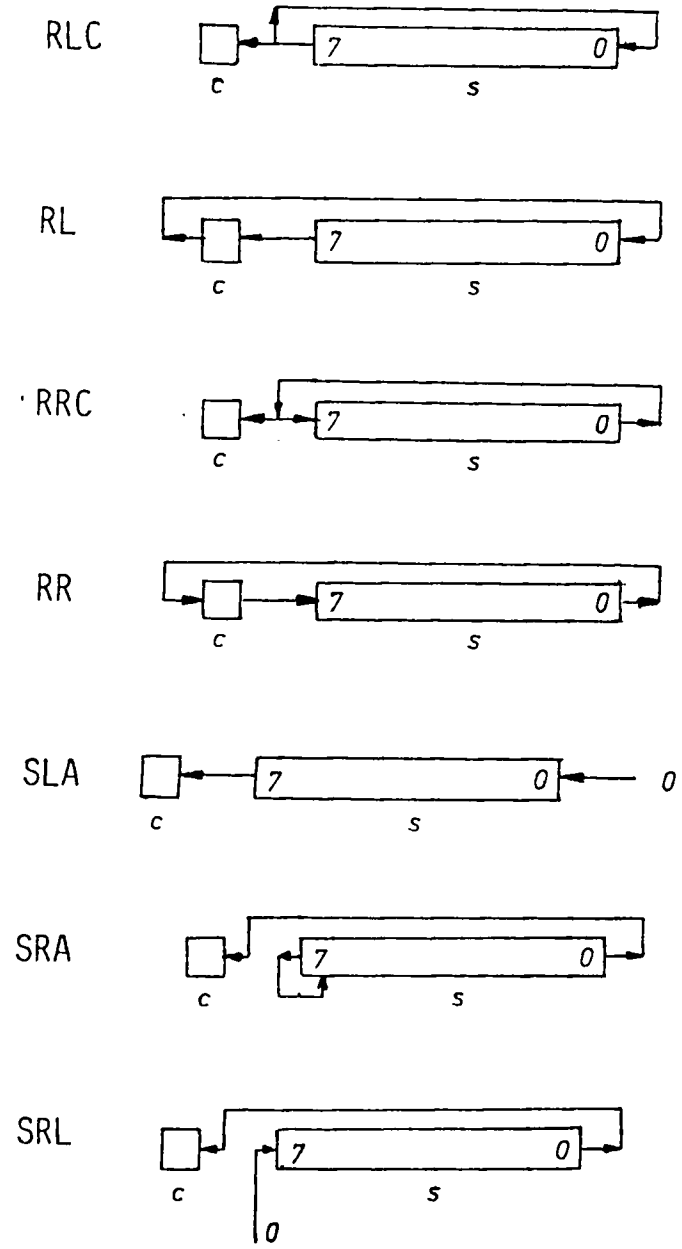
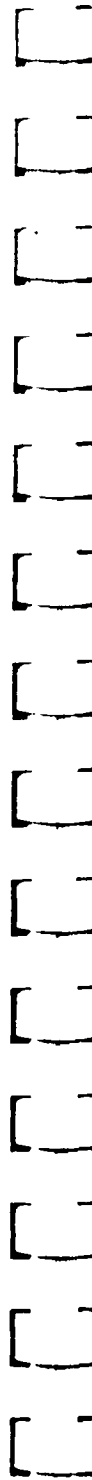


Abb. 3.2

ten Befehls im 2er Komplement. Das heißt, relative Sprünge sind im Bereich +127 und -128 Bytes möglich, da sich die Distanz (Displacement) zu dem Befehlszählerstand nach Ausführung des Sprungbefehls addiert.

JP XX = unbedingter Sprung zur Adresse XX, bzw. Sprung zur Adresse die von einem Registerpaar übergeben wird.

JR X = unbedingter Sprung zur Programmzähleradresse + X.

Bedingte Sprünge:

JP b,XX
JR br,X

Bei Ausführung dieser Befehle wird nur ein Sprung stattfinden, wenn die Bedingung b bzw. br wahr ist.

b kann sein: NZ (= No Zero, nicht 0)
 Z (= Zero , 0)
 NC (= No Carry, kein Übertrag)
 C (= Carry, Übertrag)
 PO (= Parity Odd, Parität ungerade)
 PE (= Parity Even, Parität gerade)
 P (= Plus)
 M (= Minus)

bzw. br kann sein NZ, Z, NC, C

Der letzte, noch nicht erwähnte Sprungbefehl lautet:

DJNZ X (Decrement and Jump if Note Zero)

Hierbei handelt es sich um einen relativen Sprungbefehl. Bei der Ausführung dieses Befehls wird zunächst der Inhalt des B-Registers der MPU um 1 verringert (dekrementiert). Ist danach der Inhalt von B ungleich Null, wird ein relativer Sprung ausgeführt. Ansonsten wird der nächste Befehl abgefragt.

12. Unterprogrammaufruf und Rückkehr zum Hauptprogramm.

Bei der Erstellung von Programmen muß häufig in verschiedenen Bearbeitungsphasen eine gleiche Befehlssequenz durchlaufen werden. Derartige Befehlsblöcke können mit einem Namen versehen und außerhalb des eigentlichen Programmes (=Hauptprogramm) als "Unterprogramm" abgespeichert werden. Erreicht das Hauptprogramm einen Punkt (CALL), an dem die häufig benötigte Sequenz durchlaufen werden muß, wird die Startadresse des Unterprogramms in den Befehlszähler geladen.

Weiterhin muß sich das System die Rücksprungadresse merken, um nach Ausführung der Unterprogrammsequenz zu dem Befehl hinter den Programmaufruf zurückfinden zu können. Bei Z 80-Systemen wird bei Ausführung eines Unterprogrammaufrufes der Befehlszählerinhalt auf den Datenstapel gelegt und der Stapelzeiger entsprechend angepaßt.

Es gibt zwei Unterprogrammaufrufe:

CALL XX = unbedingter Unterprogrammaufruf
CALL b,XX = bedingter Unterprogrammaufruf, b entspricht den bei den bedingten, absoluten Sprüngen aufgelisteten Bedingungen, die zur Ausführung des Befehls wahr sein müssen.

Die Unterprogramme enden mit einem Rücksprungbefehl, der die Rücksprungadresse wieder vom Datenstapel in den Befehlszähler lädt (V O R S I C H T bei Stapelmanipulationen innerhalb von Unterprogrammen!).

Die Rückkehrbefehle lauten:

RET = (Return) unbedingte Rückkehr zum Hauptprogramm
RET b = bedingte Rückkehr zum Hauptprogramm, b entspricht ebenfalls den oben genannten Bedingungen, die zur Ausführung wahr sein müssen.

13. Rückkehr von Interrupt bearbeitenden Routinen.

Bricht die MPU die Bearbeitung eines Programmes durch einen Interrupt (= Anforderung an die Programmsteuerung, Unterbrechungsanforderung) ab, wird der Befehlszählerstand ebenfalls auf dem Datenstapel abgelegt. Durch die Befehle "RETI" (Return from Interrupt) bzw. "REIN" (Return from nonmaskable Interrupt) kann nach Ausführung der den Interrupt behandelnden Routine wieder zurück zum unterbrochenen Programm gesprungen werden.

Diese Befehle arbeiten analog zu dem in 12. erläuterten Befehl "REI".

14. Restart-Befehl

Dieser Befehl belegt nur 1 Byte. Er bewirkt den Sprung zu einer von 8 Speicheradressen, nachdem er den Inhalt des Befehlszählers auf den Stapel gelegt hat (wie bei CALL oder PUSH beschrieben). Die möglichen Speicheradressen sind folgende: 0, 8, 16, 24, 32, 40, 48, und 56 (dezimal). Der Befehl wirkt wie ein schneller CALL-Befehl zu einer dieser speziellen Adressen.

15. Ein-/Ausgabebefehle

Im Folgenden werden Ein- und Ausgabebefehle, deren Funktion analog ist, gemeinsam erläutert.

IN A,(n) / OUT-A(n) Das periphere Gerät mit der Port-adresse n wird ausgewählt. Die Daten werden mit dem Register A ausgetauscht. IN lädt die Daten von der Peripherie in den Akkumulator, OUT gibt die im Akkumulator stehenden Daten aus. Flags werden bei der Ausführung dieses Befehls nicht beeinflusst.

(n), A

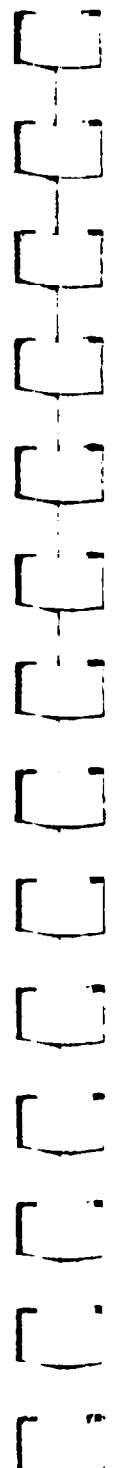
IN r,(C) / OUT r,(C) Hier wird das periphere Gerät durch Inhalt des C-Registers der MPU adressiert. Der Datenaustausch geschieht mit dem Register R.

INI / OUTI (IN / OUT, Increment) Auch hier wird die Peripherie durch den Inhalt des C-Registers der MPU adressiert. Der Datenaustausch geschieht mit dem durch das Registerpaar HL ausgewähltem Speicherwort. Anschließend wird HL inkrementiert und das Register B dekrementiert. Das Flagregisterbit Z (Null) wird von B beeinflusst.

INIR / OTIR (IN / OUT, Increment and Repeat) Diese Befehle arbeiten zunächst wie die zuvor beschriebenen Befehle INI/OUTI. Sie werden jedoch so lange wiederholt, bis der Inhalt des B-Registers gleich Null ist.

IND / OUTD (IN / OUT and Decrement) Diese Befehle unterscheiden sich von INI und OUTI dadurch, daß das Registerpaar HL nicht erhöht, sondern um 1 erniedrigt wird.

INDR / OTDR (IN / OUT, Decrement and Repeat) Hier wird analog INIR / OTIR verfahren, jedoch HL wie bei IND dekrementiert.



4. Memory Mapping

4.1 Speicher-Belegung

Nachstehend die grundsätzliche Speicherbelegung, die sich nach einem Hardwarereset oder dem Einschalten des alphas-
tronic-PC ergibt, wenn kein Floppy-Disc-Laufwerk ange-
schlossen ist:

Adresse	:	Inhalt
0000 bis 1FFF	:	Basic ROM 1
2000 bis 3FFF	:	Basic ROM 2
4000 bis 5FFF	:	Basic ROM 3
	:	
A000 bis BFFF	:	ROM PACK 1 (falls
C000 bis DFFF	:	ROM PACK 2 (vorhanden
	:	
F000 bis FFFF	:	Monitor ROM (je nach
F000 bis FFFF	:	Video und Attribut RAM (Auswahl
	:	(durch
	:	(SPORT
	:	
0000 bis FFFF	:	RAM

Wird der alphas-
tronic-PC mit einer (oder zwei) Floppy-Disk-
Station(en) und der Disk-Basic-Diskette betrieben, so wird
der Basic-Interpreter nicht vom ROM sondern von der Diskette
geladen. Das Ende des Interpreter kann dann aber nicht fest
mit 5FFF angegeben werden, da je nach Eingabe bei "How many
files" mehr oder weniger Pufferspeicher benötigt wird.

Bei Betrieb mit einem CP/M Betriebssystem sind die Bereiche
CCP, BIOS und BDOS wie folgt verteilt:

Adresse	:	Inhalt
C300 bis C3AF	:	CCP
C800 bis D8FF	:	BDOS
D900 bis E3FF	:	BIOS

4.2 I/O Adressen

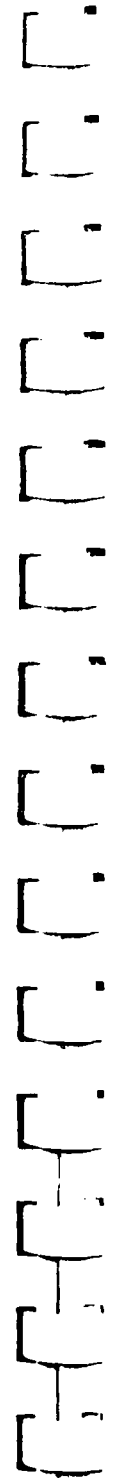
Die nachstehende Liste beinhaltet die dezimalen Adressen
der im alphas-
tronic-PC vergebenen I/O Adressen.

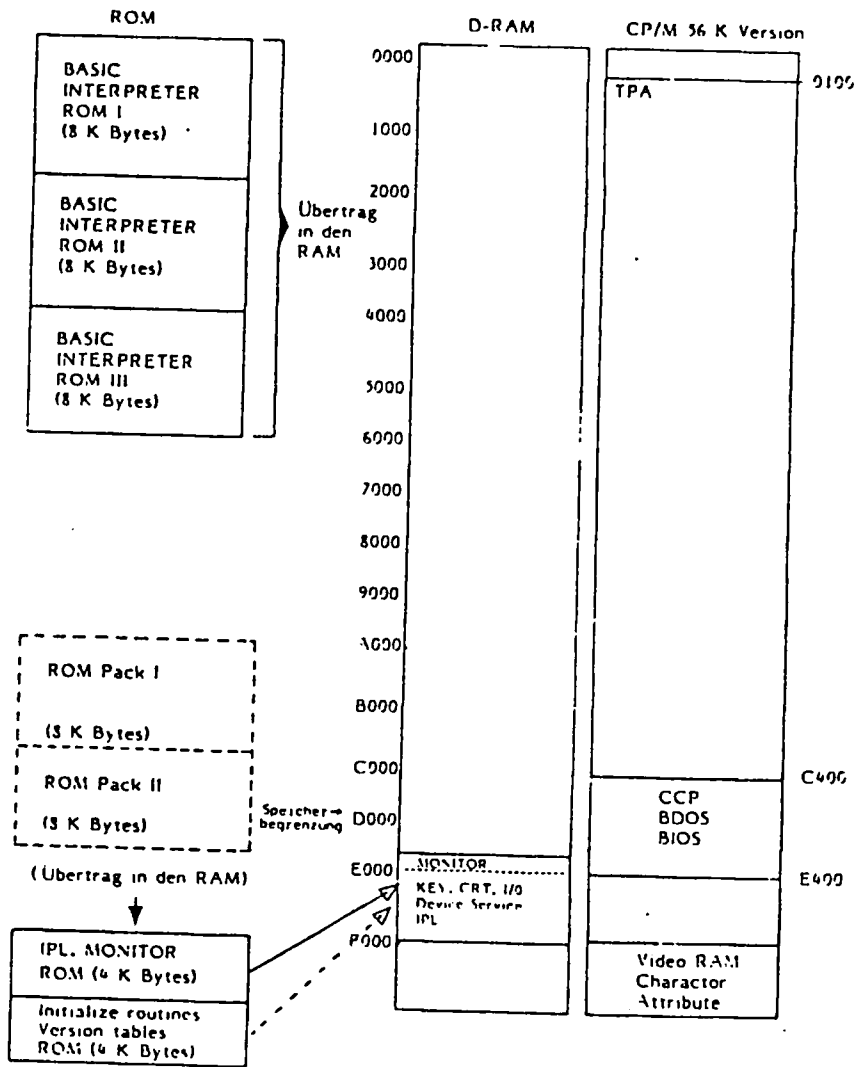
Adresse	:	belegt für
* 10	:	Systemadresse
* 20	:	"
* 30	:	Parallelschnittstelle (Centronics)
* 40	:	Serielle Schnittstelle (V24, RS 232C)
* 41	:	" "
* 50	:	Video Controller
* 51	:	"
60	:	
+	:	
68	:	DMA Controller
* 70	:	Interrupt Controller
* 71	:	"
F0	:	Floppy Disc Controller
F8	:	" "

* Bemerkung: Diese Adressen sind nur über die Adressen A3H
bis A7H und A0 dekodiert

Nachträgliche Erweiterungen:

Adresse	:	Erweiterung
.....	:
.....	:
.....	:





4.1 Speicherorganisation

5. Schnittstellenbeschreibungen

5.1 System Port (SPORT)

Zur Steuerung des Ein-/Ausgabeverkehrs wird das System Port benutzt. Es wird z.B. durch den Assembler-Befehl OUT 10H angesprochen. Die Bits des 1 Byte breiten Ports haben folgende Bedeutung:

- Bit 0 (LSB) Zeilenlänge des Bildschirms
 1 = 80 Zeichen / Zeile
 0 = 40 Zeichen / Zeile
- Bit 1 Bildschirmdarstellung
 1 = ausgeschaltet
 0 = eingeschaltet
- Bit 2 Cassettenrecorder oder V24
 1 = V24
 0 = Cassettenrecorder
- Bit 3 Cassettenrecorder-Fernsteuerung
 1 = Motor ein
 0 = Motor aus
- Bit 4 Buzzer (Summer)
 1 = ein
 0 = aus
- Bit 5 muß immer 0 sein
- Bit 6 ROM-PACK Freigabe (enable)
 1 = ROM-PACK freigegeben (enabled)
 (nur wenn Bit 7 auf 0 gesetzt ist)
 0 = ROM-Pack gesperrt (disabled)
- Bit 7 (MSB) Freigabe des ROM Zugriffs
 1 = Zugriff auf die ROM's ist gesperrt; die MPU arbeitet mit den in das RAM kopierten Daten/Befehlen
 0 = Zugriff auf die ROM's ist freigegeben

Der Inhalt dieses aus zwei 4-Bit D-Flip Flops (74 LS 175) bestehenden Registers kann von der MPU nicht gelesen werden. Der Befehl IN 10H fragt ein anderes Register ab (siehe unten). Um den ausgegebenen Status kontrollieren bzw. ändern zu können, wird nach jeder Ausgabe eine Kopie des ausgegebenen Bytes in das RAM-Wort mit der Adresse E468H geschrieben (SFF0-Byte). Nach dem Kaltstart des alphatronic-PC wird 00 an das System Port ausgegeben und eine Kopie in dem SFF0-Byte abgelegt.

Mit dem Befehl IN 10H wird ein 8 Bit Port abgefragt, das den vorgegebenen Status (z.B. durch DIP-Schalter Abb. 5.1) beschreibt.

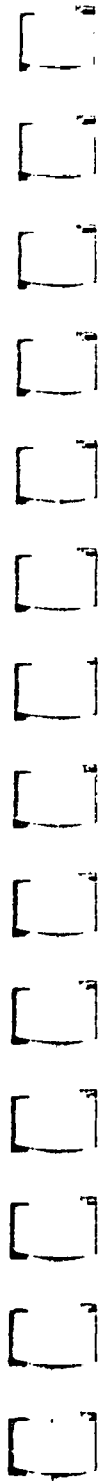
Bedeutung der Bits:

Bit 0 (LSB) Floppy-Disk Laufwerk
1 = Laufwerk ist verfügbar
0 = " ist nicht verfügbar

Bit 1 reserviert

Bit 2, 3, 4 Auswahl des über die Tastatur zugänglichen Zeichensatzes (über den DIP Schalter wählbar)

- 0 0 0 internationaler Zeichensatz
- 0 0 1 deutscher "
- 0 1 0 USA "
- 0 1 1 französischer "
- 1 0 0 englischer "
- 1 0 1 italienischer "
- 1 1 0 spanischer "
- 1 1 1 reserviert



Bit 5 Druckerauswahl

- 1 = Drucker mit serieller Schnittstelle, Datenausgabe über V24 Schnittstelle
- 0 = Drucker mit Centronicskompatibler Schnittstelle, Datenausgabe über das Parallelport

Bit 6 Auswahl der TV-Norm

- 1 = NTSC, hierbei muß der Taktgenerator des CRT-Controller Bausteins mit einem 14,318 MHz Schwingquarz bestückt sein
- 0 = PAL, hierzu ist ein 17,72 MHz Schwingquarz notwendig

Bit 7 (MSB) Bildschirmperiodenüberwachung

theor. 12µs! →

- 1 = Austastlücke
- 0 = es wird gerade auf dem Bildschirm geschrieben

* Hinweis:

Die Ländervarianten-Angaben beziehen sich auf einen Monitorstand mit der Bezeichnung B4 - 7 und größer. Soll ein Gerät auf eine andere Ländervariante umgestellt werden, so ist auch ein Austausch des Zeichengenerator-proms notwendig. Bei Mitnahme in andere Länder ist auf die unterschiedlichen Netzspannungen zu achten (ggf. muß ein entsprechender Transformator evtl. mit Frequenzumsetzer dazwischengeschaltet werden).

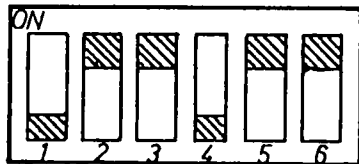
DIP-Schalter (SW 102)

Im Gerät befindet sich auf der Platine ein DIP-Schalter mit sechs Einstellmöglichkeiten:

- Schalter 1 - 3 dient zur Einstellung von Ländervarianten der Tastatur
- Schalter 4 Auswahl der Druckerschnittstelle (parallel, seriell)
- Schalter 5 TV-Farbsystem (PAL, NTSC)
- Schalter 6 ohne Funktion

Schaltevoreinstellung:

1	2	3	
ON	ON	ON	Internat. Tastatur
OFF	ON	ON	Deutsche Tastatur
		4	
		OFF	V.24 (seriell): Voreinstellung für den europäischen Bereich
		ON	Centronics (parallel): Voreinstellung für den außereuropäischen Bereich
		5	
		OFF	NTSC
		ON	PAL



Dip-Schalter
Abb. 5.1

5.2 Tastaturschnittstelle

Die in das Gehäuse des alphasonic-PC integrierte Tastatur ist als Schaltermatrix aufgebaut.

Die Tastaturplatine ist über ein Kabel mit der Hauptplatine verbunden. Folgende Leitungen stellen die Verbindung her:

- Versorgungsspannung (5V, GND)
- 1 Steuerleitung für die GRAPH-LED
- 1 Steuerleitung für die SHIFT-LED
- 12 Steuerleitungen zur Tastaturmatrix (SCO - SC11)
- 8 Antwortleitungen von der Matrix (RTO - RT7)

Aus der Anzahl der Leitungen geht hervor, das es sich hier um eine 12 x 8 Matrix mit maximal 96 Tasten handelt, die sich an den "Schnittpunkten" der Matrix befinden (das heißt: eine der Leitungen SCO - 11 wird durch Betätigung einer Taste mit einer der Leitungen RTO - RT7 verbunden werden).

Nun wird ein 10.3 msec Abfragepuls (scan time) nacheinander an jede der Leitungen SCO - SC11 gelegt und währenddessen die Antwortleitungen gelesen. Ist eine Taste gedrückt, gelangt der Puls also wieder zurück zur MPU. Die entsprechende Taste wird als betätigt erkannt. Die Antwortleitungen werden über die Portadressen 20H-2BH abgefragt. Die Steuerleitungen SCO-SC11 verbergen sich in den niederwertigen 4 Bit der Portadresse (0-B = 0-11 dezimal).

Anmerkung:

In alphasonic-PC's mit niedrigerer Seriennummer beträgt die Abfragezeit 20.7 msec. Der Unterschied zu neueren ist in einem Monitorprogramm zu finden. Die Zeitkonstante für diese Softwareverzögerung steht in den Speicherbytes mit den dezimalen Adressen ESF1 und ESF2:

- ESF1: DD (niederwertiges Byte)
- ESF2: DA (höherwertiges Byte)

Hier ist die Konstante ADD (dezimal) = 2768 (dezimal) für die 20.7 msec maßgeblich; eine 7.5 microsec dauernde Schleife wird 2768 mal durchlaufen.



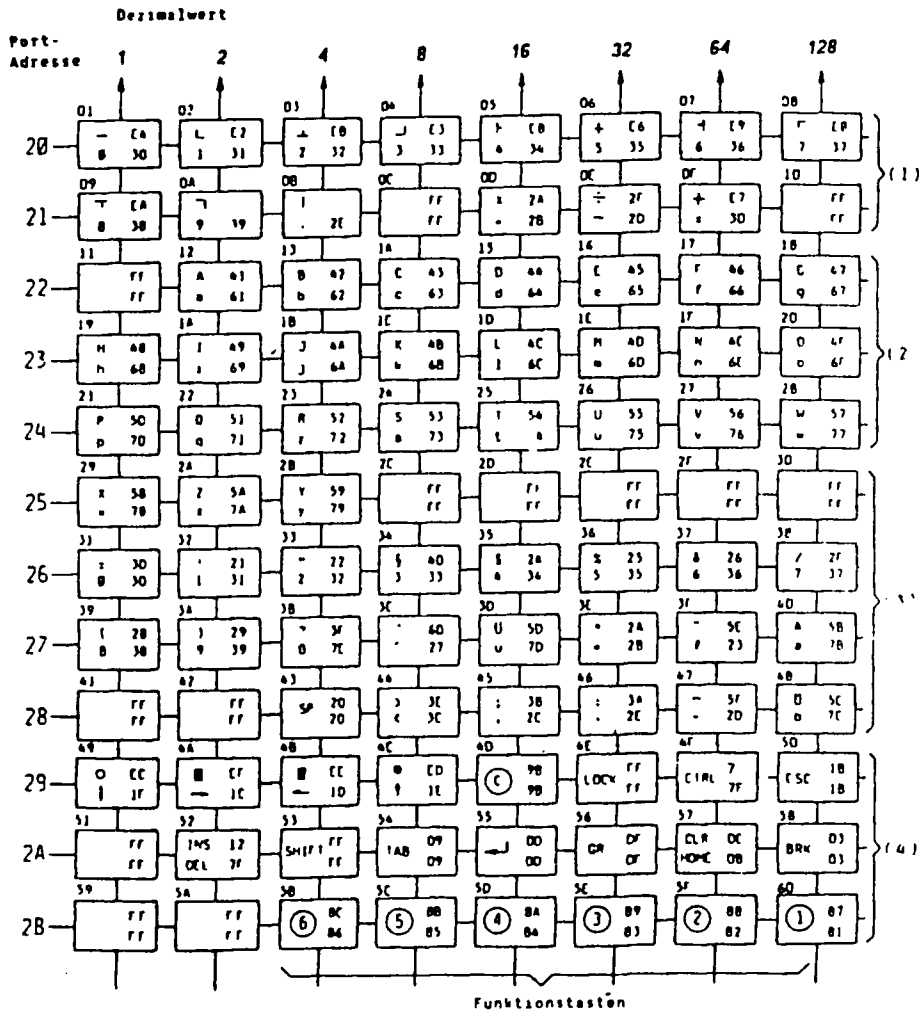


Abb. 5.2 Tabelle der Tastenadressen, deutsch (ROM-BASIC)

- Anmerkung:
- (1) Zehner-Tastenfeld
 - (2) Alpha-Tastenfeld
 - (3) Ziffern, Symbole, länderspezifisches Tastenfeld
 - (4) Funktionstasten
 - (5) SP ... Leertaste
 - (6) FF Keine Taste vorhanden

HEX

HEX	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F			
0			SP	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
1			!	1	A	Q	a	q	Ⓛ										
2		INS	"	2	B	R	b	r	Ⓜ										
3	BRK		#	3	C	S	c	s	Ⓝ										
4			\$	4	D	T	d	t	Ⓞ										
5			%	5	E	U	e	u	Ⓟ										
6			&	6	F	V	f	v	Ⓠ										
7	Ⓡ		'	7	G	W	g	w	SHIFT										
8	Ⓢ		(8	H	X	h	x	SHIFT										
9	TAB)	9	I	Y	i	y	SHIFT	Ⓣ									
A	Ⓛ		* (x)	:	J	Z	j	z	SHIFT	Ⓤ									
B	HOME	ESC	+	;	K	X	k	x	SHIFT	Ⓡ	Ⓢ								
C	CLR	←	,	<	L	O	l	o	SHIFT	Ⓡ									
D	CR	←	-	=	M	O	m	u											
E		↑	.	>	N	^	n	B											
F		↓	/	?	O	_	o	DEL									GR		

Abb. 5.3 Deutscher Zeichen-Code (ROM-BASIC)

Anmerkung: (*) = keine Taste auf der Tastatur

5.3 Serielle Schnittstelle

Der alphantronic-PC ist mit einer seriellen Schnittstelle nach DIN 66020 bzw. EIA RS 232C bzw. CCITT V.24 ausgerüstet. Die serielle Schnittstelle ist durch den integrierten Schaltkreis 8251A (Siemens, Intel, Nec, ...) mit nachgeschalteten pegelanpassenden Schaltkreisen SN 75150, SN 75154 und SN 75189 (Texas Instruments) realisiert. Das Übertragungsverfahren ist durch Voreinstellung von dem PC-internen Rangiersteckverbinder und die Initialisierung des Ein-/Ausgabebausteins 8251A von der Start-Routine in folgenden Modus gesetzt:

*bei PCTRAWS
Asynch 16
8 Bit
No Parity
2 Stopbits*

asynchrone serielle Datenübertragung nach V24 (RS 232C) mit 4800 Bd (Baud, nach Baudot); jedes Wort besteht aus 1 Startbit, 2 Stopbits; zwischen Start und Stopbits befinden sich jeweils 7 Datenbits sowie 1 Paritätsbit (gerade Parität, even Parity)

Der USART (universal synchronous/asynchronous receiver and transmitter) 8251A bietet im Zusammenhang mit dem Baud-Rate-Generator und dessen Rangiersteckverbinder jedoch eine Vielzahl weiterer Übertragungsprotokolle.

1. Übertragene Pegel

Bei dem hier angewandten Verfahren wird eine logische 0 als Spannung von ca +10 V gesendet; eine logische 1 entspricht einer Spannung von ca -10 V. Ein Empfänger erwartet laut den Datenblättern der Treiber-IC's für eine 0, eine Spannung die größer ist als +3 V und für eine 1 eine Spannung die zwischen -3V und -12V liegt.

2. Asynchrone Datenübertragung

In diesem Betriebsmodus sendet bzw. empfängt der USART Baustein serielle Daten, deren Format durch Steuerregister festgelegt ist. Jedes zu sendende Datenwort wird, nachdem es vom parallelen Datenbus des Prozessors in das Senderegister geladen wurde, seriell ausgesendet. Die Länge eines seriellen Datenwortes ist durch die Programmierung eines Steuerregisters

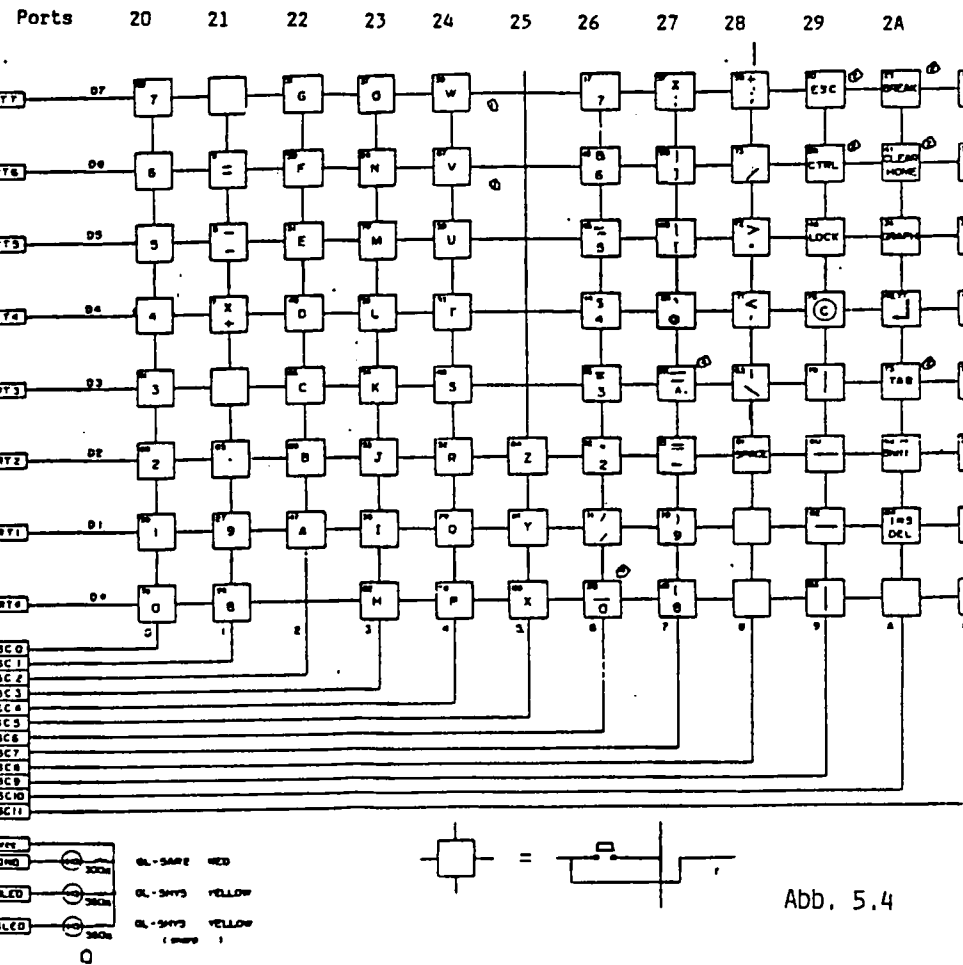
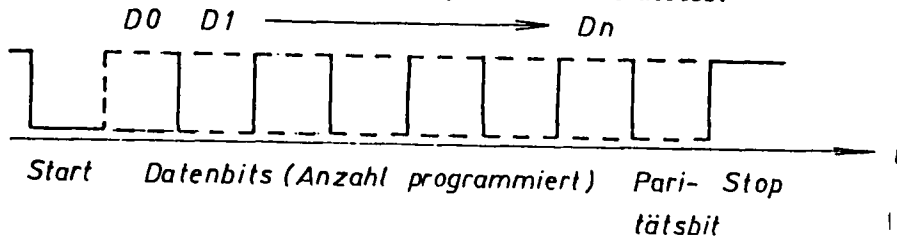


Abb. 5.4

vorgegeben. Sie kann 5, 6, 7 oder 8 bit betragen. (Werden z.B. 5 Bit Datenworte gesendet, sind die 3 höherwertigen Bits der 8 Bit Datenbusinformation verloren). Jedem gesendeten Wort wird ein Startbit vorangestellt. Hierbei wird nach einer Pause oder einem Stoppbit (logisch 0) eine 1 gesendet. Es folgen die Datenbits. Nach den Datenbits kann ein Paritätsbit gesendet werden. Man unterscheidet gerade (even) und ungerade Parität (odd parity). Gerade Parität heißt, daß in jedem Datenwort die Quersumme aller gesendeten Bits gerade ist; bei ungerader Parität ist die Summe ungerade. Dieses Paritätsbit ermöglicht dem Empfänger das Erkennen von Übertragungsstörungen. Den Abschluß eines übertragenen Datenwortes bildet die Stoppinformation. Sie kann 1, 1,5 oder 2 Bit lang sein.

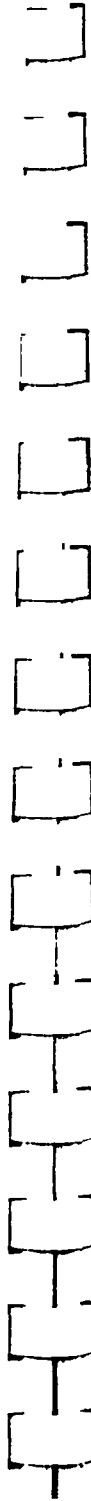
Als Empfänger kann der USART serielle Datenworte entsprechend der eingestellten Baudrate, Datenwortlänge und Parität erkennen und dem Prozessor parallel anbieten. Vom PC gesendete Daten können am Pin 2 des Schnittstellenverbinders abgegriffen werden (TxD); vom PC zu empfangende Daten können an den Pin 3 (RxD) gelegt werden. Das Bezugspotential (Masse) liegt an Pin 7.

Aufbau eines seriellen, asynchronen Datenwortes:

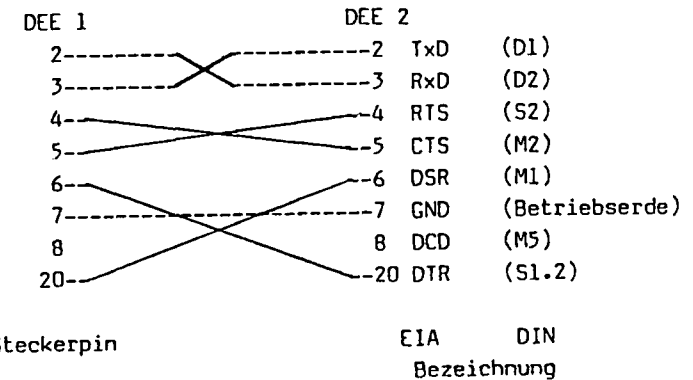


Bei synchroner Datenübertragung entfallen Start- und Stopbits.

Sowohl Sender als auch Empfänger sind mit einem eigenen Taktgeber ausgerüstet. Beide Seiten müssen auf die gleiche Übertragungsgeschwindigkeit eingestellt sein; eine Synchronisation der beiden Takte ist nicht erforderlich. Der Abtastzeitpunkt für die beiden Takte wird digital bestimmt. Zu diesem Zweck ist es erforderlich, daß die Taktgeberfrequenz ein Vielfaches (programmierbar 16 oder 64) der Baudrate ist.



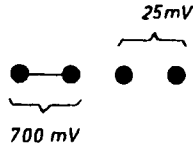
Typische Zusammenschaltung von 2 Datenendeinrichtungen (DEE):



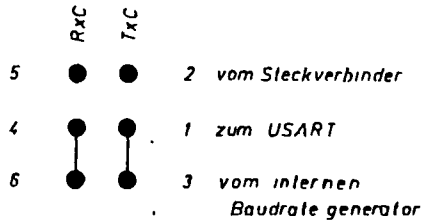
3. Synchroner Datenübertragung

Der Unterschied zu asynchroner Datenübertragung besteht darin, daß der als Sender arbeitende USART-Baustein nach der Initialisierung und, falls kein zu sendendes Zeichen im Baustein vorhanden ist, Synchronisationszeichen (SYNC-Zeichen) automatisch sendet. Zum Empfangsbetrieb muß der USART-Baustein nach Übergabe der Modus- und Sync-Worte in den Suchmodus geschaltet werden. Nach Wahl der internen Zeichensynchronisation tastet der Empfänger das Signal am Dateneingang (Rx) jeweils mit den steigenden Flanken des Empfangstaktes (RxC) ab und vergleicht nach Empfang eines Bits die zuletzt empfangenen Bits mit dem festgelegten Sync-Zeichen. (Ein Doppel-Sync-Modus kann programmiert werden. In diesem Modus werden 2 aufeinanderfolgende Worte untersucht. Diese Wortfolge muß den Bitkombinationen der Worte SYNC1 und SYNC2 entsprechen). Ist ein solches Zeichen (oder Doppelzeichen) empfangen worden, wird dies durch den H-Pegel des SYNDET/BD-Bits im Statusregister des USART markiert und der Suchmodus beendet. Dieses Bit wird auch bei Empfang eines Sync-Wortes (bzw. Doppelwortes) außerhalb des Suchmodus gesetzt.

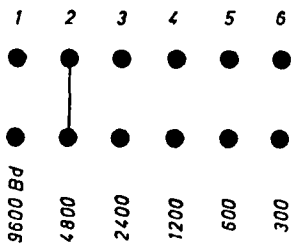
Der programmierbare Modus der externen Zeichensynchronisation des USART-Bausteins kann beim PC durch Umlöten der Lötbrücken (Abb. 5.5) 1 - 2 und 4 - 5 verwendet werden.



Rangierverbinder zur
Einstellung der Ausgangsspannung
an PIN 1 und 4 der Cassetten-
recorderschnittstelle



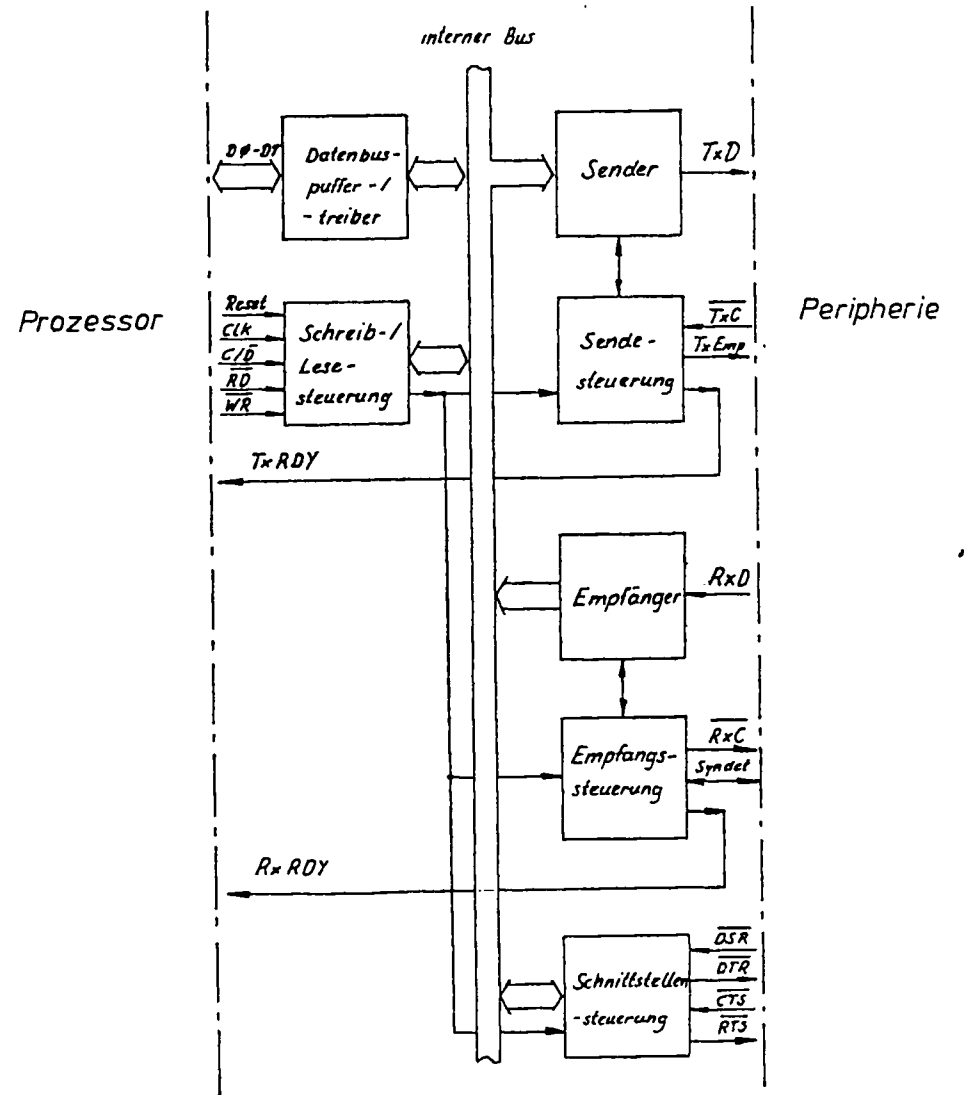
Lötbrücken zur Verbindung
des USART mit dem
Empfangs- bzw.
Sendetakt
vom Steckverbinder
zum USART
vom internen
Baudrate generator



Baudrate
Rangierverbinder

— = Auslieferungszustand

Abb. 5.5



Blockschaltbild USART
nicht kompatibel mit
Steckverbinder

Abb. 5.6

Im Blockschaltbild ist die interne Struktur des USART-Bausteines schematisch dargestellt. In der Mitte befindet sich der interne Bus. Auf der linken Seite erkennt man die MPU-orientierten Funktionsblöcke und die von ihnen zum Prozessor verdrahteten Leitungen. Auf der rechten Seite sind die zur Kommunikation mit der Peripherie arbeitenden Strukturblöcke mit ihren erforderlichen Anschlüssen dargestellt. Eine Ausnahme bilden die Leitungen TxRDY und RxRDY. Diese beiden Signale sind zum Interruptcontroller geführt. Hierdurch wird eine interruptgesteuerte Ein-/Ausgabe, z.B. im Hintergrundbetrieb, ermöglicht.

Anzumerken ist, daß alle MPU bzw. PC-internen Bussignale ohne Einfluß auf den USART sind, solange der CS-Eingang inaktiv ist, d.h. solange er nicht durch ein Programm über den Z 80-Prozessor adressiert wurde.

Die Funktion des 8251A wird durch Software festgelegt. Dies erfolgt durch die Übergabe von Steuerworten (Modus-, Kommando- und ggf. Sync1- und Sync2- Wort), die in Registern des USART gespeichert werden. Diese Register legen den Betrieb des Bausteins fest, bis sie durch neue Instruktionen verändert werden. Der Prozessor kann jederzeit den Status des Bausteins durch Einlesen eines der Statusworte abfragen.

Programmierung des USART

Um nach dem Empfang eines Reset-Pulses (z.B. nach dem Einschalten) die gewünschten Funktionen wahrnehmen zu können, muß der USART Baustein zunächst durch die Übergabe von 2 (asynchroner Datentransfer), 3 oder 4 (synchroner Datentransfer mit 1 oder 2 Sync-Zeichen) Steuerworten initialisiert werden. Die beiden immer zu übertragenden Worte sind das Moduswort und das Kommandowort. Bei der Programmierung des Bausteins wird nur eine Adresse verwendet; die Programmierung muß daher in einer definierten Reihenfolge vorstatten gehen, um zu gewährleisten, daß die Steuerinformationen in dem richtigen Steuerregister abgelegt werden. Die Adresse des Steuerregisters lautet im PC: 41 (Sedezimal).

Der Ablauf einer Initialisierung des USART ist in den nachfolgenden Flußdiagrammen dargestellt. Die Reihenfolge der Steuerinformationen ist bindend.

*10. April
Fest 1980*



1. Asynchronbetrieb :

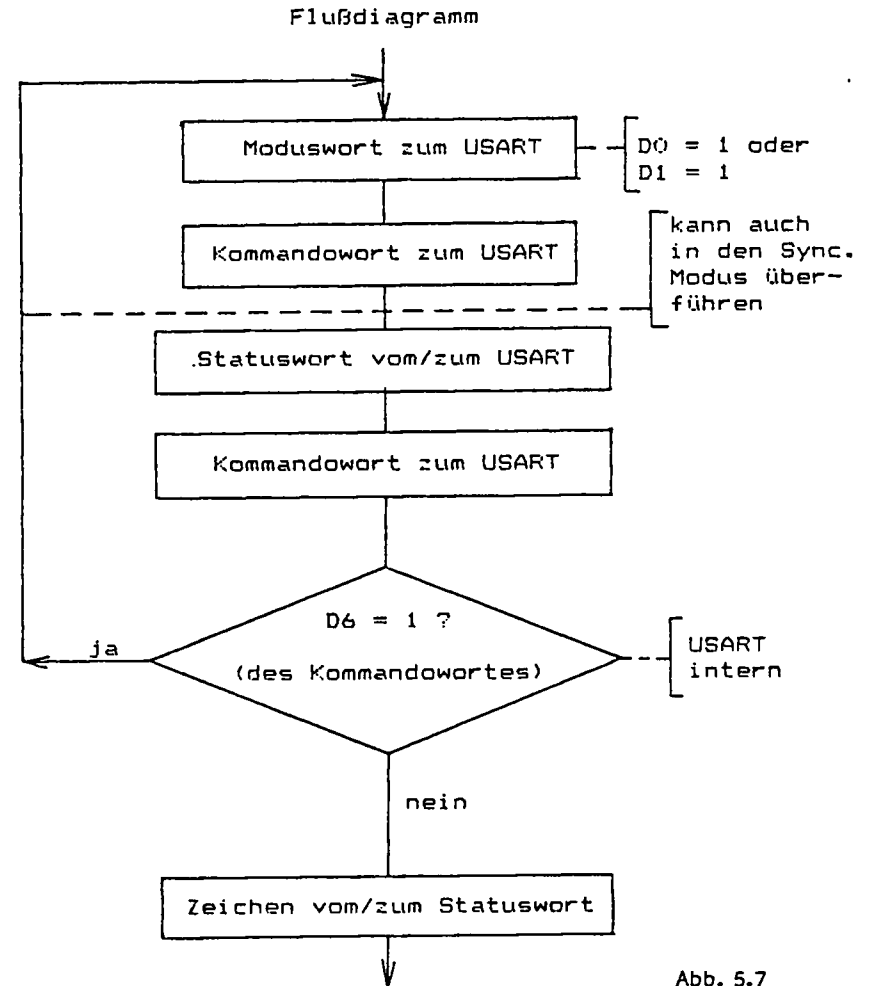


Abb. 5.7

Über den Baud-Rate Generator können dem USART Baustein je nach Stellung des Rangiersteckers (siehe Abb. 2.2 u. 5.5) verschiedene Frequenzen angeboten werden. Diese Frequenzen entsprechen jeweils einer bestimmten Baudrate (denn per Programm wurde schon der Teilungsfaktor 16 für den USART eingestellt).

Rangierstecker	Frequenz	Baudrate
1	153600 Hz	9600 Bd
x 2	76800 Hz	4800 Bd
3	38400 Hz	2400 Bd
4	19200 Hz	1200 Bd
5	9600 Hz	600 Bd
6	4800 Hz	300 Bd

x = Werkseitige Einstellung

Würde der programmierbare Teilungsfaktor 64 gewählt, erstreckte sich der durch den Rangierstecker einstellbare Bereich von 75 bis 2400 Bd; wird der Faktor 1 programmiert, ist ein externer Taktgenerator erforderlich. Hierbei wird im Synchronbetrieb oder im ISO-Synchronbetrieb übertragen. Ist der ISO-Synchronbetrieb gewählt worden, muß ein Baudrategenerator an beide Datenendgeräte angeschlossen werden. Die Verbindung des externen Taktgenerators mit dem PC erfolgt an den Anschlußpins 15 (TxC) und 17 (RxC) des V24 Steckers. Außerdem müssen auf der Hauptplatine des PC zwei Lötbrücken geändert werden. Die Position der Lötbrücken auf der Hauptplatine ist aus Abb. 2.2 ersichtlich, die jeweiligen Verbindungen gehen aus Abb. 5.5 hervor.

Die Schaltung der seriellen Schnittstelle ist in Abb. 5.9 dargestellt. Neben dem USART-Baustein erkennt man die pegeladaptierenden IC's der SN 75-Serie. Der Multiplexer des Typs 74 LS 157 wird vom SPORT angesteuert. Er schaltet zwischen Cassettenrecorderbetrieb und serieller Schnittstelle um (siehe auch Kapitel 5.1. und 5.4).

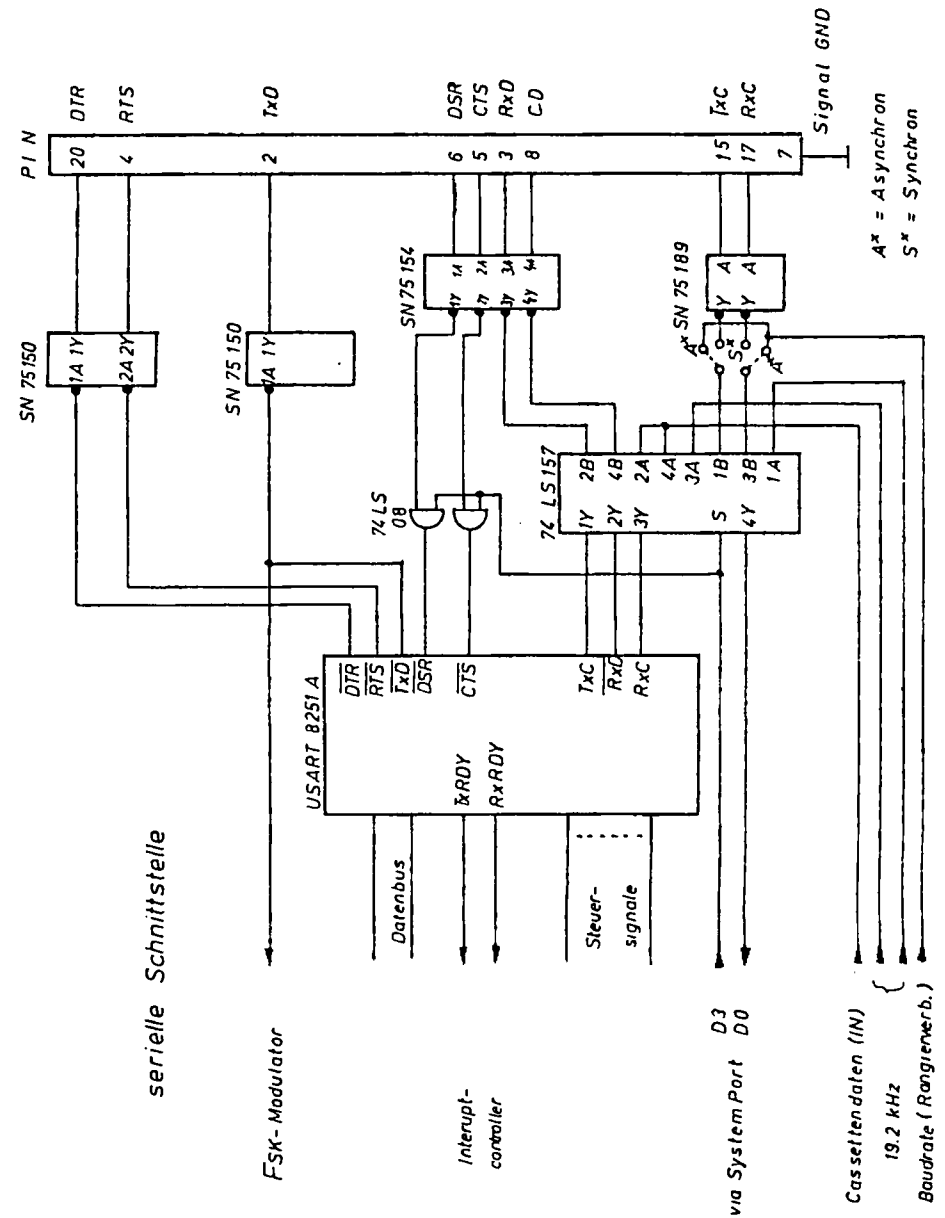
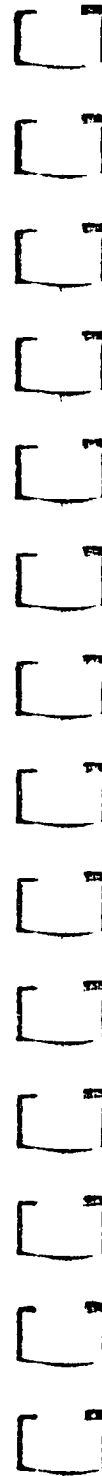


Abb. 5.9

Die Adressen des USART-Bausteins sind im PC: 41 H für Mo-
dus-, Kommando- und Statuswort und 40 H für die zu sendenden
bzw. zu empfangenden Daten. Der Baustein wird vom Monitorpro-
gramm des PC (Version 2.0/25. Juli 83) wie folgt initiali-
siert (kein Cassettenrecorderbetrieb, hierzu siehe Kap.
5.4).

<u>Befehlsadresse (H)</u>	<u>OP-Code</u>	<u>Mnemonic</u>	<u>Anmerkung</u>
EF34	3E FA	LD A,0FAH	1
EF36	D3 41	OUT 41H,A	
EF38	3E 37	LD A,037H	2
EF3A	D3 41	OUT 41H,A	
EF3C	3A E4 68	LD A,(SFF0)	3
EF3F	CB 07	SET 2,A	
EF41	DE 10	OUT (SPORT),A	
EF43	32 E4 68	LD (SFF0),A	

Anmerkungen:

1. Das Moduswort FA wird in das A-Register der MPU geladen
und dann an den USART ausgegeben. Das Moduswort bewirkt
folgende Einstellungen:

- 2 Stoppbits je Wort
- gerade Parität
- das Paritätsbit wird übertragen
(die MPU hat hierauf keinen Zugriff)
- 7 Datenbits werden pro Datenwort übertragen
- Asynchronbetrieb mit einem Teilerverhältnis
Taktfrequenz zu Baudrate von 16

2. Das Kommandowort 37(H) wird in das A-Register der MPU ge-
laden und dann an den USART ausgegeben. Es bewirkt fol-
gende Einstellungen:

- das nächste Steuerwort wird wieder ein Kommandowort
sein
- der Ausgang RTS wird auf L-Pegel gelegt
- die Fehlerbits des Statuswortes (PE, OE, FE) werden
gelöscht
- der Empfänger des USART wird freigegeben

der Ausgang DTR wird auf L-Pegel geschaltet
der Sender wird freigegeben

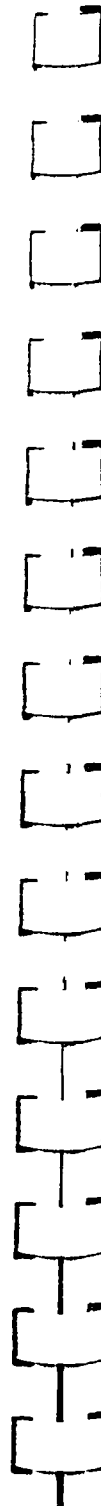
3. Das A-Register wird mit dem SFF0-Byte geladen. Dieses
Byte enthält die zuletzt an das die Peripherie steuernde
System-Port (SPORT) ausgegebene Information. Dieses Port
schaltet z.B. den seriellen Datenstrom vom USART entweder
zu den pegelanpassenden IC's der V24 Schnittstelle oder
zu dem FSK Modulator der Cassettschnittstelle (siehe
weiter unten). Der nächste Befehl setzt das Bit 2 des A-
Registers und gibt das Byte an das System Port aus und
speichert diesen neuen Status auch im SFF0-Byte. Dieses
gesetzte Bit 2 bewirkt, das serieller Datenstrom nun über
die V24 Schnittstelle abgewickelt wird.

Belegung des 25-poligen Steckers:

<u>Pin</u>	<u>Signal</u>	<u>Bedeutung</u>
	RS 232C	V.24
1	NC	
<i>OUT</i> 2	TxD	D1 Transmit Data, Senddaten
<i>IN</i> 3	RxD	D2 Receive Data, Empfangsdaten
<i>OUT</i> 4	RTS	S2 Request to Send, Sendeteil ein
<i>IN</i> 5	CTS	M2 Clear to Send, Sendebereitschaft
<i>IN</i> 6	DSR	M1 Data Set Ready, Empfangsbereitschaft
<i>Ground</i> 7	GND	E2 Signal Ground, Betriebserde
9 - 14	NC	
15	TxC	T2 Transmit Clock, Sendetakt
16	NC	
17	RxC	T4 Receiver Clock, Empfangstakt
18	NC	
19	NC	
<i>OUT</i> 20	DTR	S1.2 Data Terminal Ready, Endgerät be- triebsbereit

NC ≙ nicht belegt

8 Carrier Detect



5.4 Cassettenschnittstelle

Der alphantronic-PC besitzt für das Laden und Speichern von Programmen eine Cassettenschnittstelle. Zum Anschluß eines handelsüblichen Recorders befindet sich an der linken Seite des PC, neben der RGB-Buchse, eine 8-polige DIN-Buchse zum Anschluß eines Recorders.

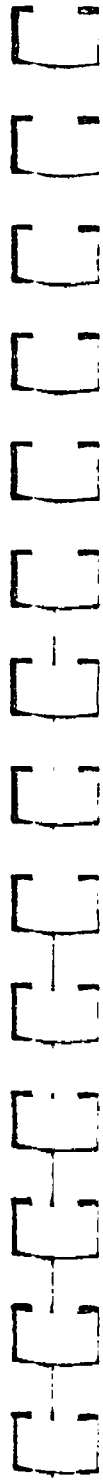
Für einwandfreie Funktion des Basic "CLOAD"-Befehls ist der Anschluß "Ear" (≙ Kopfhörer) eines Cassettengerätes erforderlich. Das Cassettenrecorderkabel des PC sieht diesen Anschluß schon vor.

Zur Aufzeichnung auf Compactcassetten wird der vom USART Baustein 8251A (siehe Kapitel "Serielle Schnittstellen") parallel/seriell gewandelte Datenstrom zu einem FSK-Modulator geleitet (FSK = Frequency Shift Keying). Bei diesem Verfahren wird jedem der beiden logischen Pegel eine Frequenz zugeordnet.

Der USART ist durch die Programmierung auf ein Teilungsverhältnis f/Bd -Rate von 16 eingestellt. Der Rangiersteckverbinder ist hier ohne Einfluß, als Sende- bzw. Empfangsfrequenz wird dem USART eine Frequenz von 19200 Hz angeboten. Somit ist eine Übertragungsrate von 1200 Bd eingestellt.

Durch die Programmierung des USART auf den Teilungsfaktor 64 kann die Aufzeichnungsgeschwindigkeit auf 300 Bd reduziert werden.

Die vom PC aufgezeichneten Frequenzen sind 2400 Hz (H-Pegel ≙ logisch 1) und 1200 Hz (L-Pegel ≙ logisch 0). Diese Frequenzen sind nicht frei wählbar (im Gegensatz zur Baudrate der seriellen Schnittstelle).



Cassettenrecorder-Schnittstelle

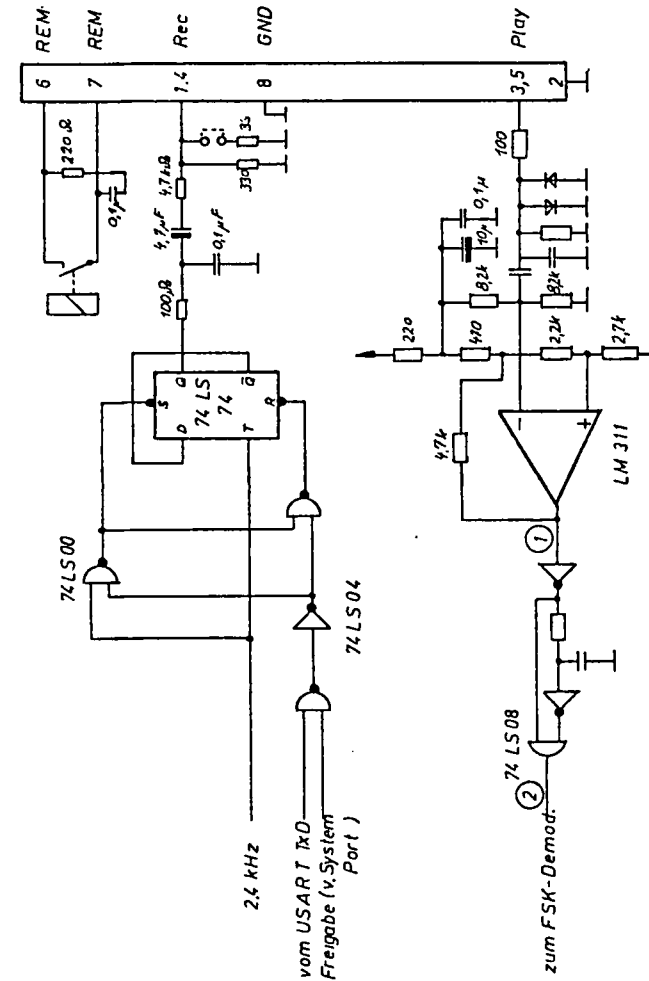


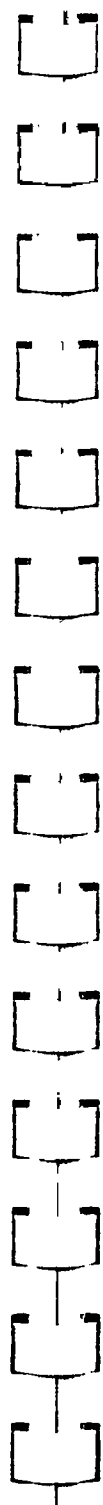
Abb. 5.10

Die Initialisierung des Cassettenschreib-/lesebetriebes erfolgt nicht von der Initialisierungsroutine des PC. Die Umschaltung des seriellen I/O Betriebes auf Cassettenbetrieb muß entweder vom Basic-Betriebssystem oder vom Benutzer selbst erfolgen.

Das Basic nutzt folgende Routine:

<u>Befehls Adresse</u>	<u>OP-Code</u>	<u>Mnemonic</u>
EB4A	3E FE	LD A,0FEH
EB4C	D3 41	OUT 41H,A
EB4E	3E 37	LD A,37H
EB50	D3 41	OUT 41H,A
EB52	3A E468	LD A,(SFFD)
EB55	CB 97	RES 2,A
EB57	C3 EF41	JMP PTSET

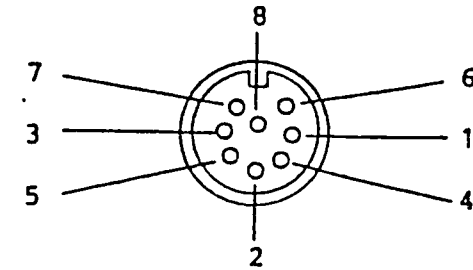
Im Unterschied zur Initialisierung des seriellen Bausteins zum V.24 Modus ist hier lediglich die Zeichenlänge verändert. Sie beträgt hier 8 Bit. Alle anderen Eigenschaften des Datentransfers sind identisch. Weiterhin setzt diese Routine das 2-er Bit des SPORT-Bytes zurück. Dann wird, wie in Kapitel 5.3 beschrieben, zur Ausgabe dieses Byte gesprungen.



Pin-Belegung der Kassettenrecorder-Schnittstelle

Ein-/Ausgabe-Signale

Pin-Belegung, Abb. 5.13



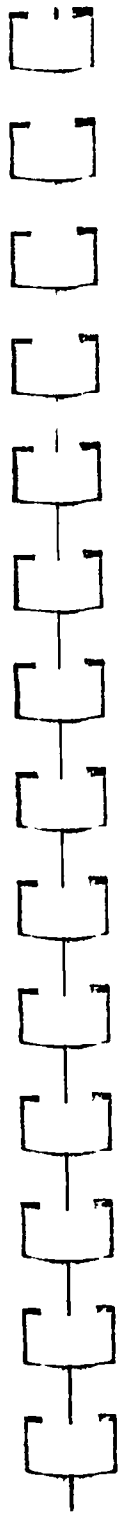
(von der Lötseite aus gesehen)

<u>Nr.</u>	<u>Signal</u>	<u>Bedeutung</u>	<u>Richtung</u>
1	REC	verbunden mit 4	
2	GND	Signal Ground (Masse)	Ausgang
3	MON	verbunden mit 5	
4	REC	Schreibsignal TTL-Pegel	Ausgang
5	MON	Lesesignal TTL-Pegel	Eingang
6	REM1	Fernsteuerung	Ausgang
7	REM2	Fernsteuerung	Ausgang
8	GND	Signal Ground	

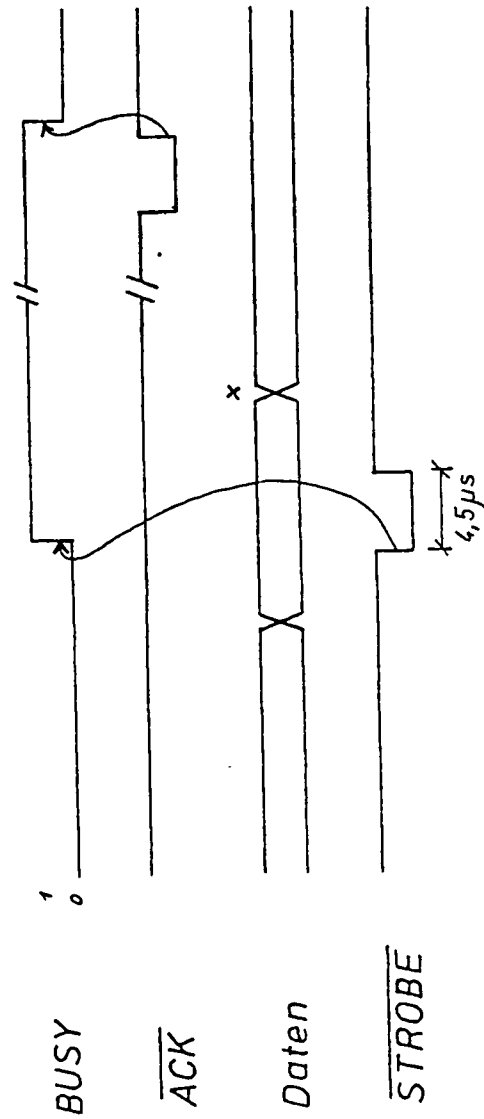
5.5 Parallelschnittstelle

Der alphantronic-PC verfügt über eine 8 Bit-breite Parallelschnittstelle zur Ausgabe von Daten.

Der Datentransfer erfolgt in einem "Handshake"-Verfahren. Die Pegel und Schaltzeiten sind Centronics-kompatibel. Hierbei wird der Datensenke (-Empfänger, z.B. ein Drucker) von der Datenquelle (in diesem Fall der PC) durch einen Puls auf der "Strobe"-Leitung mitgeteilt, daß ein neues 8 Bit-Wort am parallelen Ausgang bereit steht. Sobald die Senke das Wort übernommen hat, teilt sie dies über die "Acknowledge"-Leitung der Quelle mit. Kann die Senke keine Zeichen übernehmen, wird das der Quelle über die "Busy"-Leitung mitgeteilt. Ferner kann das periphere Gerät über die Resetleitung zurückgesetzt werden.



Signale der Centronics - Schnittstelle



*Der PC ändert die Daten erst nach ACK=0

Abb. 5.14

Centronics-Schnittstelle

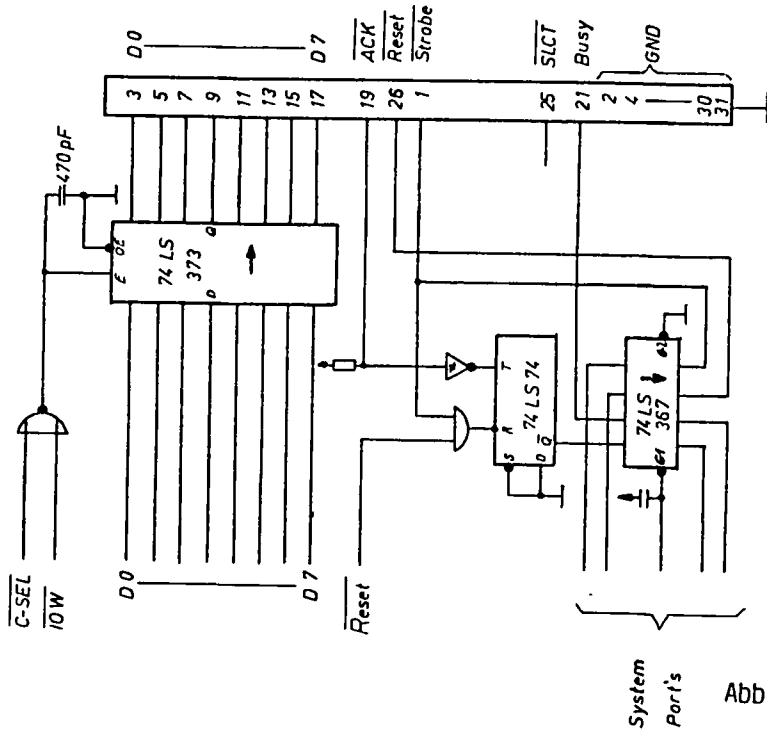


Abb. 5.15

Die Ausgabe der 8 Bit-Datenworte erfolgt über das IC 74 LS 374. Ein im A-Register der MPU stehendes Datenbyte wird durch den Befehl OUT 30H an das Register ausgegeben. Das Senden bzw. Empfangen der Steuersignale STROBE, ACK, BUSY, und RESET erfolgt über einen Baustein des Typs 74 LS 367. Das Einlesen der Steuersignale ACK und BUSY erfolgt über den Befehl IN 30H. Der Inhalt des Steuerwortes sieht wie folgt aus:

- Bit 2 Centronics ACK
1 = aktiv, Datenwort wurde übernommen
0 = inaktiv
- Bit 3 Centronics BUSY
1 = Peripheriegerät ist beschäftigt und kann zur Zeit keine Daten übernehmen
0 = Datenübernahme möglich

Die Ausgabe des Strobe- und Resetpulses erfolgt über OUT 20H. Als Ausgaberegister dienen 2 Bausteine des Typs 74 LS 175 (je 4 D-Flip Flops).

- Bit 1 Centronics RESET
1 = Rücksetzen
0 = nicht Rücksetzen
- Bit 2 Centronics STROBE
1 = Strobe aktiv
0 = Strobe inaktiv

Es ist zu empfehlen, diese Bits nur mit den Bitmanipulationsbefehlen der Z 80 MPU (BIT, RES, SET) abzufragen bzw. zu ändern.

Der Strobeimpuls kann zum Beispiel durch folgende Sequenz erzeugt werden:

```

3A E469          LD A,(SFF1)
CB D7           SET 2,A
D3 20           OUT 20H,A
00             NOP
.              .           ; die Anzahl der NOP
.              .           ; (no operation) Befehle
    
```



. . ; richtet sich nach der
 . . ; gewünschten Pulsdauer,
 ; für einen 4,5 us Puls ist
 ; kein NOP-Befehl erforder-
 ; lich. Pro NOP-Befehl wird
 ; die Pulsdauer um 1 us ver-
 ; längert (Z 80 A,4 MHz)

00 NOP
 CB 97 RES 2,A
 D3 20 OUT 20H,A

Von den 6 verbleibenden Bits des Statusport 2, Adresse 20H werden 5 für andere Aufgaben genutzt:

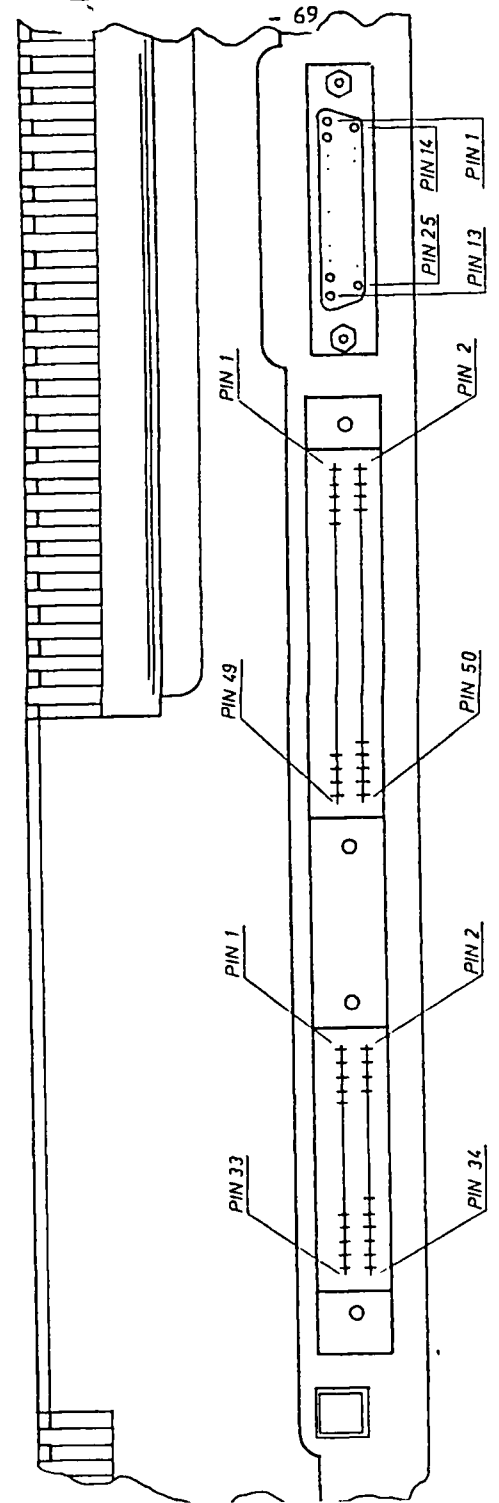
- Bit 0 CRTST, CRT-Controller RESET
 1 = CRT-Controller zurücksetzen
 0 = nicht zurücksetzen
- Bit 3 MONINH, Umschaltung zwischen Monitor-ROM und Video-RAM
 1 = Video-RAM angewählt
 0 = Monitor-ROM angewählt
- Bit 4 GLED
 1 = Graphik-LED der Tastatur einschalten
 0 = " " ausschalten
- Bit 5 SLED
 1 = Shift-Locked-LED ein
 0 = " " aus
- Bit 6 Monitor ROM/Video RAM Adressbereich
 1 = Freigabe der 4 kByte Speicher mit den höheren Adressen
 0 = Freigabe der niederen Adressen

Eine Kopie des am Ausgabeport 20H gegebenen Datenwortes befindet sich in dem SFF1-Byte, Adresse E469H. Während der Initialisierung wird 00 in SFF1 geladen.

Die Zählweise der Steckerpins des Verbinders ist aus Abbildung 5.16 ersichtlich.



Steckerleisten an der Rückseite des PC



serielle (V.24)

System-Bus

Schnittstelle

Centronics

Die Signalbelegung ist aus der nachstehenden Tabelle zu entnehmen.

Ein-/Ausgabe-Signale

Nr.	Signal	Bedeutung	Richtung
1	STB	Freigabesignal für das Senden der Daten zum Drucker; negative Logik, TTL-Pegel	Ausgang
3	DATA-1	Die Signale Data-1 bis DATA-8 enthalten Informationen über das jeweils 1. bis 8. Bit der parallel zu übertragenden Daten.: positive Logik, TTL-Pegel	Ausgang
5	DATA-2		Ausgang
7	DATA-3		Ausgang
9	DATA-4		Ausgang
11	DATA-5		Ausgang
13	DATA-6		Ausgang
15	DATA-7		Ausgang
17	DATA-8		Ausgang
19	ACK	Der Computer erhält das Quittungssignal vom Drucker; dieser hat Daten empfangen und ist erneut empfangsbereit. Negative Logik, TTL-Level	Eingang
21	BSY	Signal an PC vom Drucker Er ist empfangsbereit, sein Puffer ist leer. Negative Logik, TTL-Level	Eingang
23	NC	Nicht belegt	
25	NC	Nicht belegt	
27	GND	Masse	
29	NC	Nicht belegt	
31	GND	Masse	
33	NC	Nicht belegt	
2	GND	Masse	
4	GND	Masse	
6	GND	Masse	
8	GND	Masse	
10	GND	Masse	
12	GND	Masse	
14	GND	Masse	
16	GND	Masse	
18	GND	Masse	
20	GND	Masse	
22	GND	Masse	
24	GND	Masse	
26	Reset	Der PC leitet das System-RESET-Signal an den Drucker weiter. Negative Logik, TTL-Pegel	Ausgang
28	NC	Nicht belegt	
30	GND	Masse	
32	NC	Nicht belegt	
34	NC	Nicht belegt	

5.6 Systembusschnittstelle

Die Systembusschnittstelle schafft die Möglichkeit, komplexe periphere Geräte (Floppydisc-Laufwerke, Expansion-Box usw.) an den alphasonic-PC anzuschließen. Über einen bidirektionalen Bustreiber IC ist der 8 bit Datenbus herausgeführt; der PC kann als Datenquelle und als Datensenke arbeiten. Außerdem ist der 16 bit Adressbus über eine Treiberstufe auf den Systembussteckverbinder gelegt. Die Steuerung der Schnittstelle erfolgt mit Hilfe des DMA (Direct Memory Access) Controller-Bausteins Typ 8257 und den beiden Unterbrechungsanforderungsleitungen EXINT1 und EXINT2 zum Interruptcontroller Typ 8259.



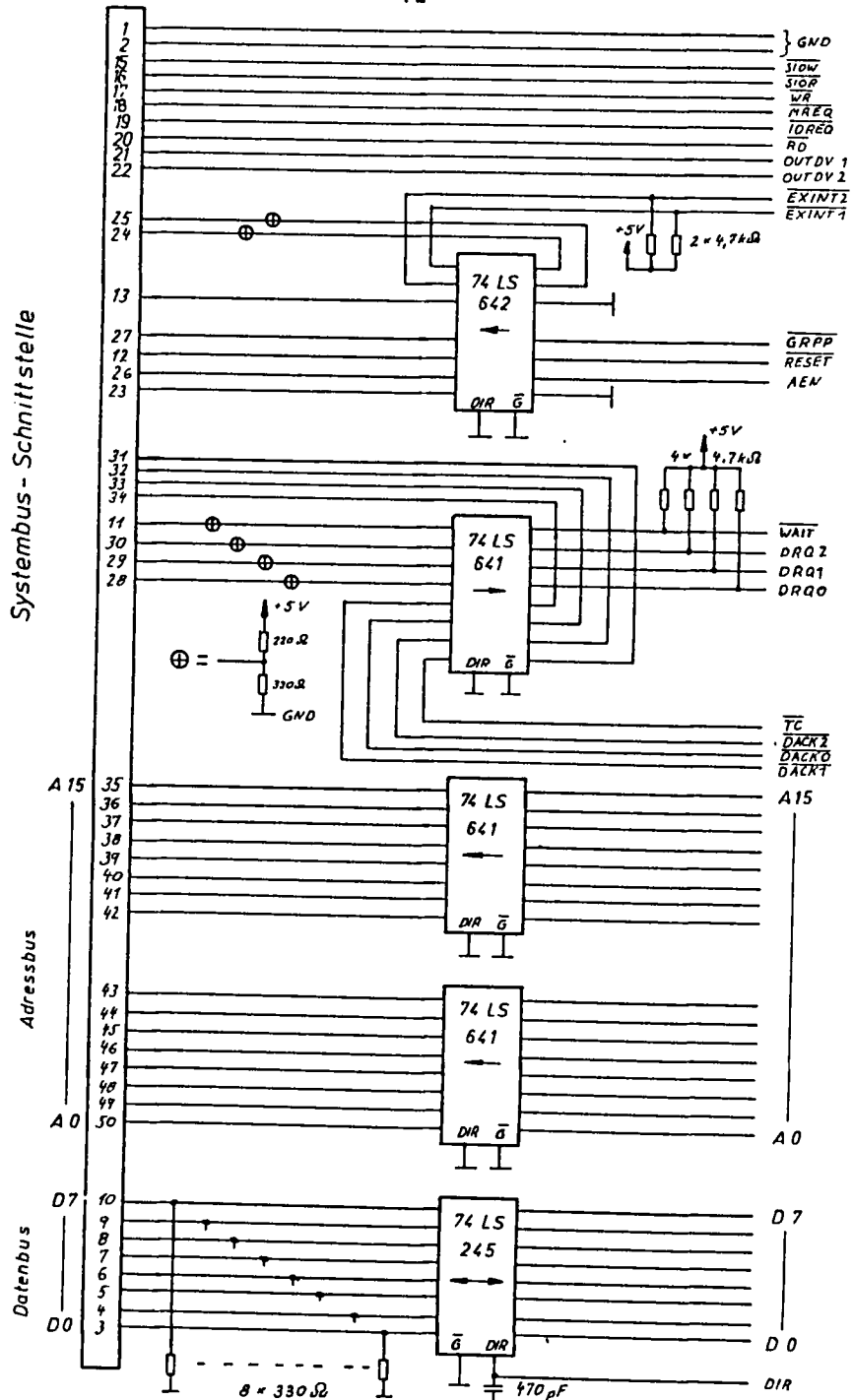


Abb. 5.17

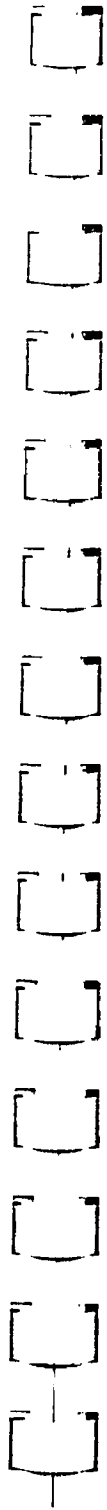
a) DMA Controller Typ 8257

Der hier eingesetzte DMA Controller ist ein 4 Kanal Steuerungsbaustein für direkten Speicherzugriff. Er vereinfacht Datenübertragungen mit hoher Geschwindigkeit. Die Hauptfunktionen des Bausteins bestehen darin, aufgrund einer von einem peripheren Gerät stammenden Anforderung, aufeinanderfolgende Speicherwortadressen zu erzeugen und auf den Adressbus zu legen. Dies ermöglicht dem angeschlossenen Gerät, Daten direkt in den Speicher zu schreiben bzw. Daten zu lesen. Währenddessen ist die MPU Z80 inaktiv. Die Systembussteuerung wird vom DMA Controller übernommen, nachdem die MPU das Anforderungssignal HRQ (Hold Request) des DMA Controllers quittiert hat (Hold). Weiter besitzt der Controller-Baustein eine Prioritätslogik. Diese Logik ermittelt die Priorität (= Plätze in einer Reihenfolge) der DMA Anforderung der externen Geräte und richtet ein gemeinsames Anforderungssignal an die MPU. Außerdem zählt er die DMA-Zyklen für jeden DMA-Kanal und gibt ein Steuersignal (TC) aus, das dem angeschlossenen Gerät mitteilt, daß die programmierte maximale Anzahl der DMA Zyklen erreicht ist.

Trifft eine DMA Anforderung ein, führt der Baustein folgendes aus:

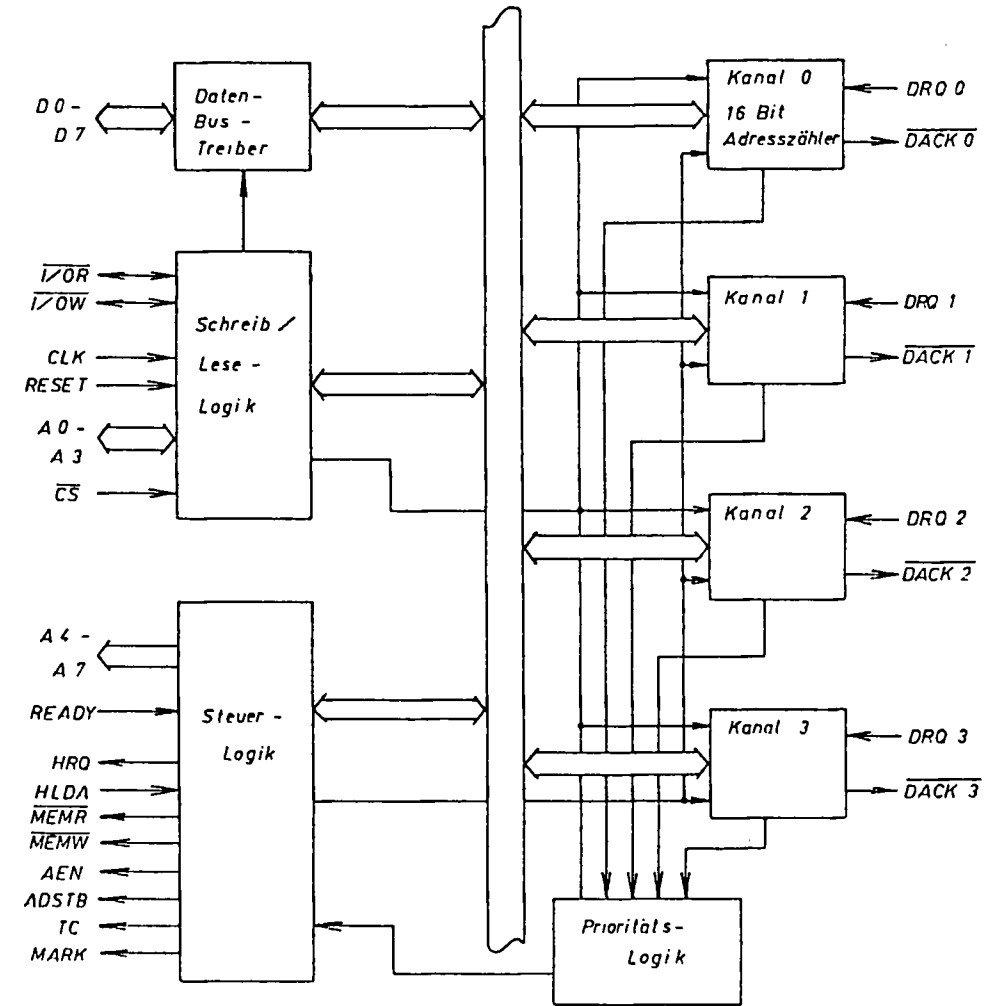
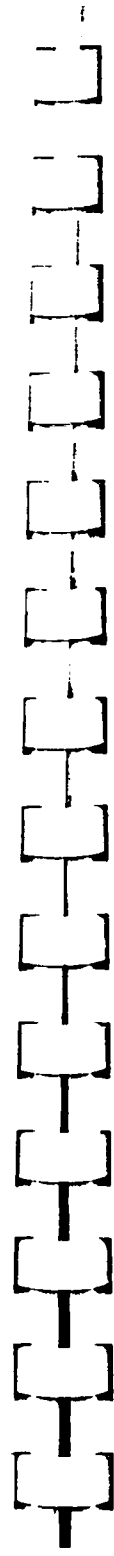
1. Übernahme der Systembussteuerung
2. Ausgabe einer Quittung an das anfordernde Gerät
3. Setzen der niederwertigen 8 Adressleitungen A0 - A7 und - über den Datenbus - Laden des Adresslatch IC 25 (SN 74 LS373) mit den höherwertigen 8 Adressleitungen, sowie Freischalten des Latch-IC's.
4. Erzeugung der Schreib-/Lesesignale für den Speicher und das externe Gerät.

Der DMA Controller Baustein wiederholt die Transfersequenz, solange die Anforderung vom peripheren Gerät aufrecht erhalten wird. Dadurch kann ein Datenblock von bzw. zu einem Gerät in einem Zuge übertragen werden ("Burst").



Der Baustein bietet 3 Betriebsarten:

1. Lesezyklus, Daten werden vom Speicher zum peripheren Gerät übertragen.
2. Schreibzyklus, Daten werden von der Peripherie in den Speicher transferiert.
3. Prüfzyklus, hier verhält sich der Baustein wie vor, erzeugt jedoch keine Speicherschreib-/lesesignale, d. h. eine tatsächliche Datenübertragung findet nicht statt.



Blockschaltbild DMA - Steuerbaustein

Wie im Blockschaltbild dargestellt, enthält der DMA-Controller 8257 vier voneinander unabhängige Kanäle, die Kanäle 0 bis 3. Der Kanal 3 ist im PC nicht vorgesehen und ohne Hardwareänderungen nicht nutzbar. Jeder DMA-Kanal besitzt 2 16-bit Register: ein Adressregister und ein Blocklängenregister. Das Adressregister wird mit der ersten aufzurufenden Adresse geladen. Die Zahl, die in die niederwertigen 14 bit des Blocklängenregisters geschrieben wird, gibt die Anzahl der DMA-Zyklen minus 1 an, nach denen die Blockmeldung auf der Leitung IC zum peripheren Gerät gesendet wird. Die beiden höchstwertigen Bits geben die gewünschte Betriebsart des Kanals an:

Bit 15	Bit 14	Betriebsart
0	0	DMA Prüfzyklus
0	1	" Schreibzyklus
1	0	" Lesezyklus
1	1	nicht zulässig

Beide Register müssen vor der Freigabe des Kanals geladen sein. Jeder Kanal besitzt einen Anforderungseingang DRQ und einen Quittungsausgang DACK. DRQ0 hat die höchste und DRQ3 die niedrigste Priorität (Ausnahme: Betriebsart rotierende Priorität). Eine Anforderung wird durch einen H-Pegel (logisch 1), der bis zum Erscheinen des Quittungssignals angelegt wird, erzeugt. Ein L-Pegel auf der Quittungsleitung DACK zeigt dem externen Gerät, daß es für einen DMA Zyklus ausgewählt ist. Nach jedem übertragenen Byte wird vom Controller ein H-Pegel auf die Leitung gelegt.

Durch Setzen von Bits im Betriebsartenregister können die DMA-Kanäle freigegeben werden, sowie Betriebsvarianten ausgewählt werden:

- Bit 7 6 5 4 3 2 1 0
-
- DMA Kanal 0 freigegeben
- DMA Kanal 1 freigegeben
- DMA Kanal 2 freigegeben
- DMA Kanal 3 freigegeben
- rotierende Priorität freigegeben
- verlängertes Schreiben freigegeben
- TC Stop freigegeben
- Automatisches Laden freigegeben

Nach dem Einschalten oder Rücksetzen des PC sind alle Kanäle und Betriebsvarianten gesperrt. Nach dem Laden der Blocklängenregister mit gültigen Daten können die gewünschten Kanäle freigegeben werden. Die 4 Betriebsvarianten sind anschließend beschrieben:

Rotierende Priorität

In dieser Betriebsart wird die Priorität eines Kanals einer zyklischen Vertauschung unterworfen. Nach jedem DMA-Zyklus ändert sich die Priorität aller 4 Kanäle. Der zuletzt bediente Kanal erhält dabei die niedrigste Priorität, die Prioritäten der anderen Kanäle erhöhen sich. Diese Betriebsart verhindert, daß ein Kanal den DMA-Betrieb für sich monopolisiert, also andere Kanäle nicht zum Zuge kommen können. Ist dieses Bit nicht gesetzt (0 in Bit 4 des Registers geschrieben), gelten folgende feste Prioritäten: Kanal 0 (höchste Priorität), 1, 2, 3 (niedrigste Priorität).

Verlängertes Schreiben

Diese Option kann beim PC ohne Hardwareänderungen nicht genutzt werden.

IC Stop Bit

Ist dieses Bit gesetzt, wird der betreffende Kanal gesperrt nachdem der Blockendeausgang (am Schnittstellenverbinder IC) aktiv wurde. Das Freigabebit dieses Kanals muß neu programmiert werden, bevor ein weiterer DMA über diesen Kanal stattfinden kann. Ist das IC Stop Bit nicht gesetzt, hat das Blockendesignal keinen Einfluß auf das Freigabebit des Kanals.



Automatisches Laden

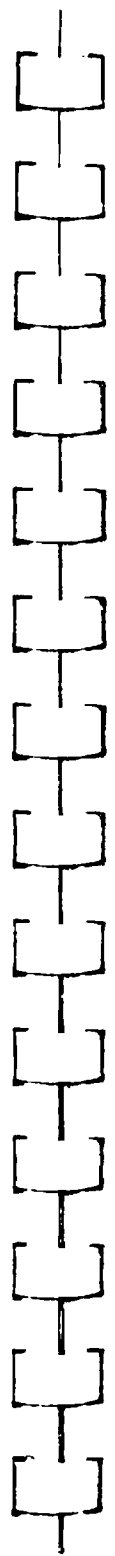
Ist dieses Bit gesetzt, wird der Kanal 2 für Blockwiederholungsoperationen eingesetzt. Die MPU muß zwischen Blöcken nicht unmittelbar eingreifen. Das Adressregister und das Blocklängenregister des Kanals 2 wird wie auch sonst für den ersten Block initialisiert; die Register des Kanals 3 werden zur Speicherung der Parameter für den 2ten Datenblock benutzt. Nach Aussendung des ersten Datenblocks bis zur Übernahme der in den Registern des Kanals 3 abgelegten Parameter in den Kanal 2, nach der nächsten Anforderung ist das "Update"-Bit des Statuswortes gesetzt. Dies ermöglicht der MPU zwischen Datenblocktransferoperationen die gezielte Übergabe von Blockparametern für den 3., 4. usw. Block.

Das Statusregister registriert, welche Kanäle die Blockendebedingung erreicht haben und enthält ebenso den Zustand des oben erläuterten "Update"-Bits. Die Blockende-Bits werden gesetzt, wenn der betreffende Kanal seine Blockendemeldung über die TC-Leitung erhält. Rückgesetzt werden diese Bits von einer Statusregister-Leseoperation oder einem RESET (Rücksetzen) des PC.

7	6	5	4	3	2	1	0	
.	
0	0	0	Blockende Kanal 0
			Blockende Kanal 1
			Blockende Kanal 2
			Blockende Kanal 3
			"Update" Bit

Adressierung der 8257-Register

Da die jedem Kanal zugeordneten Adress- und Blocklängenregister eine Länge von 16 Bit haben, werden zum Laden bzw. Lesen eines ganzen Registers 2 Befehlszyklen benötigt. Der Baustein 8257 enthält ein F/L (first/last = erstes/letztes) Flipflop, das nach einer Schreib- oder Leseoperation seinen Zustand wechselt. Dieses Flipflop wählt das höher- oder niederwertige Byte des adressierten 16 Bit-Registers aus. Dieses Flipflop wird von einem Reset oder dem Beschreiben des Betriebsartenregisters zurückgesetzt. Auf die Kanalregister sollte also grundsätzlich paarweise zugegriffen werden, um eine definierte Ausgangssituation des F/L Flipflop zu schaffen.



sedezimale Adresse	F/L	
60	0	Kanal 0, DMA Adresse (LSB)
60	1	" (MSB)
61	0	Kanal 0, Blocklänge (LSB)
61	1	" (MSB)
62	0	Kanal 1, DMA Adresse (LSB)
62	1	" (MSB)
63	0	Kanal 1, Blocklänge (LSB)
63	1	" (MSB)
64	0	Kanal 2, DMA Adresse (LSB)
64	1	" (MSB)
65	0	Kanal 2, Blocklänge (LSB)
65	1	" (MSB)
66	0	Kanal 3, DMA Adresse (LSB)
66	1	" (MSB)
67	0	Kanal 3, Blocklänge (LSB)
67	1	" (MSB)
68 (nur schreiben)	0	Betriebsartenregister
68 (nur lesen)	0	Statusregister

Anmerkung:

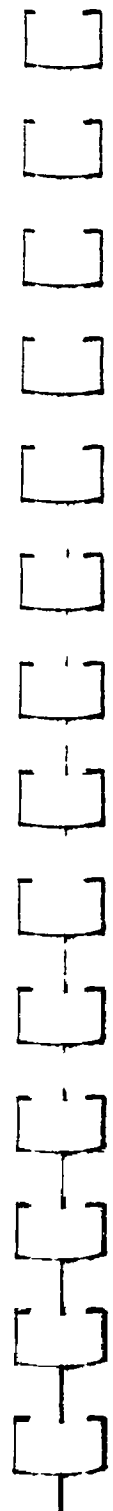
Die Adressen 66 und 67 (sedezimal) sind beim PC nur in Verbindung mit dem Modus "Automatisches Laden" zu programmieren, da die Anforderungs- und Quittungsleitungen des Kanals 3 nicht benutzt werden.

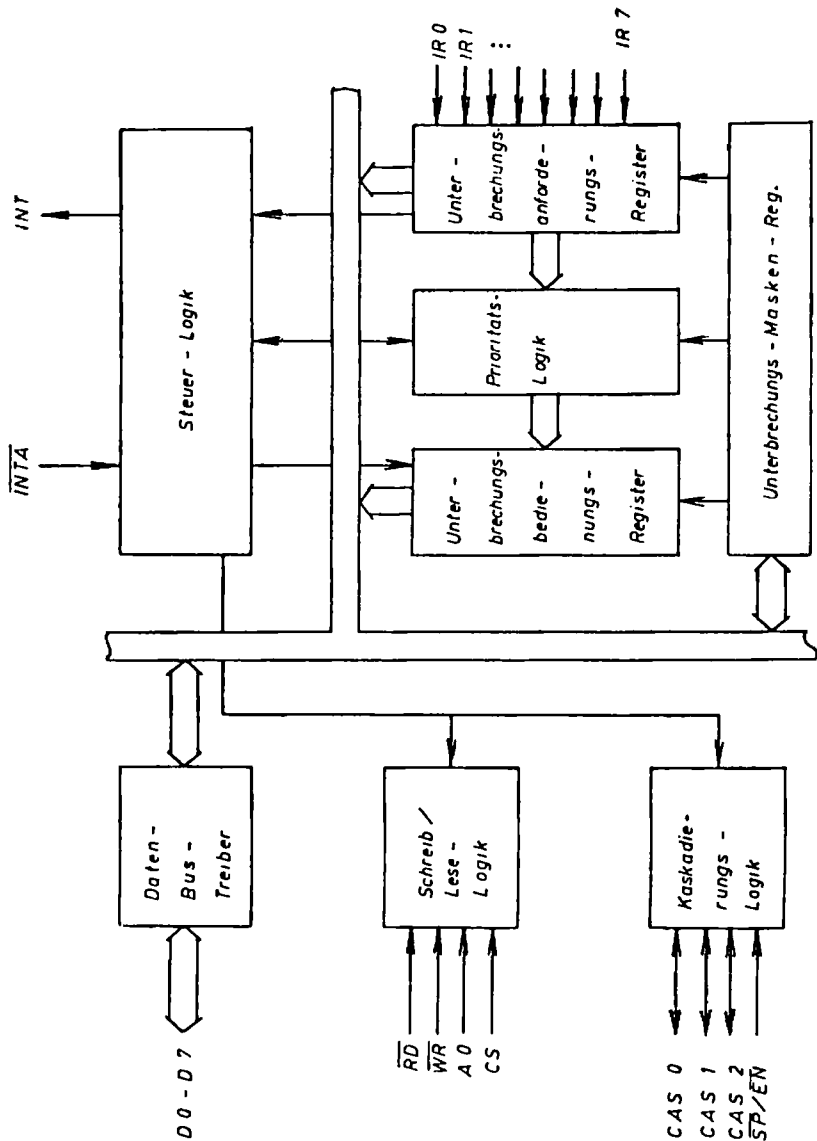
b) Interrupt-Controller, PIC (programmierbarer Unterbrechungs Steuerbaustein), Typ 8259.

Der alphatronic-PC ist mit einem Interruptcontroller des Typs 8259 ausgestattet. Die zu dem PC gehörende Standardsoftware (das eingebaute ROM Basic 5.11, das Disc-Basic 5.26, das CP/M Betriebssystem) nutzt keine Unterbrechungsbearbeitung (von einem Reset-Signal, das eine besondere Form der Unterbrechungsanforderung darstellt, abgesehen).

Unterbrechungsanforderung meint folgendes:

Ein peripheres Gerät meldet mit einem asynchronen (in Bezug auf die Programmbearbeitung des PC) Signal, daß es Service durch die MPU Z80A wünscht. Sind zuvor von dem zur Zeit bearbeiteten Programm Unterbrechungen zugelassen, (Befehl: EI $\hat{=}$ Enable Interrupts, Unterbrechungen freigeben), wird nach Beendigung des momentan ausgeführten Befehls die Programmausführung abgebrochen und eine Serviceroutine abgearbeitet (in Abhängigkeit vom zuvor gewählten Modus). Nach Erledigung des Service (diese Programme enden mit einem der Befehle RETI oder RETN) nimmt die MPU die Bearbeitung des zuvor abgebrochenen Programmes wieder auf.





Blockschaltbild PIC 8259

Abb. 5.19

Der Steuerbaustein 8259 verwaltet acht Unterbrechungsebenen bzw. Anforderungen verschiedener Priorität. Es stehen dem Programmierer verschiedene Prioritätsarten zur Verfügung. Die anfordernden Geräte können an die Leitungen IR0 bis IR7 angeschlossen werden. Im PC ist die Belegung wie folgt:

- IR0 24 msec Timer *1
- IR1 RxRDY des Steuerbausteins der seriellen *2
Schnittstelle
- IR2 TxRDY wie vor *2
- IR3 EXTINT2 von der Systembusschnittstelle *3
- IR4 EXTINT1 " " " *3
- IR5 nicht benutzt
- IR6 nicht benutzt
- IR7 VINT (vom Videointerface)

- *1 ermöglicht z.B. die Programmierung einer Software-Uhr
- *2 " z.B. ein Hintergrundprogramm zur Ausgabe von Daten an einen Drucker
- *3 kann z.B. von einer externen Graphikerweiterung genutzt werden.

Der Baustein 8259 muß, bevor er Unterbrechungsanforderungen bearbeiten kann, initialisiert werden (d.h. sein Betriebsmodus muß vom Anwender definiert worden sein). Dies geschieht beim alphasatronic-PC durch das Laden von 2 Byte; da nur ein Steuerbaustein im PC vorhanden ist.

Format des ersten Steuerwortes, das unter der Ausgabeadresse 70H angesprochen wird:



*
 Bit 7 6 5 4 3 2 1 0
 70 A7 A6 A5 1 0 ADI 1 0
 muß immer 0 sein
 Anzahl der Controller
 (im PC = 1)
 Adressintervall (siehe unten)
 0 → 8 Byte Intervall
 1 → 4 Byte Intervall
 muß immer 0 sein
 muß immer 1 sein
 Bits 5 bis 7 der Speicheradresse, unter der die
 Unterbrechungsroutine beginnt

* bei PC's, die mit dem Baustein 8259 A ausgerüstet
 sind, gilt für Bit 3:

- 0: eine Unterbrechungsanforderung wird bei
 Empfang einer 1 (bzw. H-Pegel) ausgelöst
- 1: eine Unterbrechungsanforderung wird bei
 Empfang einer steigenden Flanke ausgelöst

Das zweite Steuerwort, Adresse 71H, hat folgendes Format:

Bit 7 6 5 4 3 2 1 0
 OUT 71 A15 A14 A13 A12 A11 A10 A 9 A 8

BIT 8 bis 15 der Speicheradresse der Interruptser-
 viceroutine (vectored interrupt)

Nach der Initialisierung mit den oben erläuterten Daten-
 worten kann der Baustein Unterbrechungsanforderungen bear-
 beiten. Werden jedoch zuvor Steuerworte an den Baustein
 gesandt, kann die Betriebsart modifiziert werden.

Der Inhalt des Steuerwortes 1 (OCW 1 ≙ Operational Comand
 Word) läßt Unterbrechungsanforderungen von den 8 mög-
 lichen verschiedenen peripheren Einheiten zu bzw. sperrt
 sie:

OUT 71 M7 M6 M5 M4 M3 M2 M1 M0
 M = 0 gibt die Unterbrechungsanforderung frei
 M = 1 sperrt die Anforderungen (maskiert sie)

Steuerwort 2:

Mit diesen Bits wird die aktuelle Priorität eines jeden
 Anschlusses bestimmt.

	D7	6	5	4	3	2	1	0	
OUT 70	R	SEOI	EOI	0	0	L2	L1	LO	
.	Binäre Darstellung der
.	zurückzusetzenden
.	Ebene bzw. der Ebene
.	die die niedrigste
.	Priorität erhalten
.	soll
.	Kanal 0 1 2 3 4 5 6 7
.0 1 0 1 0 1 0 1
.0 0 1 1 0 0 1 1
.0 0 0 0 1 1 1 1
.	
0	0	1							Nichtspezifisches Unterbrechungsende
0	1	1							Spezifisches Unterbrechungsende, der
.	.	.							L0 + L2 Code bestimmt das Bit,
.	.	.							das im Unterbrechungsbedienungsre-
.	.	.							gister rückgesetzt wird
1	0	1							Automatisches Rotieren bei Unter-
.	.	.							brechungsende (Betriebsart : A)
1	1	1							Rotieren bei Unterbrechungsende,
.	.	.							Ebene L0 + L2 bekommt die neue
.	.	.							niedrigste Priorität
1	0	0							Setze Betriebsart A-Flip Flop
0	0	0							Lösche " "
1	1	0							Rotiere Priorität (Betriebsart B)
0	1	0							keine Operation

Steuerwort 3 (OCW 3):

Steuerwort 3 wird ebenfalls über die Ausgabeadresse 70H angesprochen. Der Baustein erkennt an den Bits D3 und D4 des angegebenen Datums ob es sich um OCW 2 oder OCW 3 handelt:

D7	6	5	4	3	2	1	0	
OUT 70	X	ESMM	SMM	O	1	P	ERIS	RIS
.	bei nachfolgendem
.	IN 70 Befehl:
.	.	.	.	0	0	.	.	keine Aktion
.	.	.	.	0	1	.	.	" "
.	1	0	.	Lesen des Unter-
.	brechungsanforde-
.	rungsregister *
.	1	1	.	Lesen des Unter-
.	brechungsbedienungs-
.	register *
.	Abfragebetrieb (Polling), eine
.	1 gibt das Lesen des Binärcodes
.	der höchsten unterbrechungsan-
.	fordernden Ebene bei dem nächs-
.	ten IN 70 Befehl frei

Maskenbetriebsart, hierauf wird nicht näher eingegangen

* Unterbrechungsanforderungen (Interrupts) von den IR-Leitungen werden von 2 hintereinander geschalteten Registern aufgenommen.

1) Unterbrechungsanforderungsregister (IRR, Interrupt Request Register): Hier wird die eine Bedienung anfordernde Unterbrechungsebene gespeichert.

Unterbrechungsbedienungsregister (ISR, Interrupt Service Register): Hier wird die gerade bediente Ebene gespeichert.

Für jede Unterbrechungsanforderung ist ein "CALL-Address-Intervall" von 4 bestimmt, das bedeutet, für jeden Vektor (Zeiger) stehen 4 Bytes zur Verfügung. Der Vektor-Adressbereich beginnt bei EFOOH; es werden 8 x 4 = 32 Bytes benötigt.

Im alphas-PC wird kein Unterbrechungsvektor verwendet. Falls der Steuerbaustein 8259 verwendet werden soll, muß der Inhalt im Vektoradressbereich den entsprechenden Aufgaben angepaßt werden. Um die Funktion des Bausteins zu überprüfen, kann folgendes Programm benutzt werden (Die Eingabe geschieht hier mit der Monitorroutine "C"):

```
* C EFOO
   3E 20 DB 70 C9
```

```
* C 8000
   3E FE D3 71 FB 76
```

Die Mnemonik hierzu lautet:

```
ab Adresse EFOO:
LD A, 20
IN A, (70)
RET
```

```
ab Adresse 8000:

LD A, FE      ; Unterbrechungsanforderung 0 im
OUT 71        ; Steuerbaustein freigeben
EI            ; Unterbrechungsanforderung an Z80
              freigeben
HALT          ; Stoppt die Z80A MPU
```



5.7 Videoschnittstelle

5.7.1 Allgemeines

Als Anzeigeeinheit für ein- oder ausgegebene Informationen vom oder zum Rechner können beim alphantronic-PC folgende Geräte angeschlossen werden:

1. über den HF-Modulator: Schwarz-Weiß oder Farbfernsehgerät (der Anschluß erfolgt an der Buchse "RGB")
2. über die Buchse "RGB" ein Farbmonitor oder ein Farbfernsehgerät, das über eine SCART-Buchse verfügt (Spezialkabel erforderlich)
3. über die Buchse "BAS" ein Monitor mit einfarbiger Darstellung

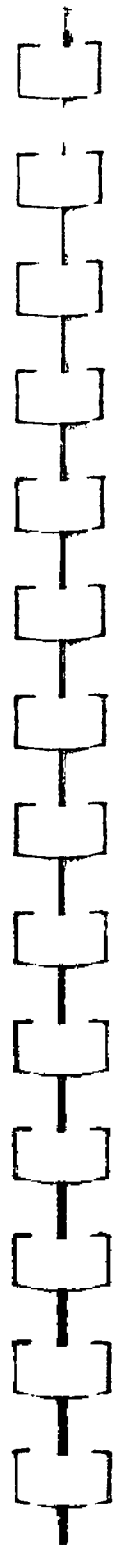
Die Buchsen befinden sich an der linken Seite des PC (siehe Abb. 2.2, Seite 13).

5.7.2 Funktion

(vergleiche Blockschaltbild Abb. 2.1, Seite 11).

Ein darzustellendes Zeichen wird im ASCII-Format von der MPU in das Video RAM geschrieben. Die zu jedem Zeichen gehörenden Attribute wie Hintergrundfarbe, Zeichenfarbe, blinkend oder invers werden im Attribut RAM abgespeichert (siehe Tabelle Kap. 5.7.3, Adressen des Video- und Attribut RAM, Seite 102).

Die Weitergabe der Zeichen an den Monitor, sowie die Umwandlung in ein von einem Monitor verarbeitbares Signal und die Erzeugung der für ein stillstehendes Bild erforderlichen Synchronisationssignale übernimmt im alphantronic-PC ein CRT-Controller (CRT ≙ Cathode Ray Tube = Kathodenstrahlröhre). Dieser generiert, von einem Quarzoszillator mit einer Arbeitsfrequenz versorgt, laufend die Adressen des Video RAM und des Attribut RAM. Jeder Inhalt einer Speicheradresse des Video RAM wird einem Zeichengenerator zugeführt. Dieses ist



üblicherweise ein Nur-Lese-Speicher (ROM oder EPROM) in dem für jedes Zeichen eine Darstellung als Punktmatrix abgespeichert ist. Beim PC ist es eine Matrix von 8 Punkten in 10 Zeilen.

Beispiel einer Zeichenmatrix im Zeichengenerator:

Inhalt des Video RAM: 41 Hexadezimal; 65 Dezimal; ASCII A
Inhalt des Zeichengenerators:

Adresse	dezimaler Wert	D76543210
16 x 41H	18	...00...
41H + 1	24	..0..0..
41H + 2	42	.0....0.
41H + 3	7E	.000000.
41H + 4	42	.0....0.
41H + 5	42	.0....0.
41H + 6	42	.0....0.
41H + 7	00
41H + 8	00
41H + 9	00

Es bedeutet: . = Punkt leuchtet nicht
o = Punkt leuchtet

Die 8 höherwertigen Leitungen beinhalten das ASCII-Zeichen, die vier niederwertigeren werden vom Controller erzeugt.

Mit Unterstützung einiger weiterer im Video Interface erzeugter Signale wird nun diese Punktmatrix in eine serielle Punktfolge aller einzelnen Punktzeilen gewandelt (Vorstellbar als Einschaltbefehl für den Kathodenstrahl wenn ein "o" eintrifft, damit also Sichtbarmachen der einzelnen Punkte der Zeichenmatrix).

Die ebenfalls ausgegebenen Attribute Blinken und Invers werden nun in den "Punktstrom" für jedes Zeichen synchron eingemischt.

Mit den Signalen für horizontale und vertikale Synchronisation versehen und in einer nachfolgenden Transistorstufe auf eine Impedanz von 75 Ohm gewandelt ergibt sich so das Video-Signal "BAS" (Bild-Austast-Synchronsignal) für die Zeichendarstellung auf einem Monitor mit einfarbiger Darstellung (Amplitude und Zusammensetzung siehe Abb. 5.14).

Der Schaltungsauszug für die BAS-Schnittstelle ist in Abbildung 5.20 dargestellt.



BAS- und RGB-Schnittstelle

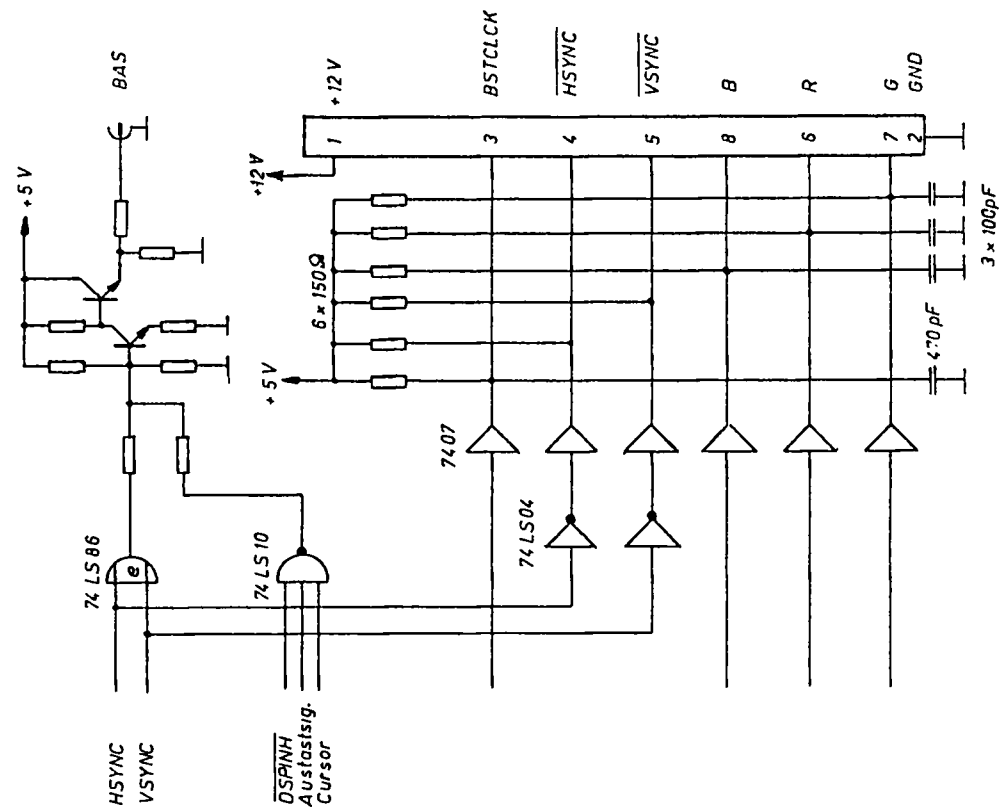


Abb. 5.20

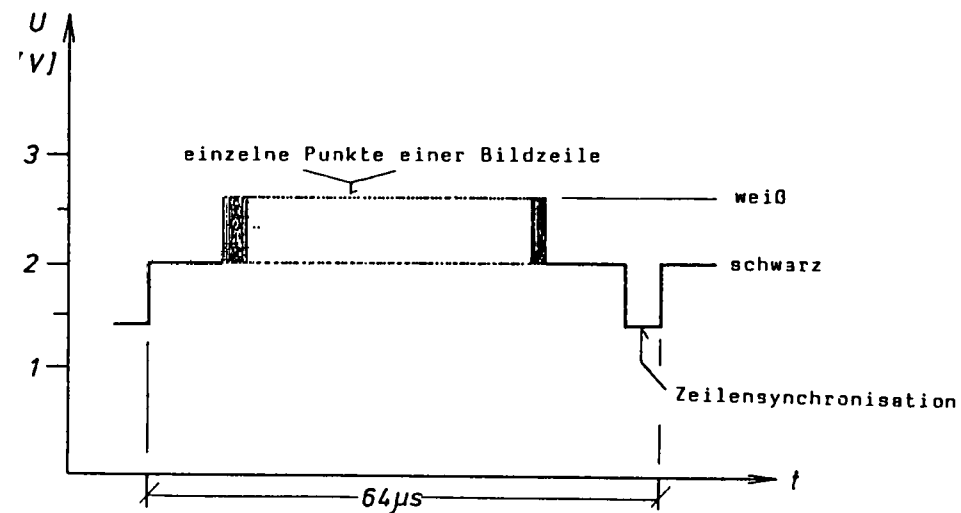
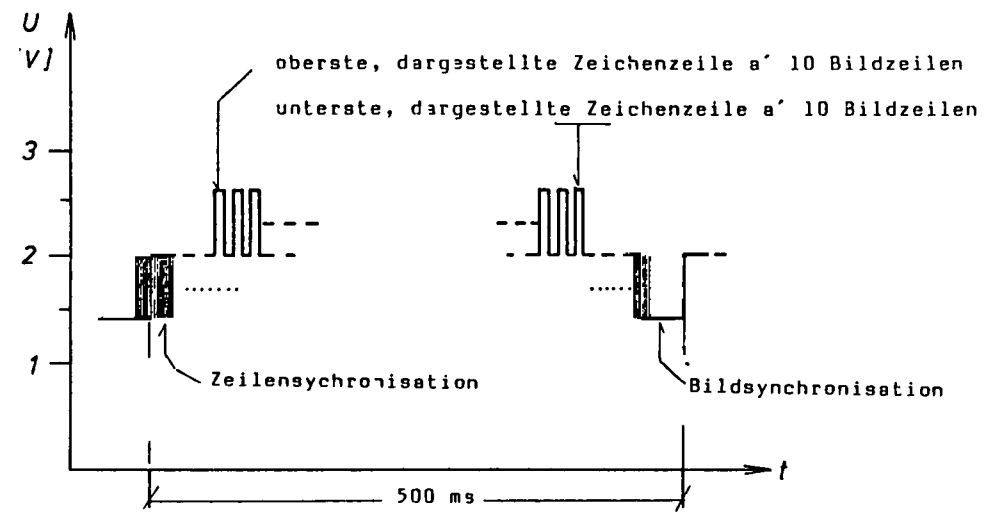


Abb. 5.21

Für die Erzeugung der Signale zur farbigen Darstellung eines Bildes ist etwas mehr Aufwand erforderlich.

Das seriell gewandelte Zeichensignal wird auf einen Umschalter (Multiplexer) geleitet. Dort schaltet dieses Signal entsprechend der Punktfolge des im Video RAM abgespeicherten ASCII-Zeichens zwischen der im Attribut RAM abgespeicherten Information für Hintergrund- und Vordergrundfarbe um. So entsteht nun eine Information, jeweils für Rot, Grün und Blau, die in einem Farbmonitor die einzelnen Kanäle für RGB ein- oder ausschalten kann. Die noch fehlenden Attribute für blinkende oder inverse Darstellung werden nun noch, wie beim BAS-Signal, hinzugemischt. Damit alle entstandenen Farbinformationen im zeitlich richtigen Rahmen ausgegeben werden können, ist eine Synchronisationsstufe vor der Ausgabe eingefügt.

Abweichend vom BAS-Signal werden bei der Übergabe der Farbsignale die Synchronsignale separat übergeben. Die Burstfrequenz (BSTCLK), die vom HF-Modulator benötigt wird, liegt ebenfalls auf einem separaten Steckerstift.

Alle Ausgangssignale werden mit TTL-Pegeln ausgegeben (Steckerbelegung und Schaltungsauszug siehe Abb. 5.21).

5.7.3 CRT Controller

Beim PC wird der CRT Controller HD 4650 S (Hersteller Hitachi) eingesetzt. Er leitet aus einer Quarzfrequenz von 17,73447 MHz (bei Einstellung als Gerät für PAL-Betrieb) folgende Signale ab:

- HSYNC : Signal zur Synchronisation der Zeilenfrequenz des angeschlossenen Monitors.
- VSYNC : Signal zur Synchronisation der Bildfrequenz.
- DISPTIM : Ein Signal welches den Controllerzugriff auf das Video RAM mitteilt.



CUDISP : Dieses Signal steuert die Darstellung des Cursor.

MA0 + MA13 : Adressen für das Video RAM. Beim PC werden nur die Leitungen MA0 + MA10 (≅ 2048 Adressen) ausgenutzt. Unter diesen Adressen ist das darzustellende Zeichen als 8 bit Information abgelegt.

RA0 + RA4 : Rasterzeilenadresse, (= ROW-Address) mit Hilfe dieser Adressen wird die Zerlegung der unter der Adresse MA0 + MA13 vorgefundenen Zeichen in eine beim PC 10-zeilige Darstellung vorgenommen (siehe Darstellung des Zeichens "A" oben).

Die Adressen MA0 + MA13 und RA0 + RA4 werden vom CRT- Controller linear erzeugt und ausgegeben. Damit wird über die immer wieder ausgegebenen Zeichen das Bild auf dem Bildschirm ständig aufgefrischt.

LPSTB : Lightpen Strobe (beim PC nicht benutzt) Mit Hilfe dieses Signals kann über einen "Lightpen" (Lichtgriffel) eine auf dem Bildschirm ausgewählte Stelle vom CRT-Controller lokalisiert und angegeben werden.

Zur Eingabe der Arbeitsweise hat der CRT-Controller HD 4650S die Steuerregister RO + R17, sowie das Adressregister AR. Eine Veränderung der vom Monitor des PC vorgenommene Programmierung ist über diese Register möglich.



Dazu ist als erstes in das Adressregister AR (50H) die Adresse des zu verändernden Registers einzutragen. Dann kann entsprechend I/O Adresstabelle eine Veränderung des Inhaltes über die Adresse 51H erfolgen. Zu beachten ist dabei, daß zum einwandfreien Arbeiten einiger Sequenzen die Änderung mehrerer Register erforderlich sein kann. Näheres bitte dem Datenbuch entnehmen.

In die Register RO + R11 kann nur geschrieben werden, die Register R12 + R15 sind zusätzlich lesbar, die Register R16 und R17 können nur gelesen werden.

Eintragungen in das über AR (50H) ausgewählte Register können z.B. mit der nachstehenden Sequenz erfolgen:

```
LD A,Adresse ; Adresse des zu beeinflussen-
OUT A,50H ; den Registers ausgeben
LD A,Wort ; Steuerwort über den AKKU
OUT A,51H ; ausgeben
```

Funktion der einzelnen Register (die Ziffer entspricht der dezimalen Adresse im AR):

- AR Adress Register;
im AR wird das zu beeinflussende Register festgelegt

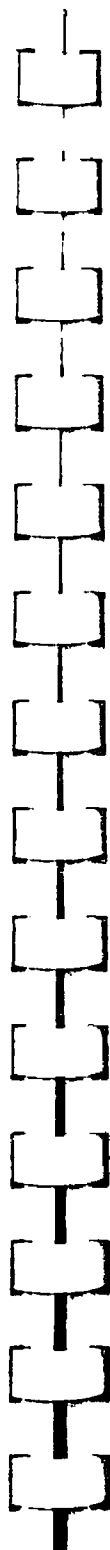
- R0 enthält die Anzahl der möglichen Zeichen pro Textzeile minus 1 einschließlich der Zeilensynchronisationsdauer. Im 40 x 24 Zeichen Modus des PC wird R0 mit 46H geladen, im 80 x 24 Modus mit 7EH.

- R1 enthält die Anzahl der maximal dargestellten Zeichen pro Textzeile, also entweder 28H (= 40 dez.) oder 50H (= 80 dez.). Der Inhalt von R1 muß immer kleiner als der von R0 sein.

- R2 enthält die Position des Zeilensynchronisationspulses. Mit diesem Byte kann das Bild nach rechts oder links verschoben werden. Im 40 Zeichenmodus befindet sich die Ziffer 34H in R2 (80 x 24 : 5FH). Schreibt man eine kleinere Zahl in dieses Register, verschiebt sich das Bild nach rechts, eine größere Zahl verschiebt das Bild nach links.

- R3 Der Inhalt dieses Registers legt die Länge des Bildsynchronisationspulses fest. Die höherwertigen 4 Bit legen die Pulsbreite des vertikalen (= Bild-) -Synchronisationssignals als vielfaches einer Rasterperiode fest. Die Bitkombination 0000 wird als Faktor 16 interpretiert. Die niederwertigen 4 Bit bestimmen die Länge des Horizontalpulses (≙ Zeilensynchronisation) als Vielfache von Zeichentaktperioden. Die Bitkombination 0000 ist hier nicht zulässig. Im PC finden die Konstanten 56H (40x24) bzw. 5C (80 x 24) Verwendung.

- R4 Enthält die Anzahl der möglichen Textzeilen minus 1 pro Bild, einschließlich der Zeilen während des Bildsynchronisationspulses. Der PC lädt nach dem Einschalten 1EH in R4.



- R5 enthält die Anzahl von leeren Bildschirmzeilen, die dem gewählten Bildschirmformat hinzugefügt werden müssen, um eine optimale Anpassung an die vom Monitor bzw. Fernseher vorgegebene Bildwechselfrequenz zu erreichen. Im 40 x 24 Modus wird hier eine 2, im 80 x 24 Modus eine 4 gespeichert.

- R6 Hier wird die Anzahl der darzustellenden Textzeilen festgelegt. Sie muß kleiner als die in R4 abgelegte Gesamtzeilenzahl sein. Der PC setzt dieses Register auf 18H für 24 Textzeilen.

- R7 enthält die Position des Bildsynchronisationspulses. Durch Veränderung dieses Bytes kann das Bild nach oben (Vergrößern des Inhaltes) bzw. nach unten (Verkleinern des Inhaltes) verschoben werden. Nach dem Einschalten wird vom PC 1BH in R7 geschrieben.

- R8 In diese Register wird eine 0 geschrieben. Auf die Bedeutung der einzelnen Bits soll hier nicht eingegangen werden, da die Programmierung von der Schaltung des gesamten Videoteils abhängig ist.

- R9 Hier wird die Anzahl der Rasterzeilen für die Zeichen minus 1 gespeichert. Wie oben erwähnt, ist der Zeichengenerator für 10 Rasterzeilen ausgelegt, es muß also eine 9 in R9 abgespeichert werden.

- R10: Cursor Startzeile

- R11: Cursor Endzeile

In diesen beiden Registern wird das Format sowie die Darstellung des Cursor festgelegt.

Beispiel 1: (R10) = 9 ; (R11) = 9

```

Zeile 1 .....
      . .....
      . .....
      . .....
Zeile 9 ooooooo      Cursor nicht blinkend
" 10 .....

```


Beispiel 2: (R10) = 1 ; (R11) = 4

```

Zeile 1 0000000
" 2 0000000
" 3 0000000      Cursor nicht blinkend
" 4 0000000
" 5 .....
" . .....
" 10 .....

```

Aufbau des Bytes für R10 und R11:

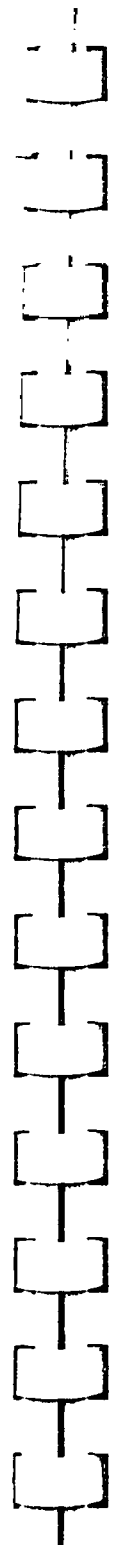
D7	6	5	4	3	2	1	0	Cursor:
x	0	0	I.....I					nicht blinkend
x	0	1	I.....I					nicht dargestellt
x	1	0	I.....I					blinkend 16
x	1	1	I.....I					blinkend 32

x immer 0
16 ≙ schnelles Blinken
32 ≙ langsames Blinken
I.....I ≙ Zeilennummer Sedezimal innerhalb
eines Feldes von 10 Zeilen

R12 +
R13 Startadressregister, in diesem Registerpaar steht die Video-RAM-Adresse, aus der das erste darzustellende Zeichen eines Bildes zu holen ist. Im PC ist die Startadresse immer 0. Register 12 enthält den höherwertigen Adressteil.

R14 Cursoradresse H

R15 Cursoradresse L,
In diesen Registern ist die aktuelle Cursoradresse angegeben.



R16 Light Pen H
R17 Light Pen L,
Diese Register beinhalten die Adresse des Lichtpunktes, der mit dem "Lightpen" erfaßt wurde. Beim PC ist der Lightpen Anschluß des CRT Controllers jedoch nicht beschaltet.

Beispiel für die Cursorbeeinflussung im Basic:

```

10 OUT &H50,10      ^REGISTER 10 AUSWÄHLEN
20 OUT &H51,64      ^STARTZEILE 0, BLINKEN
30 OUT &H50,11      ^REGISTER 11 AUSWÄHLEN
40 OUT &H51,73      ^ENDZEILE 10, BLINKEN
50 END

```

Mit dieser Sequenz wird der Cursor als blinkendes Vollfeld dargestellt.

Adressen des Video- und Attribut RAM in Bezug zur Position auf dem Bildschirm:

1. Format des Bildschirms: 40 Zeichen/Zeile

```

Attr. F800          F8BF
Video F000          F027
Zeile 0 X.....X
      1 .....
      2 .....
      .

```

```

Zeile 23 X.....X
Video F398          F3BF
Attr. FB98          FBBF

```

2. Format des Bildschirms: 80 Zeichen/Zeile

```

Attr. F800          F84F
Video F000          F04F
Zeile 0 X.....X
      1 .....
      2 .....
      .

```

```

Zeile 23 X.....X
Video F730          F77F
Attr. FF30          FF7F

```

Aufbau des Attribut-Byte:

- D0 (LSB) : Vordergrundfarbe Blau
- D1 : Vordergrundfarbe Rot
- D2 : Vordergrundfarbe Grün
- D3 : Hintergrundfarbe Blau
- D4 : Hintergrundfarbe Rot
- D5 : Hintergrundfarbe Grün
- D6 : blinkendes Zeichen
- D7 (MSB) : inverses Zeichen (dunkle Schrift auf hellem Hintergrund)

07 V. Weiß
h. Schw.



Eine logische "1" an der jeweiligen Bitposition setzt das zugehörige Attribut. Aus den Farben Rot, Grün und Blau entsteht eine der nachfolgenden Farben. Sie sind vom Basic über den Befehl COLOR a,b,c oder CLS a,b,c (a= Zeichenfarbe; b= Hintergrundfarbe, c= Attribut) setzbar. Ab dem Befehl CLS oder COLOR werden jedoch alle nachfolgenden Zeichen bis zur nächsten Änderung des Befehls gleich dargestellt.

zusammengesetzt aus :

0 = schwarz	
1 = dunkelblau	blau
2 = rot	rot
3 = purpur	blau und rot
4 = grün	grün
5 = hellblau	grün und blau
6 = gelb	grün und rot
7 = weiß	rot und grün und blau

Die Attribute für diese Befehle sind:

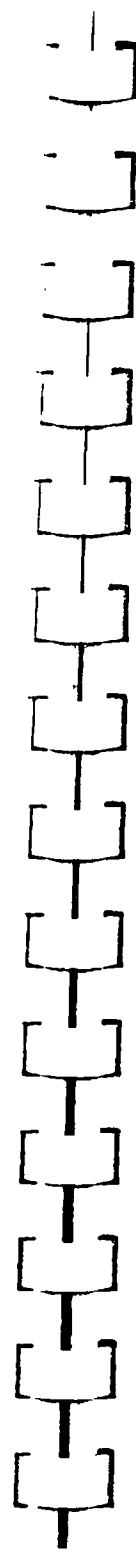
	blinken	invers
0 =	nein	nein
1 =	ja	nein
2 =	nein	ja
3 =	ja	ja

5.8 ROM PACK

Der alphasonic-PC verfügt über eine "ROM PACK" Schnittstelle, um die mit entsprechenden Anwenderprogrammen angebotenen Steckmodule (PACK's) betreiben zu können. Der zum Anschluß erforderliche 30-polige Stecksockel befindet sich links oberhalb der Tastatur unter einer ohne Werkzeug abnehmbaren Abdeckung (Abb. 5.3). Das Modul enthält maximal 2 EPROMs des Typs 2764. (Unter EPROM versteht man einen Nur-Lese-Speicher (ROM), der elektrisch programmierbar (- P = programmable) und durch UV Licht löscher (- E = erasable) ist). Die typische Beschaltung eines Moduls geht aus Abb. 5.10 hervor. Die EPROMs werden vom PC unter folgenden Adressen angesprochen (wenn im SPORT, siehe Kap. 5.1, das Freigabebit (6) gesetzt und das Rom-Sperrbit (7) gelöscht ist):

EPROM 1	Adresse A000H + BFFFH
EPROM 2	Adresse C000H + DFFFH

Aus der PC-internen Schnittstellenschaltung (Abb. 5.11) ist ersichtlich, daß der Datenbustreiber (74LS245) durch die gemeinsame Beschaltung der PIN's 1 und 19 entweder inaktiv geschaltet ist oder Daten in den PC gibt, Datenausgabe ist hier also nicht möglich.



Schacht zur Aufnahme des ROM - PACK

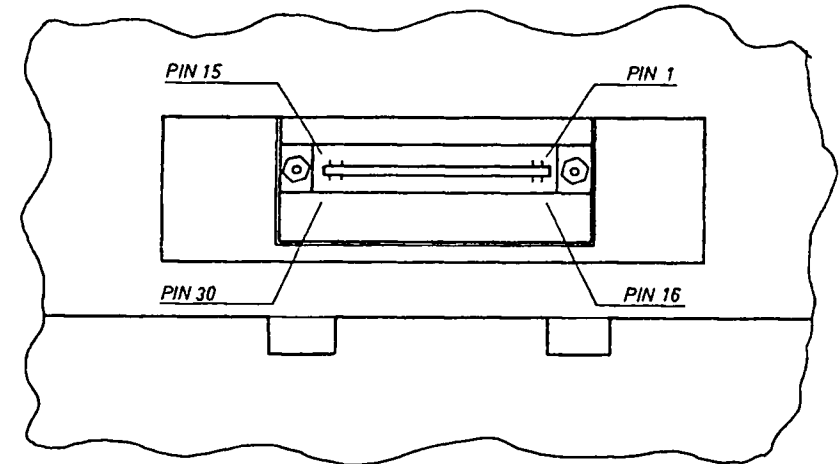
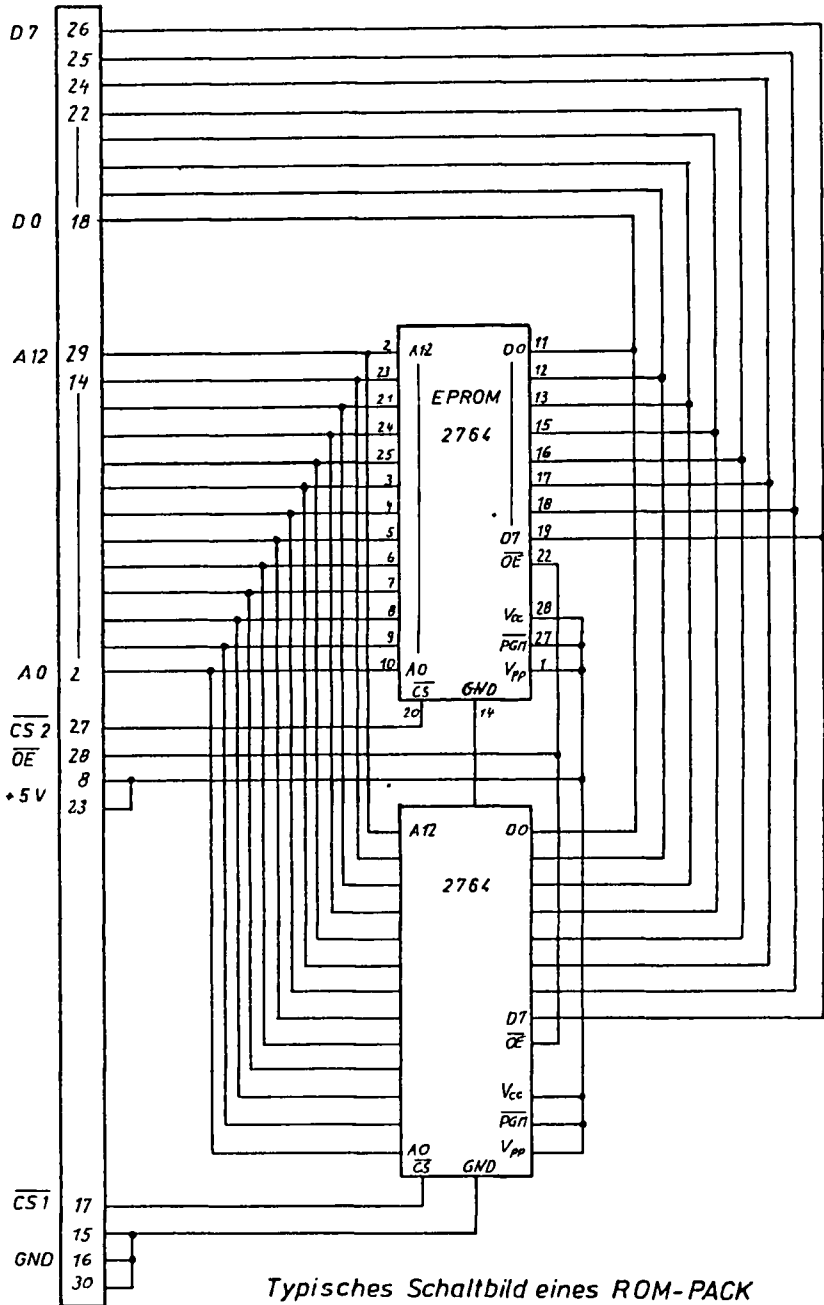


Abb. 5.24



Typisches Schaltbild eines ROM-PACK

Abb. 5.25

ROM-PACK Schnittstelle

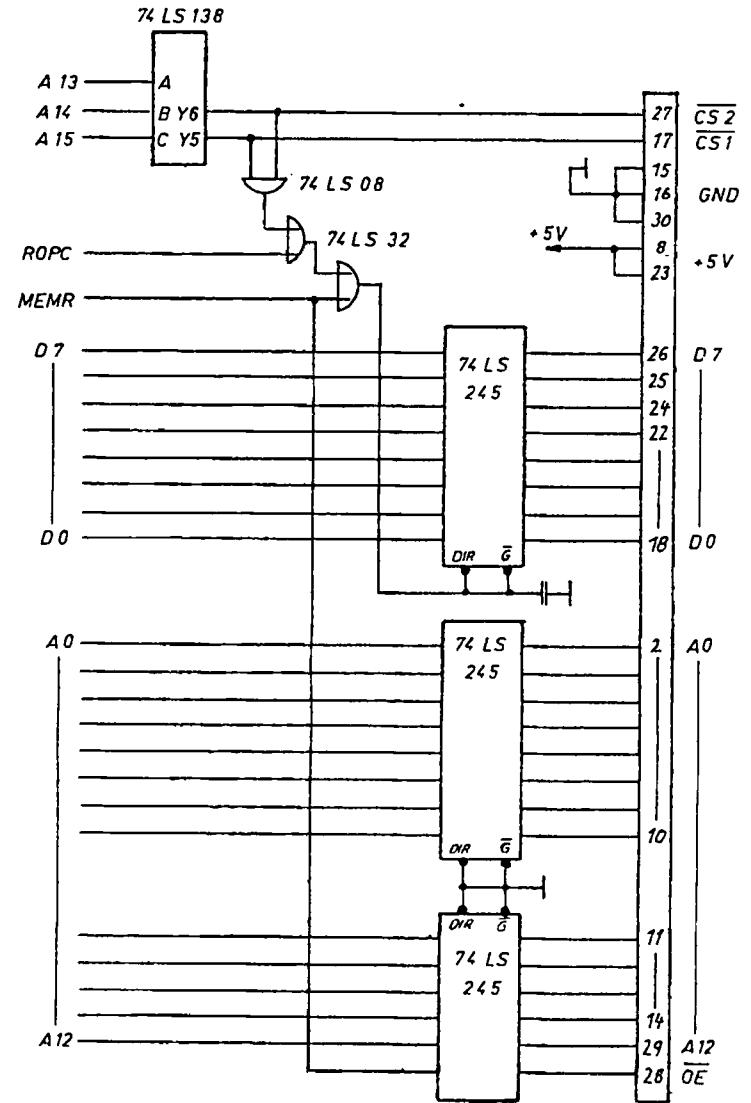


Abb. 5.26

Für den Anwender mit der Möglichkeit, eigene EPROMs zu programmieren, ein Hinweis:

Bei einer 16 k-Version der EPROMs muß unter der Adresse A000H ein direkter Sprungbefehl folgen, beginnend mit dem Befehlsbyte C3H. Bei einer 8 k-Version muß dieser Befehl unter C000H beginnen. Wird nach dem Einschalten der EPROM-Inhalt in das RAM des PC kopiert und anschließend die ROM PACK's gesperrt, kann sich das Programm aus dem ROM PACK selbst modifizieren und 64 k RAM minus Programmlänge stehen zur Verfügung.



6. Software

6.1 Das Monitorprogramm des alphasonic-PC

Das Monitorprogramm ist das Grundprogramm des alphasonic-PC. Es ermöglicht eine effiziente Nutzung der durch die Hardware (≙ elektronische Schaltung) des PC vorgegebenen Möglichkeiten. Bei einem Betrieb ohne Floppydisc wird es als Betriebssystem genutzt. Das Monitorprogramm ist in 1 EPROM zu 8 kByte untergebracht und belegt den Adressbereich E000H bis etwa F800H (versionsabhängig).

Anmerkung: Die angeführten Adressangaben beziehen sich auf die Version des Monitors vom 25. Juli 1983.

Das Monitorprogramm besteht aus folgenden Komponenten :

a) Adressbereich E000 bis E400

a1) Systemcheck

Dieser Programmteil wird nach dem Einschalten und nach einem Betätigen des Reset-Tasters durchlaufen. Hier wird der Video- baustein mit den Betriebsparametern versorgt, der Bildschirm gelöscht, der Piezo-Summer kurz eingeschaltet und alle Systemregister auf ihren Anfangszustand gesetzt. Danach wird abgefragt, ob ein ROM-Pack eingesteckt ist. Erkennt wird dieses an dem Byte C3H auf den Adressen A000 oder C000. Wenn dies der Fall ist, wird in das Programm des Moduls gesprungen. Ist kein Pack vorhanden, wird ermittelt, ob ein Floppy- disklaufwerk angeschlossen ist und gegebenenfalls zum Lade- programm (IPLDSC ≙ Initial Program Loader) gesprungen. Ist das Bit 0 des SPORT gesetzt, wird dieses als eingeschaltete Floppydisc interpretiert. Als drittes wird gefragt, ob die Basic-ROM's vorhanden sind und gegebenenfalls die Initiali- sierung des Basic vorgenommen.

M, Speicherinhalte verschieben

* M ssss,eeee,nnnn (Return)

sss = Anfangsadresse des zu verschiebenden Bereiches
eee = Endadresse des zu verschiebenden Bereiches
nnn = Anfangsadresse des Zielbereiches

R, Registerinhalte ausgeben

* R

Es erfolgt der Ausdruck:

```
PC  B  C  D  E  H  L  A  F  I  IX  IY
xxxx xx xx xx xx xx xx xx xx xx  xxxx  xxxx
```

Die hier angegebenen Register sind die zur Zeit aktiven Register, die Hintergrundregister werden nicht angezeigt.

E, Rücksprung ins Basic

* E

Nach Eingabe dieses Kommandos wird das Monitorprogramm verlassen und zurück zum Basic-Interpreter gesprungen.

P, Zuschalten des Druckers

* P PRINT ON / PRINT OFF

Durch dieses Kommando wird ein angeschlossener Drucker (betriebsbereit!) zum Protokolldruck zugeschaltet. Es werden alle Zeichen am Bildschirm auch auf dem Drucker ausgegeben, solange, bis ein weiteres P eingegeben wird.

b) Adressbereich E400 bis etwa E59D

In diesem Adressbereich befindet sich zunächst die "BIOS-Entry-Table". BIOS ist die Abkürzung für "Basic-Input-Output-System" und bedeutet "grundlegendes Ein-/Ausgabe System". Diese "Entry-Jump-Table" (Einsprungtabelle) ermöglicht anderen Betriebssystemen (z.B. CP/M) und/oder Anwenderprogrammen die Nutzung von grundlegenden Ein-/Ausgaberroutinen, ohne deren tatsächliche physikalische Adresse zu kennen, da diese Adressen sich von Version zu Version ändern können. Die Position eines Sprunges innerhalb der Tabelle sowie die Adresse der Tabelle bleibt jedoch immer gleich. Auf die über diese Tabelle angesprungenen Unterprogramme soll hier nicht näher eingegangen werden, sie sind aus dem ebenfalls bei TRIUMPH-ADLER erhältlichen Monitorlisting ersichtlich.

Dieser Tabelle folgen zwei weitere: die nächste enthält für die Initialisierung des Systems erforderliche Konstanten und die Reservierung von Arbeitsspeicherzellen als Arbeitsregisterbereich. In diesem Bereich werden für die Markierung des Systemzustandes bzw. Arbeitsmodus erforderliche Masken und Adressen abgespeichert. Die dritte Tabelle enthält den internationalen ASCII (American Standard Code for Information Interchange) -Kode. Diese Tabelle ermöglicht die Zuordnung von Tasten zum darzustellenden Zeichen.

Beispiel für die Verwendung der Einsprungtabelle:

Bei der Initialisierung wird die Stellung der DIP-Schalter abgefragt und abhängig vom Ergebnis die Sprungadresse für den Druckerausgang im Monitor verändert. Standardmäßig ist Druckeroutine (LPTOUT, E439H) mit dem Sprung zur Centronics-Routine (LPRTOT) vorbesetzt. Softwaremäßig kann durch Poken der neuen Sprungadresse auch während des Programmlaufes auf die V24-Schnittstelle (RSCOUT) umgeschaltet werden. Die einzugebenden Adressen sind monitorabhängig, siehe Monitor-Listing.

z.B. POKE &H E43A,&HC2 schaltet auf Centronics,
POKE &H E43A,&HEC schaltet auf V24 um.



c) Adressbereich E59D bis EF47

In diesem Bereich befinden sich Unterprogramme und Tabellen, die über die BIOS-Sprungtabelle angesprungen werden. Es handelt sich hierbei um Routinen zur Tastatur- (Keyboard) Abfrage, zur Darstellung von Zeichen auf dem Bildschirm, zur Cursorsteuerung auf dem Bildschirm, zur Zeichenein-/ausgabe über die serielle Schnittstelle (incl. Cassettenrecorder) und zur Ausgabe über die Centronics-Schnittstelle. Im Bereich von EF00 - EF20 befinden sich die Interruptvektoren. Da der alphasonic-PC keinen Interrupt nutzt, ist für jeden der Interrupts lediglich ein RET-Befehl (C9H) und drei freie Bytes vorgesehen. Soll ein Interrupt genutzt werden, muß hier ein entsprechender Sprungbefehl eingesetzt werden (siehe auch Kap. 5.6, Beschreibung des Interrupt-Controllers).

d) Adressbereich etwa EF47 bis F200

In diesem Adressbereich liegen die Unterprogramme des Monitors (E000 - E400). Besonders hervorzuheben sind Laderoutinen für die erste Floppydisc. Diese Routinen nutzen den DMA-Steuerbaustein (siehe auch Kap. 5.6). Der Floppydisc-Steuerbaustein wird über Tabellen mit den jeweiligen Parametern versorgt, die Datenübernahme wird mit Hilfe des DMA bewerkstelligt. Nach Übernahme der ersten 256 Byte von der Floppydisc wird von dem System zur Adresse C200 gesprungen; die weitere Steuerung erfolgt von dem Programm, das dort beginnt.

Ferner befindet sich in dem Bereich der oben angegebenen Adressen eine Routine, die in Abhängigkeit von den im PC eingebauten Kodierschaltern den jeweiligen nationalen Zeichensatz dem internationalen ASCII-Rumpf hinzufügt. Die zugehörigen Tabellen sind ab Adresse F800 zu finden und zwar:

- ab F800: deutscher Zeichensatz
- ab F840: U.S. Zeichensatz
- ab F880: französischer Zeichensatz



6.2 Das CP/M-Betriebssystem

Für den alphasonic-PC ist auch das weitverbreitete Betriebssystem CP/M (CP/M ist das eingetragene Warenzeichen der Firma Digital Research, es bedeutet: Control Program for Microcomputer) erhältlich.

Dieses Betriebssystem ermöglicht den Einsatz von vielen Softwareprodukten unterschiedlichster Hersteller, da dieses Softwareprodukt eine definierte, hardware-unabhängige Software-schnittstelle bietet. Auf den Befehlssatz des CP/M wird hier nicht eingegangen; wir möchten auf das bei TA erhältliche CP/M-Handbuch verweisen.

Das CP/M besteht aus einigen Programmteilen, die voneinander logisch trennbare Aufgaben zu bewältigen haben.

a) Programmteil BIOS (Basic Input Output System)

Dieser Programmteil stellt die Verknüpfung des CP/M mit der Hardware her. Die hier enthaltenen Routinen sind für die Zeichen Ein- und Ausgabe, Schreiben und Lesen eines Floppy-Disc-Sektors und ähnliches zuständig. Die BIOS-Version 2.2/3.0 des CP/M des PC beinhaltet eine Einschränkung gegenüber dem Standard: es sind lediglich 2 physikalische (tatsächlich angeschlossene) Floppydisc-Laufwerke adressierbar; Laufwerk A und Laufwerk B. Wird das Pseudo-Laufwerk P angesprochen, können (mittels Laufwerk A) unter CP/M erstellte Disketten des alphasonic P2 gelesen werden. Anzumerken ist ferner, daß diese BIOS-Version im Gegensatz zu vorhergehenden alle Datentransferoperationen zwischen Floppydisc und PC mit Hilfe des DMA-Steuerbausteins ausführt. Unberührt davon bleibt das Datenformat. Es werden wie im Standard, Daten und Programme in Blöcke aufgeteilt und abgespeichert. Jeder Block besteht aus 8 "Records" mit jeweils 128 Datenbytes. Die Verwaltung dieser Records bzw. der gesamten Dateien übernimmt das BDOS (siehe unten). Das BIOS wird während der Initialisierung in den Adressbereich D900 bis E3FF des PC geladen. Die BIOS-Programme greifen auch auf Unterprogramme und Tabellen des PC-Monitors zurück, die sich im Adressbereich E400 bis F000 befinden.

b) BDOS (Basic Disc Operating System)

Das BDOS des CP/M hat die Aufgabe, die Dateiverwaltung zu übernehmen und enthält Funktionen für die Kommunikation mit der Außenwelt. Die hier zusammengefaßten Programme befinden sich praktisch eine Ebene über denen des BIOS und nutzen diese. Das BDOS befindet sich nach dem Systemstart in dem Speicherbereich C800 bis D8FF.

c) CCP (Console Command Prozessor)

Der CCP umfaßt Programme, die wiederum eine Ebene über dem BDOS anzusiedeln sind; hier befinden sich die direkt eingeladenen Kommandos wie DIR, ERA, Das CCP wird in den Speicherbereich C300 bis CAFF geladen.

d) CP/M-Ladeprogramm

Das Ladeprogramm hat die Aufgabe, nach dem Einschalten des PC die Programmteile des CP/M in das RAM des PC zu laden. Das geschieht auf folgende Weise:

Nach dem Einschalten des PC führt das Monitorprogramm einen Systemcheck durch. Ist kein ROM-PACK eingesteckt und mindestens ein Floppydisc-Laufwerk angeschlossen, wird das Monitor-Ladeprogramm IPL (Initial Program Loader) aufgerufen. Dieses Programm lädt den CP/M-Lader, er befindet sich auf der CP/M-Diskette, Spur 0, Sektor 1. Diese Diskette muß sich im Laufwerk A befinden. Der IPL schreibt den CP/M Lader in den Adressbereich C200 bis C2FF. Nachdem dies geschehen ist, wird zur Adresse C200 gesprungen. Um nun die Möglichkeit zu haben längere BIOS Versionen zu laden, verschiebt sich der CP/M-Lader zunächst selbst, bevor weitere CP/M-Teile übernommen werden. Der CP/M-Lader arbeitet im Adressbereich 6000 bis 60FF.

In dieser Programmversion umfaßt das CP/M 34 Floppydisc-Sektoren (einschließlich des Laders). Die letzten 4 Sektoren (1 kByte) sind als Zwischenspeicher vorgesehen, ein Sektor hiervon enthält jedoch zunächst für die Initialisierung des Systems erforderliche Informationen. 1 Sektor, das Ladeprogramm, wird vom IPL gelesen. Es verbleiben 30 (≐ 1EH) vom CP/M zu ladende Sektoren. Um Disketten mit einem längeren BIOS übernehmen zu können, muß diese Information geändert werden. Sie steht am Ende des Laders, nur noch gefolgt von der Ladeendekennung 3C 2D 2D 2D. In der Version 3.0 des Laders BOOT II findet man das Byte unter der Adresse 60CB - nach dem Umladen, zuvor unter C2F6.



6.3 BASIC

In diesem Kapitel sollen lediglich einige Anmerkungen zur Darstellung einer Basiczeile im alphasonic-PC gemacht werden. Ein eingegebenes Basicprogramm ist im PC bei Betrieb ohne Floppydisc (Basic 5.11) ab der Adresse 6000H abgespeichert. Wird ein Floppydisc-Laufwerk mit dem Basic 5.26 benutzt, beginnt der Speicherbereich in Abhängigkeit von der Anzahl der benutzten Dateien (Files) zwischen 7300H und 8400H.

Aufbau eines Basic-Programms:

```
00 AL AH ZL ZH B ... B 00 AL AH ... 00 00 00
```

hierbei bedeuten:

- 00 : dieses Byte markiert den Anfang einer jeden Basiczeile
- AL : Arbeitsspeicheradresse der nächsten Befehlszeile, niederwertiges Byte
- AH : dto., jedoch höherwertiges Byte
- ZL : Zeilennummer des Basic-Befehls in sedezimaler Darstellung, niederwertiges Byte
- ZH : dto., jedoch höherwertiges Byte



B : Befehlszeile; hier werden die reservierten Basic-Befehlswoorte als "Token" abgespeichert. Ein Token ist im Regelfall ein Byte, das genau einem Befehl entspricht. Diese Token sparen Arbeitsspeicherplatz und verkürzen die Programmausführungszeit. Ein Nachteil ist der, daß beim Auslisten der Programme die Token vom Interpreter wieder durch die entsprechenden Befehlswoorte ausgetauscht werden müssen. Der Interpreter erkennt ein Token an dem höchstwertigen Bit des Byte; ist dieses Bit gesetzt, handelt es sich um ein Token und nicht um einen Teil einer Variablen, einer Zahl oder eines Textes.

Beispiel für Token:

- RUN ≙ 138 (dezimal)
- PRINT ≙ 145 (dezimal)
- LIST ≙ 147 (dezimal)

00 00 00: Diese Kombination von drei Nullbytes wird vom Interpreter als Programmende verstanden.

7. Betrieb einer Floppydisk

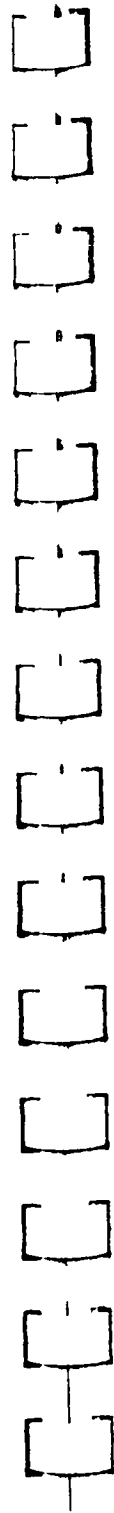
7.1 Hinweise zum Betrieb einer Diskettenstation

7.1.1 Allgemeines

Mini-Floppydisc-Laufwerke (5 1/4 inch Disketten) sind preiswerte und zuverlässige Datenspeicher. Ihre Zugriffszeit ist gegenüber dem Cassettengerät um ein Vielfaches niedriger, ohne dabei die Sicherheit der Aufzeichnung zu verringern.

Disketten bestehen aus einer flexiblen (≙ floppy), magnetisch beschichteten Kunststoffscheibe (≙ disk), die sich im Inneren einer mit einem filzähnlichen Material ausgekleideten Hülle drehen läßt.

An einer Kante (oder zwei gegenüberliegenden Kanten) der Diskettenhülle ist eine rechteckige Kerbe ausgestanzt. Diese "Schreibschutz"-Kerbe wird von dem Controller abgefragt. Ist sie lichtdurchlässig, kann auf die Diskette geschrieben werden, bei Lichtundurchlässigkeit ist der Inhalt der Diskette vor Überschreiben geschützt.



Diskette

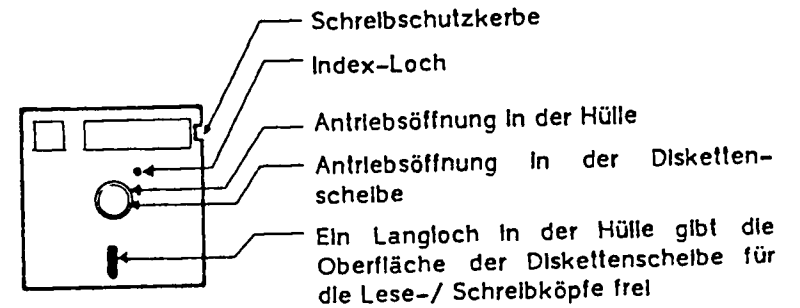


Abb. 7.1

Diskettenstruktur

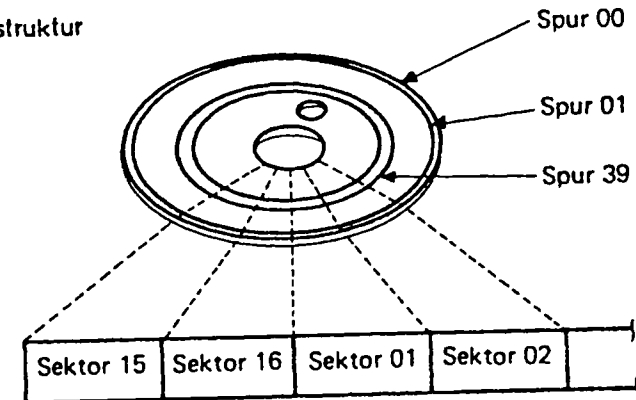


Abb. 7.2

Es gibt verschiedene Ausführungen von Disketten:

a) Softsektorierte Disketten:

Bei diesen Disketten werden die Spuren und die Sektoren durch ein Formatierungsprogramm auf der Diskette festgelegt.

alphatronic-PC:

Bei der Formatierung werden mit dem Programm "FORMAT" oder "PCFORM" des PC 40 konzentrische Spuren (Tracks), die wiederum in 16 Sektoren unterteilt sind, mit einem Leerzeichen (ESH) belegt und kontrolliert (siehe Anmerkung).

Mit Hilfe des Indexloches ist es dem "Floppycontroller" möglich, die Position des ersten Sektors festzustellen (auch bei hardsektorierten Disketten). Die physikalische Reihenfolge der Sektoren 1 - 16 stimmt jedoch nicht mit der Reihenfolge der Sektorenaufzeichnung überein. Dieses ist für eine Optimierung der Diskettenzugriffszeit erforderlich. Der Versatz zwischen physischem und logischem Sektor wird Interleave-Faktor genannt. Er wird vom Gerätehersteller festgelegt. Für den Anwender hat er keine Bedeutung beim Diskettenzugriff.

In einem Sektor können 256 Bytes abgespeichert werden. Die Reihenfolge der Spuren wird mit Spur 0 außen bis Spur 39 innen festgelegt. Eine Directory (Inhaltsverzeichnis) wird vom Disk-Basic immer in Spur 18 angelegt.

Oftmals werden neben anderen Handelsbezeichnungen die nachfolgenden Abkürzungen verwendet.:

SS/SD = Single Sided, Single Density ; Einseitige Speichermöglichkeit, Einfache Schreibdichte

DS/SD = Double Sided, Single Density; Beidseitige Speichermöglichkeit mit einfacher Schreibdichte (nur durch entsprechendes Laufwerk effektiv nutzbar)



SS/DD = Single Sided, Double Density; Einseitige Speichermöglichkeit mit doppelter Schreibdichte

DS/DD = Double Sided, Double Density; Beidseitige Speichermöglichkeit mit doppelter Schreibdichte (auch diese Disketten sind nur durch ein entsprechendes Laufwerk effektiv nutzbar). 48 tpi (Tracks per inch), diese Disketten sind beim PC zu benutzen.

Für neueste Laufwerke existieren bereits QD-Disketten mit vierfacher Schreibdichte (96 Tpi).

Für den Einsatz in einem Laufwerk mit einfacher Schreibdichte sind Disketten mit (möglicher) doppelter Schreibdichte durchaus verwendbar, umgekehrt wegen der groberen Struktur der magnetisierbaren Schicht jedoch nicht.

b) Hardsektorierte Disketten

Sie sind in gleicher Klassifizierung wie softsektorierte Disketten zu erhalten. Der einzige Unterschied besteht in der Anzahl und Anordnung der Index- und Sektorlöcher. Eine Einteilung der Sektoren durch Software entfällt.

Auf einem Laufwerk, welches softsektorierte Disketten verlangt, können keine hardsektorierten Disketten gelesen oder beschrieben werden; ebenso können softsektorierte Disketten nicht von einem Laufwerk für hardsektorierte Disketten bearbeitet werden.

7.1.2 Pflege der Disketten und des Laufwerkes

Obwohl eine Diskettenstation einen sehr robusten Eindruck erweckt, ist doch im Umgang mit ihr einige Vorsicht geboten.

Grobe Behandlung wird sie nicht unbedingt sofort durch fehlerhafte Datenbehandlung mitteilen, aber über einen längeren Zeitraum lassen sich "mit einem Mal" alte Programme oder Daten nicht mehr lesen. Dieses wäre z.B. die Folge einer Dejustierung des Schreib-/Lesekopfes nach einem Sturz vom Arbeitstisch.

Bei jeder Benutzung einer Diskette werden sich winzigste Spuren von Abrieb und Schmutz am Schreib-/Lesekopf ablagern. Irgendwann ist dann die Ablagerung am Kopf so dick, daß es zu dem befürchteten "Head-crash" (heftiger Kopfkontakt zur Diskette) kommt. In diesem Fall wird die magnetische Beschichtung der Diskette mitsamt der darin enthaltenen Information unwiederbringlich zerstört. Um diesem vorzubeugen, sollte nach längerer Betriebszeit eine Reinigungsdiskette eines renommierten Herstellers nach dessen Angaben eingesetzt werden; aber bitte nicht vor jedem Diskettenbetrieb, sonst ist bald vom Kopf nichts mehr übrig!

Die Disketten selber können nicht gereinigt werden. Sie danken staub- und rauchfreie Lagerung durch langen und zuverlässigen Betrieb.

Da jedoch auch die bestens gehütete Diskette bei Benutzung nicht ewig hält, empfiehlt es sich, von wichtigen Disketten eine Sicherungskopie anzulegen.

Die Größenverhältnisse einer Verschmutzung zu dem Schreib-/Lesekopf sind aus Abbildung 7.3 zu ersehen.

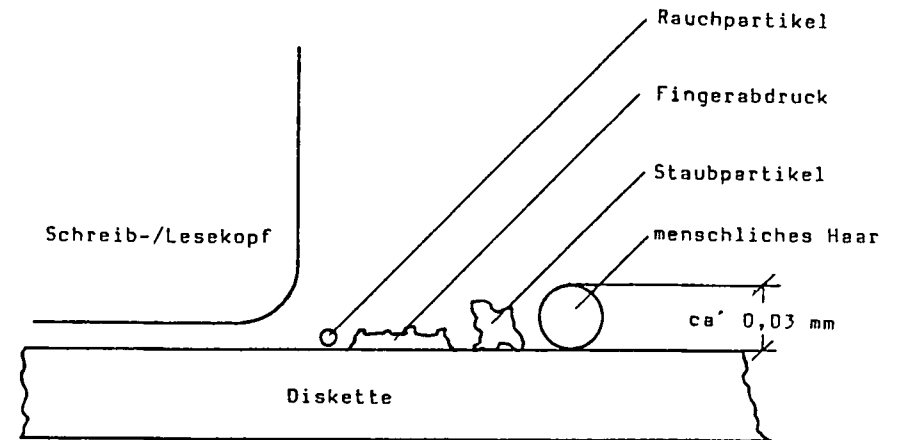
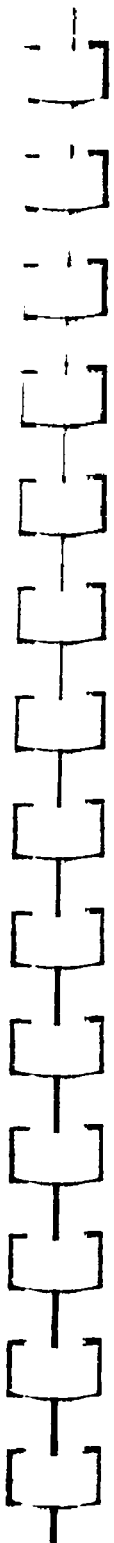


Abb. 7.3

Zusammenfassung der wichtigsten Faktoren der Diskettenbehandlung:

1. Rauch (!) von Disketten und dem Laufwerk fern halten.
2. Laufwerk und Disketten in möglichst staubfreiem Raum betreiben.
3. Disketten immer in ihrer Hülle in einem entsprechenden Behältnis aufbewahren.
4. Die Disketten nicht knicken.
5. Die Diskettenoberfläche nicht berühren.
6. Die Diskette nicht als Unterlage benutzen.
7. Die Diskette von Magnetfeldern fernhalten (Monitor, Motoren, Lötkolben usw.; besonders stark ist das Magnetfeld der Entmagnetisierungseinheit eines Farbfernsehgerätes während des Einschaltens!).
8. Die Diskette vor unzulässiger Erwärmung schützen (nicht in die Sonne oder in direkte Nähe der Heizung legen).
9. Die Diskette nicht unter + 10 Grad Celsius betreiben.
10. Die Diskettenhülle nicht mit einem harten Stift beschreiben. Besser ist ein Filzstift.

Anmerkung:

Die seit einiger Zeit im Handel erhältlichen Disketten mit 96Tpi (Tracks per inch) haben eine so feine magnetische Beschichtung, daß sie problemlos in allen PC's verwendet werden können. Die Schreib- und Lesesicherheit wird damit zum Teil erheblich gesteigert.

Disketten sind mit oder ohne Verstärkungsring um das Loch für die Antriebswelle zu erhalten. Die Benutzung von Disketten mit Verstärkung ist zu empfehlen, aber nicht unbedingt erforderlich.

7.2 Sicherungswechsel

1. Vor dem Öffnen der Diskettenstation den Netzstecker ziehen.
2. Jetzt die drei, jeweils links und rechts an der Längsseite der Diskettenstation eingedrehten Schrauben entfernen.
3. Nun den Deckel nach oben abziehen.

A C H T U N G:

Jegliche Verschmutzung, auch mit noch so kleinen Staubteilchen, zieht erhebliche Funktionsstörungen des Diskettenbetriebes nach sich! (siehe Abb. 7.3, Seite 125)

Die Sicherung ist jetzt im hinteren Teil des Diskettenstation zugänglich. Austausch nur gegen eine Sicherung T 0,5 A.

Bei wiederholtem Auslösen der Sicherung muß die Diskettenstation dem TA-Service überlassen werden.

7.2.1 Im Fall größerer Schäden

Sollte der Diskettenbetrieb einmal gestört sein, versuchen Sie bitte nicht, die Station selbst zu reparieren.

Durch die äußerst geringen Abmessungen aller bewegten Teile besteht ohne Verwendung von Spezialwerkzeug große Gefahr der Beschädigung. Nach einer Reparatur muß z.B. der Schreib-/Lesekopf mit Hilfe einer Spezialdiskette wieder justiert werden, sonst treten unweigerlich Schreib- und Lesefehler auf.



7.3.1 Einteilung einer Floppydisc

Der Floppydisc-Controller des alphasonic-PC-Systems teilt die Disketten (Floppydisc) in 40 Spuren mit jeweils 16 Sektoren ein. Die Spuren sind konzentrisch um das Mittelloch angeordnet und werden, da die Diskette ja auch eine physikalische Höhe bzw. Dicke hat, auch Zylinder genannt. Die Spur 00 befindet sich direkt am Anfang der Diskette, Spur 39 dicht am Mittelloch. Jede Spur wird beim Initialisieren wie folgt beschrieben:

- 1) Vor-Index-Lücke (Gaps)
- 2) Indexfeld zur Kennzeichnung der Spur
- 3) Nach-Index-Lücke
- 4) Sektoren 0 bis 15
- 5) Restlücke

Jeder Sektor ist wie folgt aufgebaut:

- 1) Identifikationsfeld (ID) mit

Synchronisationsfeld (zur Schreib-/Lesesynchronisation)
 ID Identifikation
 Spurnummer
 Kopfnummer
 Sektornummer
 Sektorlänge (256, 512, 4096 in MFM-Mode des
 Controllers codiert. Siehe unten)
 2 Controllbytes (nach dem CRC-Verfahren)
 (CRC = Cyclic Redundancy Check)

- 2) "Nach-ID-Lücke"

- 3) Datenfeld mit

Synchronisationsfeld
 Daten-/Steuerfeldkennung
 Daten
 2 Controllbytes (CRC)

- 4) "Nach-Daten-Lücke"



Bei jeder Schreib-/Leseoperation wird von der Steuerung zunächst das ID-Feld des angesprochenen Sektors gesucht. Hinter diesem werden nach dem Auffinden Daten gelesen oder geschrieben. Vor der ersten Schreib-/Leseoperation auf einer Diskette müssen also zunächst Spur- und Sektorinformationen sowie leere Datenfelder auf die Diskette geschrieben werden. Dies geschieht mit Hilfe der sog. Formatierungsprogramme.

7.3.2 Der Floppydisc-Controller

Der Floppydisc Controller, also die Steuerungseinheit für an den PC anschließbare Floppydisc-Laufwerke, befindet sich im Gehäuse des ersten Laufwerkes (F1). Die Steuereinheit ist über die Systembusschnittstelle mit dem PC verbunden. Sie wird von ihm über die I/O-Adressen F8H und F9H angesprochen. Die Steuereinheit ermöglicht den Anschluß von bis zu 4 Laufwerken; die PC-Betriebssoftware (CP/M) unterstützt jedoch lediglich den Anschluß von 2 physikalischen Laufwerken. Das zweite Laufwerk wird über ein Kabel mit dem ersten Laufwerk und nicht mit dem alphasonic-PC verbunden.

Die beiden wichtigsten Komponenten des Floppydisc-Controllers sind ein Steuerbaustein des Typ uPD 765A und ein Datenseparator-Baustein des Typ SED 9420C. Ansonsten besteht die Schaltung aus Treiberbausteinen, Adresskodierern und etwas Synchronisationslogik. Die Hauptaufgaben übernimmt der LSI (≙ large scale integration = hochintegriert) -Baustein uPD 765A. Er wird häufig FDC-Baustein bezeichnet (≙ Floppydisc-Controller). Dieser Baustein ermöglicht die Steuerung von maximal 4 Laufwerken. Die Datenaufzeichnung auf den Disketten kann entweder in einfacher Datendichte (= single density) im FM-(Frequenzmodulation) Verfahren oder mit doppelter Datendichte (double density) im MFM (modifizierte Frequenzmodulation) -Verfahren. Beim FM-Verfahren wird für bei jedem aufzuzeichnenden Bit zunächst ein Taktpuls auf die Diskette geschrieben. Ist das Bit logisch "1" folgt ein weiterer Taktpuls; ist es logisch "0", wird während der Periodendauer 0 auf die Diskette geschrieben (Beispiel siehe Abb. 7.4).

Beim MFM-Verfahren werden zur Verringerung der Redundanz bei der Aufzeichnung, d.h. zur Erhöhung der Informationsdichte auf der Diskette, gegenüber dem FM-Verfahren folgende Regeln angewendet:

1. Informationsbits stehen in der Mitte des Bitrahmens (wie bei FM)
2. Taktbits werden nur geschrieben, wenn auf eine geschriebene logische 0 eine weitere folgen soll (Beispiel siehe Abb. 7.5)
3. wenn Taktbits geschrieben werden, stehen sie am Anfang bzw. am Ende des Bitrahmens (wie bei FM, sie werden jedoch immer geschrieben)

Die Steuereinheit innerhalb des ersten Laufwerkes nutzt das MFM-Verfahren. Da dieses Verfahren sehr enge Toleranzen für die Datenaufbereitung erfordert, ist die Steuerung mit einem Datenseparator ausgerüstet. Seine Hauptaufgabe ist es, die Lesedaten aufzubereiten und diese, wie auch den Takt, dem FDC-Baustein anzubieten.

Der FDC-Baustein kann mit dem alphasatronic-PC Daten in 3 Betriebsarten austauschen:

1. mit Hilfe des DMA-Steuerbausteins im direkten Speicherzugriff
2. in einem Modus, in dem der FDC Unterbrechungsanforderungen erzeugt, sobald ein Datenbyte verfügbar ist.
3. mit Hilfe der Abfrage IN FOH, womit auch ein Abfragebetrieb (≙ Polling) möglich ist (siehe unten).

Die neueren Betriebsvarianten des PC nutzen die erste Methode. Bevor jedoch Daten von/zur Floppydisc transportiert werden können, muß der PC den Status des Steuerbausteins kontrollieren und den jeweiligen Befehl zum FDC senden. Dies geschieht mit Hilfe zweier I/O Adressen F8H und F9H. Mit IN F9H wird das Statusregister gelesen. Mit IN/OUT F8H wird das Datenregister gelesen bzw. beschrieben. Bei dem Datenregis-



ter handelt es sich um ein Stapelregister (Stack). Mit jedem OUT F8H wird ein weiteres Wort auf den Stapel gelegt. Das zuvor eingegebene Wort wird nicht überschrieben, sondern befindet sich ein Byte "tiefer" im Stapel (vergl. HP-Taschenrechner). Um einen kompletten Befehl zu übergeben, müssen inklusiv der erforderlichen Parameter (wie Spurnummer, Sektornummer ..) zwischen 2 und 9 Byte in definierter Reihenfolge auf den Stapel gelegt werden. Nach Ausführung des Befehls, z.B. dem Lesen eines Blockes mit Hilfe des direkten Speicherzugriffes müssen alle nun auf dem Stapel liegenden Informationen gelesen werden, egal ob der Benutzer sie benötigt oder nicht. Nach Ausführung von Schreib-/Lesebefehlen befinden sich 7 Bytes auf dem Stack, die vom PC gelesen werden müssen, bevor weitere Befehle an den FDC gesandt werden können. Näher soll an dieser Stelle nicht auf diese Integrierte Schaltung (IC) eingegangen werden, eine genaue Beschreibung findet man z.B. im "1982 Catalog" von "NEC-Electronics (Europe) GmbH" (Beachte: Das Adressbit A0 wird invertiert an den IC gelegt.)

Eine weitere Ein-/Ausgabeadresse wurde bisher noch nicht angesprochen: FOH.

Unter dieser Adresse befindet sich das Steuerregister des Floppydisc-Controllers. Es befindet sich innerhalb des ersten Laufwerkes. Es werde jeweils lediglich die beiden höchstwertigen Bits des Datenbytes genutzt.

Mit der Ausgabe OUT FOH kann man folgendes bewirken:

- D7 = 0: Rücksetzen des FDC 765A
- = 1: Arbeitsmodus des FDC
- D6 = 0: Sperren des Datenseparators SED 9420C
- = 1: Freigeben " " " "

Bei der Abfrage des Ports 70H mit Hilfe des Befehls IN 70H erhält man folgende Informationen:

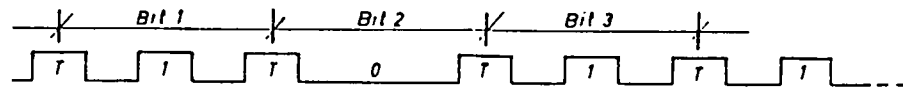
D7 = 0: Diskettenantriebsmotor ist eingeschaltet
= 1: " " ausgeschaltet

D6 = 1: Der Floppydisc-Controller hat ein weiteres Byte bereit/erwartet eines.
Dieses Signal ist nur wichtig, wenn der Datentransfer weder über DMA noch unterbrechungsgesteuert (mit Hilfe einer Serviceroutine) erfolgt.

= 0: jetzt kann der PC, je nach zuvor zum FDC Baustein übertragenem Befehl, ein Byte in das Datenregister des FDC (Adresse F9H) schreiben bzw. von dort lesen. Hierbei handelt es sich um die langsamste Methode um Daten von der Floppydisc zu lesen bzw. zu schreiben.

Ist innerhalb eines Programmes DMA-Betrieb nicht erwünscht, sollte statt des soeben beschriebenen Abfragebetriebes mit Hilfe der Unterbrechungsanforderung EXTINT1 gearbeitet werden (siehe Kapitel 5.6, Systembusschnittstelle). Die Unterbrechungsanforderung des FDC ist zur Unterbrechungsebene IR4 des PIC 8259 des PC verdrahtet.

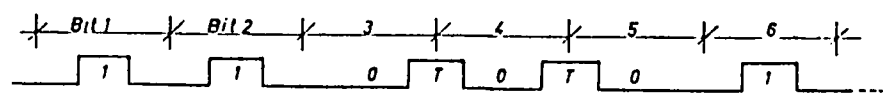
M-Verfahren:



T = Taktpuls

Abb. 7.4

MFM-Verfahren:



T = Taktpuls

Abb. 7.5

8. Drucker

Zur Verdeutlichung, wie man Drucker an den PC anpaßt, soll beispielhaft an den folgenden 3 Geräten gezeigt werden:

1. Gabriele 8008 V 24
2. TRD 7020 V 24
3. Epson MX 80 FT 3

Die Einstellungen des PC auf die unterschiedlichen Schnittstellenkonfigurationen sind in den Kapiteln 5.3 und 5.5 beschrieben.

Die Triumph-Adler Geräte haben im Lieferumfang ein zum Anschluß geeignetes Kabel, somit treten hier keinerlei Probleme auf.

Bei dem Epson wurde ein Kabel selbst erstellt. Durch die einheitliche Steckerbelegung war dies kein Problem; allerdings stand uns ein Werkzeug zum lötfreien Anschlagen eines Steckverbinders zur Verfügung. Als Kabel wurde ein Flachkabel benutzt, das nur ca. alle 10 cm parallel geführt wird, dieses verringert Verkopplungen zwischen den Datenleitungen erheblich. Falls ein solches Kabel nicht erhältlich ist, sollten für jede Datenleitung zwei Adern verdreht werden. Eine dieser Leitungen stellt dann die Masseleitung dar und ist an einer Seite mit GND des Steckers zu verbinden. Über diese Leitungen sollte keine Stromversorgung oder Potentialausgleich erfolgen.

8.1 Gabriele 8008 V 24

Die Gabriele 8008 ist eine Typenradschreibmaschine. Mit dem erhältlichen Carbonband liefert sie ein sauberes Schriftbild in Korrespondenzqualität. Durch auswechselbare Typenräder ist zwar der Zeichensatz in weiten Grenzen veränderbar, jedoch ist eine Ausgabe selbst einfacher Graphikelemente nur mit Schreibmaschinencharakter möglich.

Zum problemlosen Anschluß über das mitgelieferte Kabel ist die serielle Schnittstelle (RS 232C) zu benutzen.



8.2 TRD 7020 V24

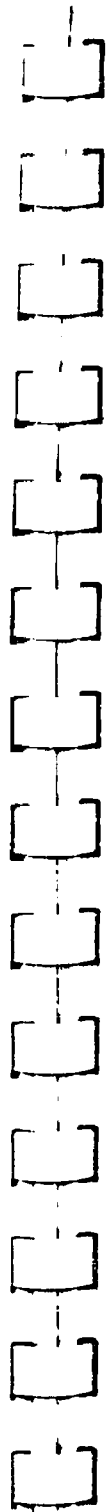
Mit dem TRD 7020 steht dem Anwender ein Typenraddrucker der jüngsten Generation zur Verfügung. Sein bestechend sauberes Schriftbild ist für sein Haupteinsatzgebiet, der Textverarbeitung, sehr gut geeignet. Großen Anteil an der gleichbleibenden Qualität des Schriftbildes hat das Carbonband. Da es aber nur, je nach Zeichenabstand, zwischen 60.000 und 200.000 Zeichen (\approx ca' 40 bis 150 Seiten DIN A4) ergibt, ist als preiswerte Alternative ein Nylonband erhältlich. Bei mit zunehmender Beanspruchung etwas nachlassender Qualität des Schriftbildes, gestattet es den Druck von ca. 1 Million Zeichen (\approx ca. 700 Seiten DIN A4).

Mit 20 Zeichen/Sekunde ist der TRD 7020 über eine durch Befehl abschaltbare Druckwegoptimierung selbst für professionellen Einsatz ausreichend schnell genug. Serienmäßig verfügt er über einen Zwischenspeicher (Buffer; Spooler) für 1500 Zeichen, optionell ist ein Speicher für 3500 Zeichen erhältlich.

Seine Qualitäten sind, neben der Auswechselbarkeit des Schriftbildes durch verschiedene IA Typenräder, in der breiten Palette der in seiner Software enthaltenen Möglichkeiten zu finden.

Als Beispiel sei hier nur die Möglichkeit des Blocksatzes angeführt. Damit ist es auch ohne ein Textverarbeitungsprogramm wie z.B. PCTEXT möglich, einen Text ohne "Flatterrand" auszugeben.

Durch seinen serienmäßigen Zwischenspeicher ist es möglich, den Druckbetrieb im "Hintergrund" laufen zu lassen. Das heißt, während der Drucker arbeitet, kann mit dem alpha-tronic-PC an anderen Problemen gearbeitet werden. Wenn der Speicher bis auf 64 Zeichen geleert ist, wird durch das eine Signalleitung zur Übergabe der nächsten Zeichen aufgefordert.



Durch die Möglichkeit, den Zeilenvorschub in Schritten von 1/96 Zoll (\approx 0,26 mm), sowie den Zeichenabstand in Schritten von 1/120 Zoll (\approx 0,21 mm) einstellen zu können, ist eine für Typenraddrucker gute Graphikfähigkeit vorhanden.

Die Zeichenübertragung geschieht serienmäßig nach dem V24-Protokoll mit 4800 Bd entsprechend der Grundeinstellung des PC. Das Übertragungsformat ist jedoch über eingebaute Schalter veränderbar. Optionell sind noch andere Schnittstellen erhältlich.

Nähere Einzelheiten zu den Schnittstellen sowie den Steuerbefehlen entnehmen sie bitte dem Handbuch des TRD 7020.

8.3 EPSON MX 80 FT 3

Als ein weitverbreiteter, preiswerter Nadeldrucker stand der Epson zur Verfügung. Sein Schriftbild ist, obwohl für Hobbyanwendungen ausreichend, dem Typenrad unterlegen.

Seine Vorteile liegen jedoch in der für den Hobbymarkt erforderlichen Vielseitigkeit. Durch die Einzelnadelsteuerung hat er recht gute Graphikmöglichkeiten. Nachfolgemodelle des MX 80 FT3 bieten bereits ein Schriftbild in ausreichender Qualität neben erweiterten Möglichkeiten der Graphik.

Der Anschluß erfolgt über die Centronics kompatible Schnittstelle an den alphatronic-PC. Da die Steckerbelegung des Epson weitgehend dem PC gleicht, ist die Anfertigung eines Kabels unproblematisch (siehe auch hierzu weiter oben).

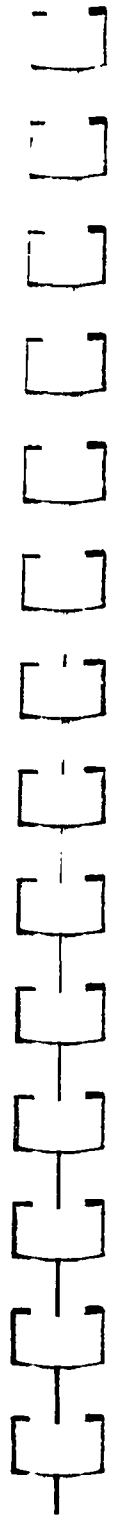
Die Umstellung des PC auf Drucker Ausgabe über die Parallelschnittstelle ist in Kapitel 8.5.2, Teil A des Bedienerhandbuches alphatronic-PC beschrieben.

9. Stichwortverzeichnis

Abfragezeit	39
Acknowledge (-Leitung)	64
Adressbereich	10
Adressbus	10
Adressierungsarten	14, 19
Alu	16
Anschluß (Floppy Disc-)	120
Anschluß (Drucker-)	133
Architektur (Z80)	14
Asynchronbetrieb	49
Attributbyte	102
Attribute	103
Ausgangsspegel	60
Baudrate	46, 54
BAS	88, 93
Basiczelle	118
Befehlssatz Z80	19
Befehlstypen	21
Befehlsliste	143, ff
BIOS	115
BDOS	116
Blocksatz	134
Blockoperationsbefehl	23
Blocksschaltbild	11
Buffer	134
Burstclock	93
Cassettenanschluß	58, 63
CCP	116
Centronics	64, ff
Character Generator	12
CP/M	115
CP/M - Ladeprogramm	116
CRT - Controller	12, 88, 93
Cursor, Definition	97, ff
CRT, Register	96

Datenbus	10
Datenverkehr	10
Datenübertragung	43
Datenwort	43
Datentransfer	115
Datenseparator	129
Datenblätter	142
Demodulator	61
DIR	116
Disketten, hardsektoriert	123
Disketten, softsektoriert	122
Diskettenbehandlung	124
Disketten, Einteilung	128
DMA - Controller	73
Drucker	133
Drucker - Kabel	133
Druckwegoptimierung	134
Ein - Ausgabebefehle	30
Eintrittsprungtabelle	113
Flagregister	22
Flags	17
Floppydisc Controller	129
Fm	129
Formatierung	122
FSK	58, ff
Graphik (Drucker)	135
Head Crash	124
Hintergrundbetrieb	48
Hintergrundregister	17
IC - Tausch	9
Impedanz	90
Initialisierung	56, 62
Interleave - Faktor	122
Interruptcontroller	71, 80
Interruptmodus	26
Interruptroutinen	30
I/O Adressen	33
IPL (Urlader =)	109

Keyboard, Austausch	7
Kommandowort	48, ff
Laufwerke A,B,P	115
Literaturverzeichnis	168
MFM	129
Memory Mapping	32
Mnemonik	143, ff
Modul (ROM-), ROM - Pack	104
Moduswort	56
Monitorprogramm	109
Nadeldrucker	135
Netzteilplatine	6
OP - Code	144, ff
Operationen	143, ff
Parallelschnittstelle	64
Pegel (V.24)	43
PIC	80
Polling	130
Programmierung (V.24)	48
Prioritäten	85
Prioritätslogik	73
RAM	10
Rechenbefehle	22
Redundanz	130
Reparaturen	6
RGB	88
ROM	10
ROM - Pack	104
Schaltermatrix	39
Schnittstellenbeschreibung	35
Schreibschutz	121
Serielle Schnittstelle	55
Sektoren	121
Sicherungswechsel	6, 127
Signalbelegung	70
Spezial ICs	141
Spooler	134
Sprungbefehle	27



Stack	131
Stapelregister	131
Statusport	68
Statusregister	68
Status, Centronics	36
Statuswort	53
Steuerworte	48
Steuersignale	67
Steuerungseinheit	129
Steckverbinder	169
Steckertausch	7
Strobepuls	64
Struktur des USART	45
Synchrone Datenübertragung	45
Synchronbetrieb	50
Synchronisation	93
Sync - Zeichen	45
Systemcheck	109
Systembus	71
System Port	35
Taktfrequenz	14
Tastaturschnittstelle	39
Tastenadressen	40
Teilungsfaktor	51, 54
Tracks	123
Token	119
Typenraddrucker	134
Typenradschreibmaschine	133
Universalregister	16
Unterbrechungsanforderung	81
Unterbrechungsebenen	83
Unterbrechungsvektor	87
Unterprogrammaufruf	29
USART	47, 48

Verschiebefehl	24
Video RAM Adressen	102
Video Schnittstelle	88
Zeichenmatrix	12, 89
Zeichensatzumschaltung	36
Zeichenlänge	62
Zeichengenerator	89
Zeichensynchronisation	45
Zeitablaufdiagramm	61
Zusammenschaltung	45



10. Anhang

10.1 Liste der Spezial-IC's des alphasonic-PC

Bezeichnung	Hersteller z.B.
SN 75150	Texas Instruments
SN 75189	Texas Instruments
SN 75154	Texas Instruments
uP 494	NEC
D 8251 C	NEC, Intel
D 780 C - 1	NEC, Zilog (Z 80 A)
D 8257 C - 5	NEC, Intel
D 2732 D	NEC (von TA programmiert)
D 2764 D	NEC "
HD 46505 SP	Hitachi (≅ 6845 SP)
HM 6116 P - 4	Hitachi
HM 4864 P - 2	Hitachi

Weiterhin sind im alphasonic-PC diverse IC's der 74 LS-Familie eingebaut. Hersteller dieser IC's sind z.B. Hitachi oder Texas Instruments.

10.2 Bezugsquellen für Datenblätter

Soweit die im Text erwähnten Datenbücher keine ISBN-Nummer haben, sind diese nur über den Technik-Fachhandel erhältlich. Einige Fachbuchhandlungen, vornehmlich in Städten mit Hochschulen der Fachrichtungen Elektrotechnik und artverwandt, können allerdings auch Datenbücher besorgen.

Im übrigen wird Ihr Triumph-Adler alphantronic-Fachhändler bei der Beschaffung der Literatur behilflich sein können.

Literatur mit einer ISBN-Nummer wird problemlos von jeder Buchhandlung beschafft.

Ein Literaturverzeichnis ist in Anhang 10.4 aufgeführt.

10.3 Befehlsliste Z 80 A

Die in der nachfolgenden Befehlsliste benutzten Abkürzungen und Kurzzeichen sind, soweit nicht im Kapitel 3 erläutert, wie folgt zu verstehen:

1. In der Spalte Mnemonik:

Das übliche Komma wurde durch einen Punkt dargestellt.

Bei Verwendung der unmittelbaren (Immediate) Adressierung ist als Platzhalter für ein unmittelbares Byte ein "N" angegeben.

DIS bezeichnet eine relative Sprungweite (siehe Kap. 3).

2. In der Spalte Operation:

Das Zeichen "!=" bedeutet "ergibt sich aus".

Der Buchstabe "C" wird für das Register C sowie für das Carrybit benutzt. Seine Bedeutung ist aus der Mnemonik ersichtlich.

Das Zeichen "^" bedeutet "logisch UND verknüpft mit".

Überstrichene Zeichen stellen die logische Negation dar.

Bei den Bitmanipulationsbefehlen wurden die Bitnummern nicht als Index geschrieben.

Das Zeichen "<>" bedeutet "ausgetauscht mit".

Der Bezeichnung von 16 Bitregistern folgt manchmal ein h oder l; h bezeichnet das höherwertige Byte des Wortes, l das niederwertige.

Das Zeichen "e" bedeutet "EXKLUSIV ODER verknüpft mit".

3. In der Spalte Flags:

- B: Flag wurde von der Operation beeinflusst
- U: Flag wurde nicht beeinflusst
- X: Flag ist nicht definiert
- 0: Flag wurde zurückgesetzt
- 1: Flag wurde gesetzt

4. In der Spalte OP-Code steht der sedezimale Maschinencode des jeweiligen Befehles; nn und dis sind Platzhalter für unmittelbare Daten.

Mnemonic	Operation	Flags						OP - Code
		S	Z	H	P	N	C	
ADC A.(HL)	A := A+(HL)+C	B	B	B	B	B	B	BE
ADC A.(IX+d)	A := A+(IX+d)+C	B	B	B	B	B	B	DD BE 05
ADC A.(IY+d)	A := A+(IY+d)+C	B	B	B	B	B	B	FD BE 05
ADC A.A	A := A+A+C	B	B	B	B	B	B	BF
ADC A.B	A := A+B+C	B	B	B	B	B	B	B8
ADC A.C	A := A+C+C	B	B	B	B	B	B	B9
ADC A.D	A := A+D+C	B	B	B	B	B	B	BA
ADC A.E	A := A+E+C	B	B	B	B	B	B	BB
ADC A.H	A := A+H+C	B	B	B	B	B	B	BC
ADC A.L	A := A+L+C	B	B	B	B	B	B	BD
ADC A.N	A := A+N+C	B	B	B	B	B	B	CE nn
ADC HL.BC	HL := HL+BC+C	B	B	X	B	1	B	ED 4A
ADC HL.DE	HL := HL+DE+C	B	B	X	B	1	B	ED 5A
ADC HL.HL	HL := HL+HL+C	B	B	X	B	1	B	ED 6A
ADC HL.SP	HL := HL+SP+C	B	B	X	B	1	B	ED 7A
ADD A.(HL)	A := A+(HL)	B	B	B	B	0	B	B6
ADD A.(IX+d)	A := A+(IX+d)	B	B	B	B	0	B	DD B6 05
ADD A.(IY+d)	A := A+(IY+d)	B	B	B	B	0	B	FD B6 05
ADD A.A	A := A+A	B	B	B	B	0	B	B7
ADD A.B	A := A+B	B	B	B	B	0	B	B8
ADD A.C	A := A+C	B	B	B	B	0	B	B1
ADD A.D	A := A+D	B	B	B	B	0	B	B2
ADD A.E	A := A+E	B	B	B	B	0	B	B3
ADD A.H	A := A+H	B	B	B	B	0	B	B4
ADD A.L	A := A+L	B	B	B	B	0	B	B5
ADD A.N	A := A+N	B	B	B	B	0	B	C6 nn
ADD HL.BC	HL := HL+BC	X	X	U	X	0	B	09
ADD HL.DE	HL := HL+DE	X	X	U	X	0	B	19
ADD HL.HL	HL := HL+HL	X	X	U	X	0	B	29
ADD HL.SP	HL := HL+SP	X	X	U	X	0	B	39
ADD IX.BC	IX := IX+BC	X	X	U	X	0	B	DD 09

10.6 ESCAPE-Sequenzen

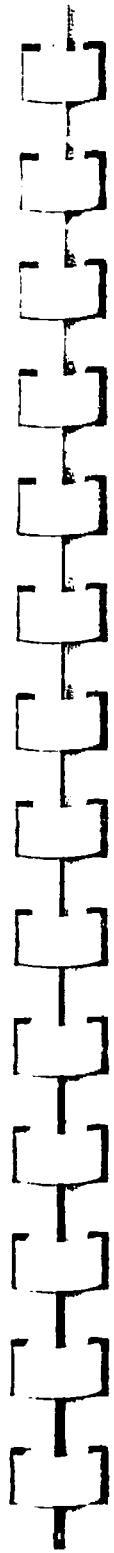
ESCAPE-Sequenzen werden gebildet durch Senden des ESCAPE-Zeichens (CHR\$ (27)) und eines oder mehrerer Zeichen.

Zur Vollständigkeit werden eine Reihe von Kontroll-Codes hier aufgeführt, die ohne vorangestellten ESCAPE-Code arbeiten.

Die mit * gekennzeichneten Sequenzen sind DEC VT 52 kompatibel.

Steuerzeichen	Bedeutung
07	<u>Warnton (BEL)</u> Bei PRINT CHR\$ (7) ertönt für 1/2 Sek. ein Warnton.
08	<u>Backspace (BS = Rücktaste)</u> Der Cursor wird um 1 Stelle nach links verschoben. Wenn der Beginn der Zeile erreicht ist, wird der Cursor auf die vorhergehende Zeile, letzte Position gebracht. Ist der Cursor in Home-Stellung, ist die nächste Position letzte Zeile, letzte Position.
10	<u>Line feed (LF = Zeilenschaltung)</u> Der Cursor wird um eine Zeile nach unten verschoben. Wird dieser Befehl auf der letzten Zeile gegeben, wird der Inhalt des Bildschirms um eine Zeile nach oben geschoben und eine neue (Leer-)Zeile eingefügt. Um dies zu verhindern, sollte die "Cursor Down"-Sequenz (27,66) benutzt werden.
12	<u>Bildschirm löschen (FF)</u> Der Bildschirm-Controller wird aktiviert und die Bildschirm-Initialisierung (siehe 27,12,xx) abgeschaltet. Cursor wird eingeschaltet, in die linke obere Ecke gebracht und der Inhalt des Bildschirms gelöscht.
13	<u>Neue Zeile (CR)</u> Der Cursor wird auf den Anfang der nächsten Zeile gebracht. Ein unmittelbar folgender Befehl CHR\$ (10) wird nicht ausgeführt.
18	<u>Invers-Darstellung aus</u>
28	<u>Invers-Darstellung ein</u>

Sequenz	Bedeutung
27,9	<u>Anwenderdefinierte Tastaturliste anhängen</u> Die Startadresse der Anwendertabelle muß in Register < DE > stehen, das durch eine Assembler-Routine zu laden ist.
27,12,xx	<u>Initialisieren Bildschirm</u> Das Byte xx wird analysiert und die einzelnen Bits steuern folgendes: Bit 0: 0 = Bildschirm "Scroll" aus, d.h. nach dem Schreiben der letzten Bildschirmposition wird bei der Home-Position weitergeschrieben. 1 = Bildschirm "rollt", wenn die letzte Position auf dem Bildschirm geschrieben wird -->(3a) d.h. Zeilen werden nach oben verschoben, Zeile 1 verschwindet (Scroll-Modus) Bit 2: 0 = CTRL-Taste gibt den Code 7FH ab. 1 = bei Betätigung der CTRL-Taste wird eine interne Verarbeitung wirksam: der Wert der gleichzeitig gedrückten Taste wird (vermindert um 40H) abgegeben, d.h. z.B. CTRL+C ergibt 03H. Bit 3: 0 = keine Funktion 1 = die Taste < C > gibt den Code 84H ab und führt gleichzeitig CI aus (Console Input) Bit 6: 0 = Gleiche Farbe für Vorder- und Hintergrund ist nicht erlaubt (siehe Sequenz 27,84). 1 = Gleiche Farbe für Vorder- und Hintergrund erlaubt. Bit 7: 0 = Bildschirm wird gelöscht. 1 = Bildschirm nicht löschen.
27, 16, n	<u>n Leerstellen schreiben</u> Beispiel: PRINT CHR\$ (27) + CHR\$ (16) + CHR\$ (20) <u>Achtung:</u> CHR\$ (8) + CHR\$ (9) führen zu falschen Ergebnissen.



Sequenz	Bedeutung
27,17 oder 27,72	<u>Cursor home</u> <u>Cursor in die Position oben links bringen</u>
27,18	<u>Cursor ausschalten</u>
27,19	<u>Cursor einschalten</u>
27,22,yy,xx	<u>Cursor auf Position xx,yy stellen</u> Beispiel: PRINT CHR\$ (27) + CHR\$ (22) + CHR\$ (2) + CHR\$ (10) Cursor auf 2. Zeile Position 11 stellen Für die Zeilen 8 und 9 besser mit 27,89 und Offset arbeiten!
27,23	<u>Cursorposition feststellen</u> Die augenblickliche Cursorposition wird an das Register < DE > gegeben. Der Wert wird Die Zeilenposition steht in < D > , die Spaltenposition in < E > (Auswertung durch Assembler-Routine). Die Übergabe erfolgt, nachdem CD mit 17H im Register < C > aufgerufen wurde.
27,24	<u>Zeichen an aktueller Cursorposition schreiben</u> Das in Register < E > stehende Zeichen wird an die aktuelle Cursorposition geschrieben (nur im Assembler-Routinen).
* 27,25 oder * 27,75	<u>Löschen bis Ende der Zeile</u> (Cursor bleibt auf der jetzigen Position) Beispiel: PRINT CHR\$ (27) + CHR\$ (25)
* 27,26 oder * 27,67	<u>Cursor um eine Stelle nach rechts</u>
27,28	<u>Zeichen von aktueller Cursorposition lesen</u> Das Zeichen an der aktuellen Cursorposition wird nach Register < E > gebracht. Die Cursorposition wird um 1 nach rechts geschoben. Wenn die letzte Zeile, letzte Position erreicht wird, bleibt die Cursorposition unverändert.
27,29,n,x	<u>n mal Zeichen "x" schreiben</u> Beispiel: PRINT CHR\$ (27) + CHR\$ (29) + CHR\$ (10) + "a" = 10 x "a" schreiben
* 27,49	<u>Graphik-Mode einschalten</u>
* 27,50	<u>Graphik-Mode ausschalten</u>

Sequenz	Bedeutung
* 27,65	<u>Cursor um eine Zeile nach oben stellen</u>
* 27,66	<u>Cursor um eine Zeile nach unten stellen</u>
27,26 oder * 27,67	<u>Cursor um eine Stelle nach rechts</u>
* 27,68	<u>Cursor um eine Stelle nach links</u>
* 27,69	<u>Bildschirm löschen, Cursor wird auf Zeile 1, Position 1 gestellt</u>
* 27,70	<u>Zeile löschen</u> Die Zeile, in welcher sich der Cursor befindet, wird gelöscht. Der Cursor bleibt auf seiner Position.
* 27,71,xx	<u>Das Zeichen an der augenblicklichen Cursor-Position wird gelöscht, der Rest der Zeile bis zur Position xx wird um eine Stelle nach links geschoben und an der Position xx eine Leerstelle eingefügt.</u> Beispiel: START 1 wird TART 1 xx nn
27,24	<u>Zeichen an augenblicklicher Cursorposition schreiben</u> Das Zeichen in Register < E > wird an der augenblicklichen Cursorposition geschrieben. Die Übergabe erfolgt, wenn die Routine CD mit 19H in Register < C > aufgerufen wird. Das in < E > stehende Zeichen wird dabei nicht als Steuerzeichen ausgewertet. Ist die letzte Position auf dem Bildschirm erreicht, wird die Cursorposition nicht weitergeschaltet.
* 27,73,xx	<u>An der augenblicklichen Cursorposition wird eine Leerstelle eingeschoben, und alle Zeichen bis zur Position xx werden um eine Stelle nach rechts verschoben. Das letzte Zeichen (an Position xx) wird gelöscht.</u> Beispiel: START 1 wird START xx xx
* 27,74	<u>Bildschirm ab Cursorposition löschen</u>
27,25	<u>Löschen bis Ende der Zeile</u> (Cursor bleibt auf der jetzigen Position) Beispiel: PRINT CHR\$ (27) + CHR\$ (25)

Systemhandbuch Anhang 3

Setzen verschiedener CURSOR-Attribute

Durch Umprogrammieren des CRT-Controllers lassen sich andere Cursor-Attribute erreichen.

```

Cursor an           OUT &H50,&H0C OUT &H51,&H40
Cursor aus         OUT &H50,&H0C OUT &H51,&H08
Viereck           OUT &H50,&HA: OUT &H51,&H0
Viereck schnell blinkend  OUT &H50,&HA: OUT &H51,&H40
Viereck langsam blinkend  OUT &H50,&HA: OUT &H51,&H60
Strick schnell blinkend  OUT &H50,&HA: OUT &H51,&H49
Strick langsam blinkend  OUT &H50,&HA: OUT &H51,&H69

```



HINWEIS:

Die Sondertasten des PC liefern unter CP/M einen anderen Code als z.B. bei Verwendung im Rom-Pack.

Die folgende Aufstellung gibt die entsprechenden Codes an:

Taste	Code unter CP/M	Prom-Pack
F1	85	81
F2	86	82
F3	87	83
F4	88	84
F5	8A	85
F6	8C	86
S F1	90	87
S F2	91	88
S F3	92	89
S F4	93	8A
S F5	94	8B
S F6	80	8C
-->	82	1C
<--	8	1D
ESC	1B	1B
S -->	EF	EF
S <--	EE	EE
BREAK	03	03
GRAPH	DF	DF
CLR	8F	0B
S CLR	0C	0C
DEL	96	7F
S DEL	0C	0C
↓	8B	1F
↑	89	1E
S ↓	EC	EC
S ↑	ED	ED

Anmerkung:

S F1 bedeutet: SHIFT und F1

INHALTSVERZEICHNIS

- 1 alphontronic PC
- 2 Minifloppy-Controller
- 3 Minifloppy-Laufwerk PC

INHALTSVERZEICHNIS

- 1 alphontronic PC
- 1.1 PC - Konfiguration
- 1.2 Speicherorganisation
- 1.3 Monitorprogramm
- 1.4 RESET - Logik
- 1.5 System-Control-Signal
- 1.6 Der DMA - Controller
- 1.7 Der Interrupt - Controller
- 1.8 Speicherzuordnung
- 1.9 Dynamische RAMs
- 1.9.1 Refresh - Steuerung
- 1.10 Tastatur - Logik
- 1.10.1 Aufbau der Tastatur
- 1.11 Serielle Schnittstelle (RS 232 C)
- 1.11.1 Baudrate - Generator
- 1.12 Parallel - Schnittstelle
- 1.13 Kassettenrecorder - Schnittstelle
- 1.13.1 Technischer Ablauf (Kassettenrecorder)
- 1.13.2 Lesen von Kassette
- 1.13.3 Pin - Belegung der Kassettenrecorder-Schnittstelle
- 1.14 Bildschirmsteuerung
- 1.14.1 CRT - Controller
- 1.14.2 Ansteuerung von Video- bzw. Attribut - RAM
- 1.14.3 Der Zeichengenerator
- 1.14.4 Der Taktgenerator
- 1.14.5 BAS - Ausgang
- 1.14.6 RGB - Ausgang
- 1.14.7 Steckerbelegung RGB
- 1.15 I/O Schnittstelle
- 1.15.1 Steckerbelegung I/O - Schnittstelle
- 1.16 DIP - Schalter - Funktion
- 1.17 ROM - Back - Schnittstelle
- 1.18 Liste der I/O - Adressen
- 1.19 Das Netzteil des PC
- 1.20 Schaltungsunterlagen PC

- 2 Der Floppy - Controller
 - 2.1 FDC / uPD - 765 A (LSI-Baustein)
 - 2.2 SED - 9420 C (Datenseparator)
 - 2.3 Blockschaltbild - Floppy - Controller
 - 2.4 Schaltungsunterlagen - Floppy - Controller

- 3 Das Minifloppy - Laufwerk
 - 3.1 Beschreibung der Testpunkte
 - 3.2 Einstellvorschrift
 - 3.3 Bestückungs- und Schaltungsunterlagen

1.1 PC-Konfiguration

Zentraleinheit:

- Z 80, 4 MHz
- integriertes Netzteil

Anwenderspeicher:

- 64 KB - RAM, frei verfügbar
- zusätzlich 32 KB - ROM (davon 24 KB BASIC-INTERPRETER)

Kassetten-Steckmodul:

- für Spiele und Lern-Software

Schnittstellen:

- Kansas City I/O für Kassetten-Recorder
- Centronics für Drucker
- RS 232 C
- BUS I/O für Floppy-Disk (oder spätere mögliche Erweiterungen)

Tastatur:

- alphanumerische Tastatur nach DIN 2137

Bildschirm:

- Bildschirmsteuerung durch CRT-Controller
- variables Bildschirmformat: 80x24
80x16
40x24
40x16

Bildschirm-Möglichkeiten:

- s/w Monitor
- Farb-Monitor (RGB-Ausgang)
- Fernsehgerät über HF-Modulator

Floppy-Disk:

- Anschluß von zwei 5¹/₄ " Laufwerken
- Kapazität pro Disk: 320 KB

Besondere Merkmale:

- CP/M-fähig mit Floppy-Disk-Einheit
- Semi-Grafik: - Monitor 160x72
- Fernsehgerät 80x70
- 8 Farben: jeweils 8 Vorder- und 8 Hintergrundfarben
- Microsoft-Interpreter V3.01

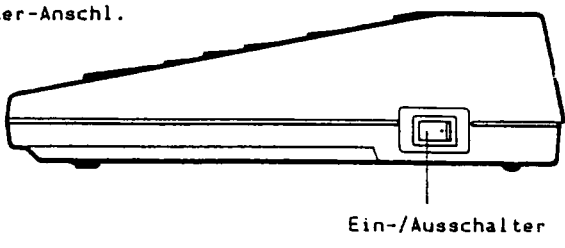
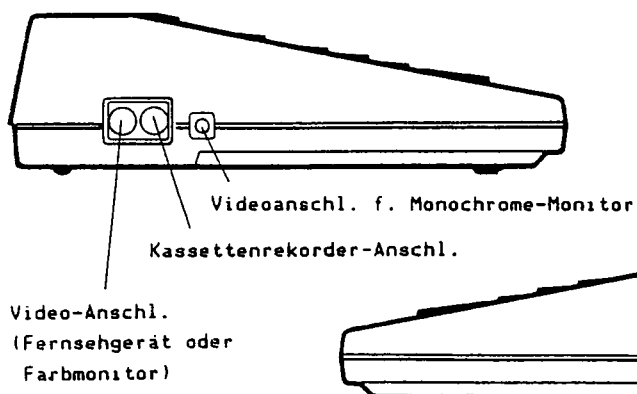
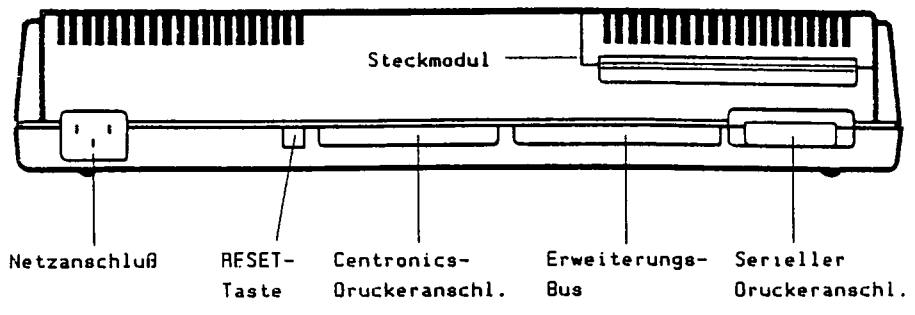
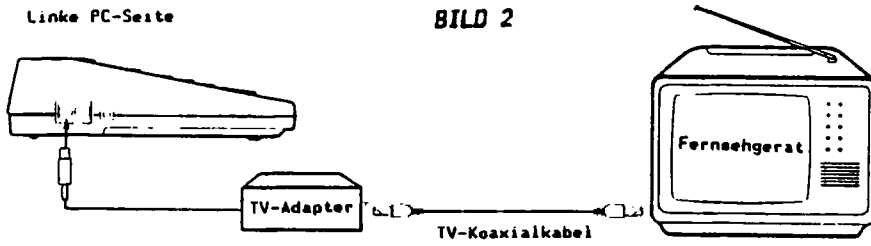


BILD 1

Linke PC-Seite

BILD 2



Linke PC-Seite

BILD 3

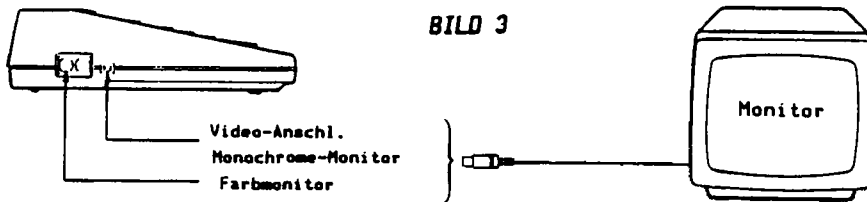


BILD 4

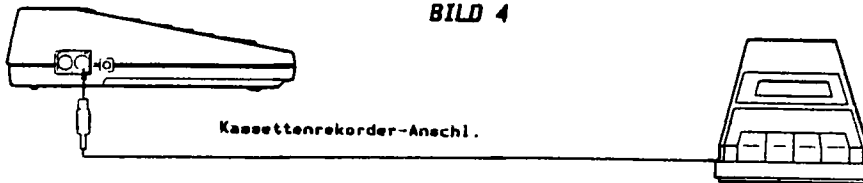
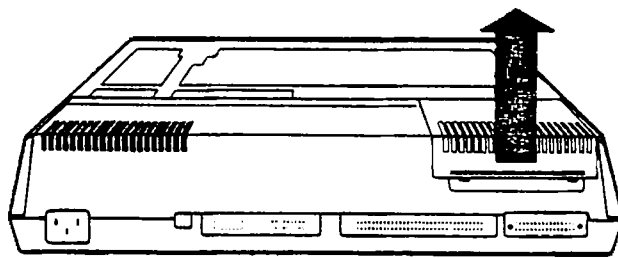
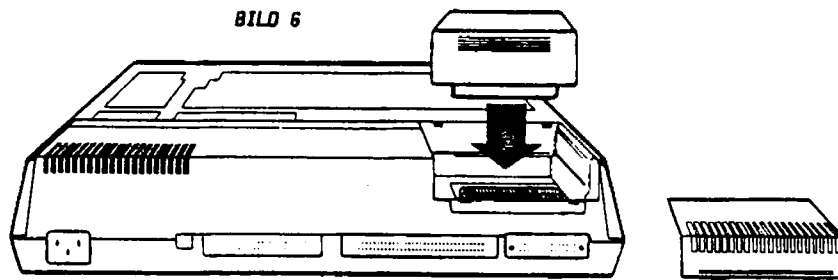


BILD 5



Steckmodul: Die Abdeckkappe wird in Pfeilrichtung abgezogen.

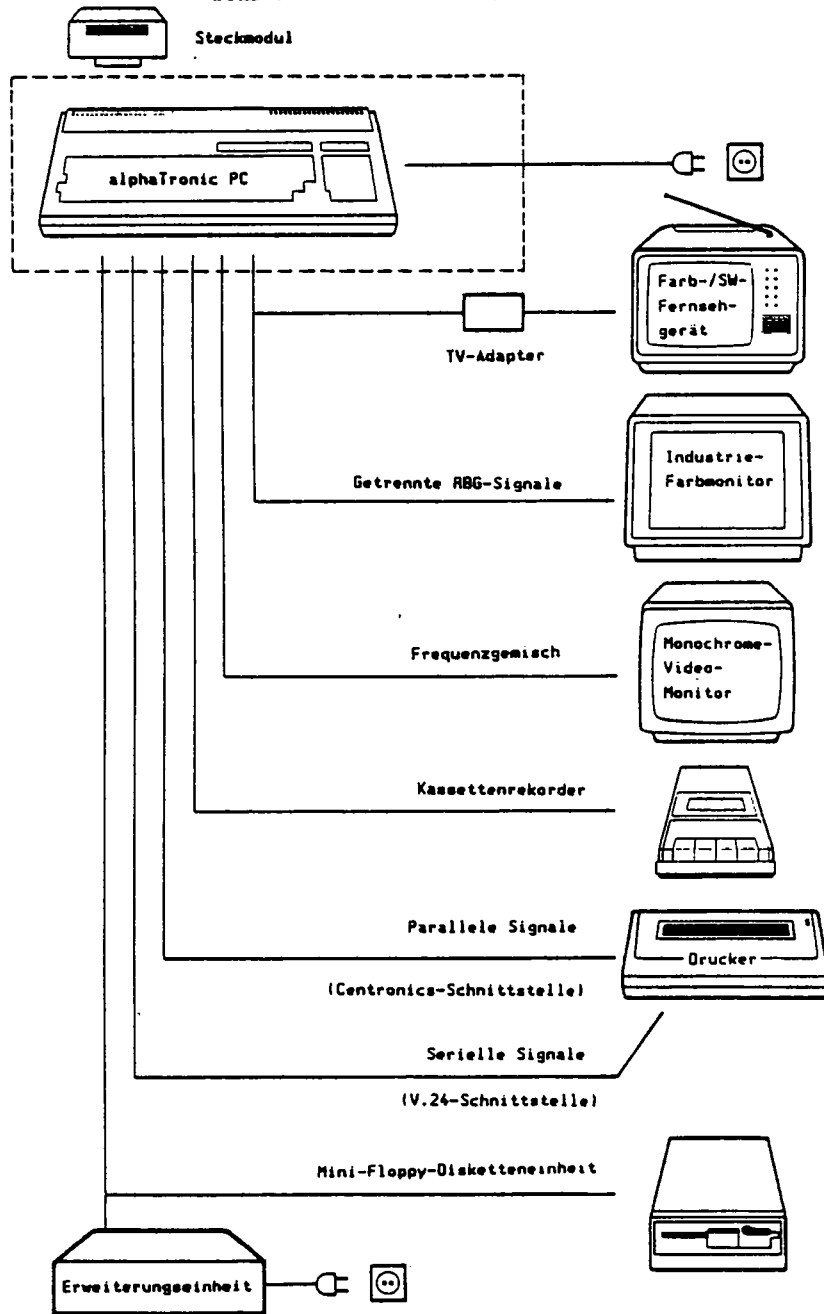
BILD 6



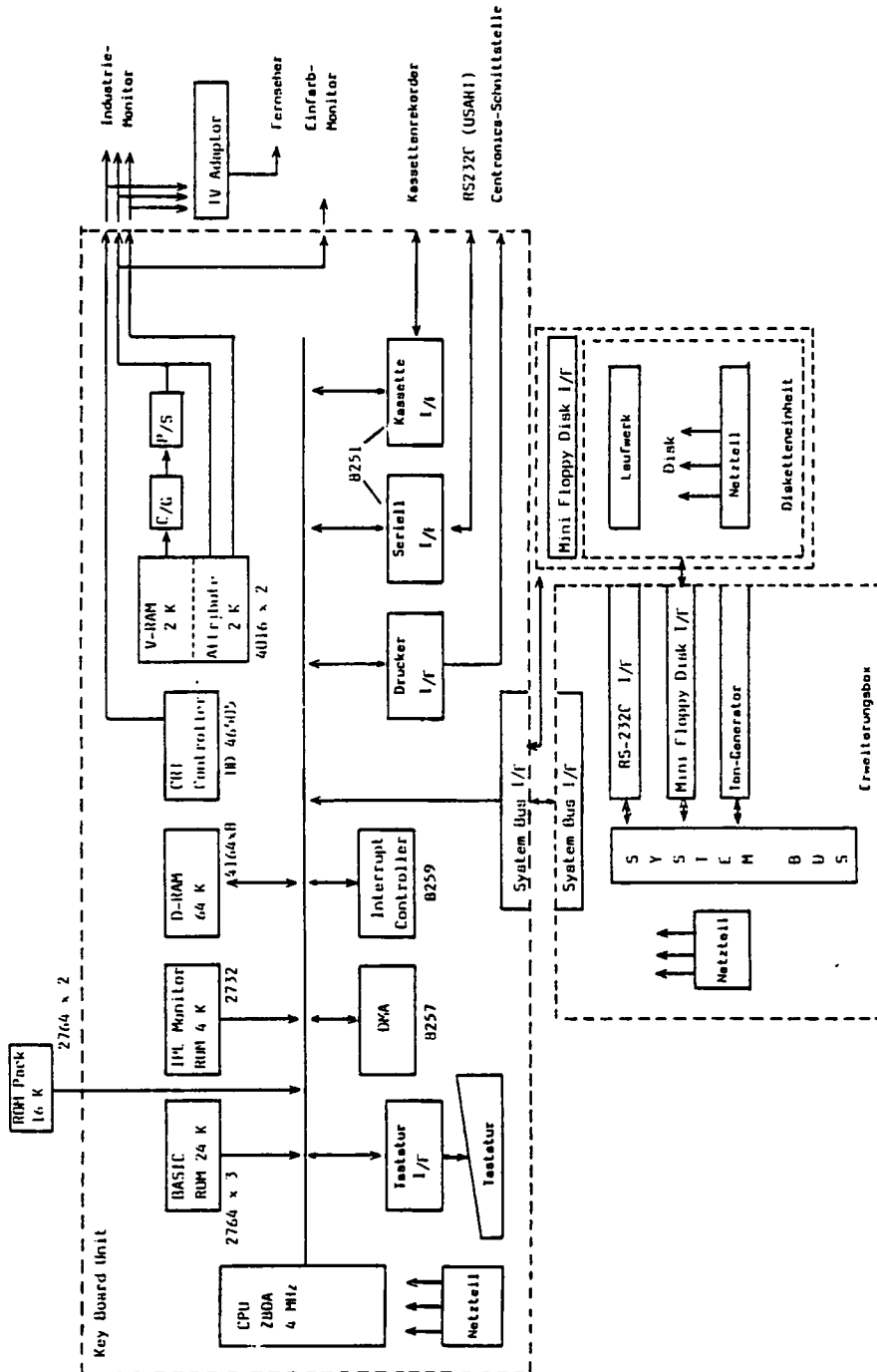
Einführen des Steckmoduls

Nach Einführen des Steckmoduls ist für den Programmladevorgang die RESET-Taste an der Rückseite des PC zu betätigen.

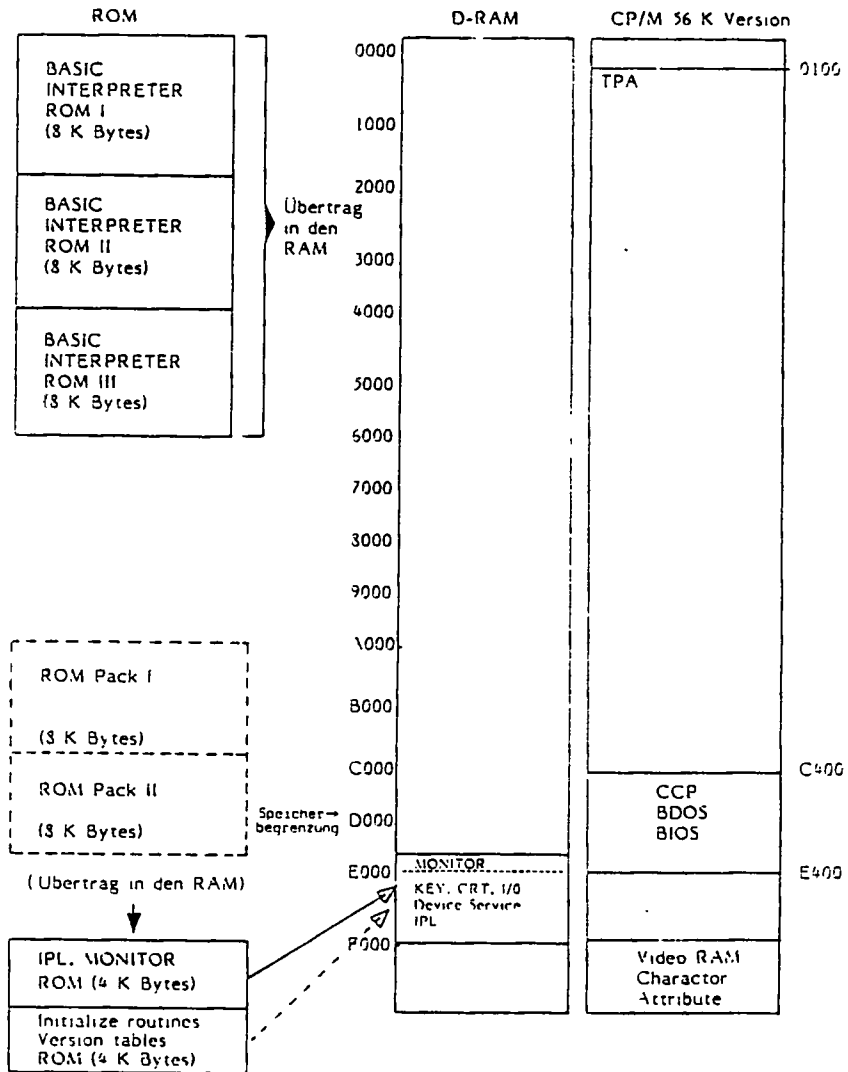
BILD 7 Erläuterung des PC-Systems



Systemkonfiguration:



1.2 Speicherorganisation



1.3 Monitorprogramm

Stellen Sie die Bildschirmbreite auf 80 Zeichen je Zeile ein, bevor Sie das Monitorprogramm aufrufen. Dafür steht Ihnen das WIDTH-Kommando zur Verfügung.

Der Aufruf des Monitorprogramms geschieht folgendermaßen:

MON RETURN-Taste

Das Monitorprogramm meldet sich auf dem Bildschirm mit der Frage "Memory area?". Als Antwort erwartet er die höchste Speicheradresse, die benutzt werden darf. Falls Sie keine Speicherbegrenzung wünschen, betätigen Sie einfach die RETURN-Taste.

* MONITOR * (V.1.2.) June 1983

Memory area? RETURN-Taste

Das * - Zeichen sagt Ihnen, daß das Monitorprogramm bereit ist, Befehle entgegen zu nehmen.

Befehlsvorrat des Monitorprogramms

Im Monitor gibt es fünf Befehlsarten:

Befehl	Bedeutung
D	Speicherinhalte ausgeben
G	Sprunganweisung
C	Speicherinhalte ändern
M	Speicherinhalte verschieben
R	Registerinhalte ausgeben
E	Rückkehr in den BASIC-Interpreter

Speicherinhalte ausgeben (D)

Dieses Kommando wird benötigt, um Speicherinhalte in hexadezimaler Form anzuzeigen. Die D-Anweisung hat folgendes Format:

D	xxxx , yyyy	RETURN-Taste
	xxxx	Anfangsadr. (hexadezimal)
	yyyy	Endadr. (hexadezimal)

Beispiel:

* D C000, C00F RETURN-Taste

Sprunganweisung (G)

Die Sprunganweisung hat folgendes Format:

```
G xxxx      RETURN-Taste
  xxxx ..... Sprungadr. (hexadezimal)
```

Nach Betätigen der RETURN-Taste wird ein Sprung an die Stelle xxxx des Arbeitsspeichers durchgeführt.

Speicherinhalte ändern (C)

Die C-Anweisung hat folgendes Format:

```
C xxxx      RETURN-Taste
  xxxx ..... Speicheradr.
```

Beispiel:

```
* C BF01
  BF01 00 -
*
```

Nach Betätigen der RETURN-Taste wird der Inhalt der Speicherzelle BF01 angezeigt. Soll der Speicherinhalt geändert werden, so müssen zwei Hexadezimalziffern eingegeben werden (00-FF). Durch Drücken der Leertaste wird die Eingabe abgeschlossen. Der Inhalt der nächsten Speicherzelle wird angezeigt. Beendet wird die C-Anweisung durch Eingabe eines Zeichens, das weder 0-9, noch A-F noch Leertaste ist.

Speicherinhalte verschieben (M)

Die M-Anweisung hat folgendes Format:

```
M ssss , eeee , nnnn      RETURN-Taste
  ssss ..... Anfangsadr. des Speicherbereichs
  eeee ..... Endadr. des Speicherbereichs
  nnnn ..... Zieladr.
```

Beispiel:

```
* E000, E0FF, C000  RETURN Taste
  completed
*
```

Registerinhalte ausgeben (R)

Die R-Anweisung hat folgendes Format:

```
R
```

Beispiel:

```
* R
  PC  B  C  D  E  H  L  A  F  I  IX  IY
  0000 00 00 00 00 00 00 00 00 00 0000 0000
```

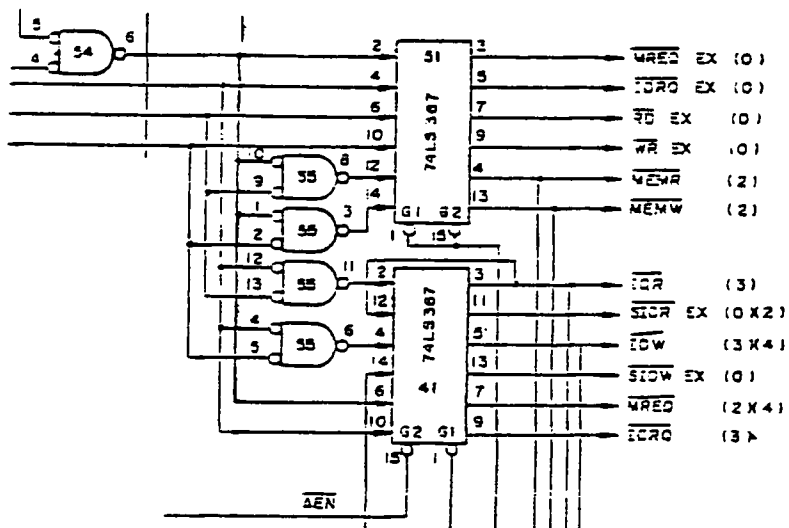
Die hier angezeigten Register mit ihren Inhalten sind die aktiven Register. Die inaktiven Register des Z 80 werden nicht angezeigt.

1.5 System-Control-Signal

Die Erzeugung der Control-Signale erfolgt über die beiden IC (51 und 41).

Folgende Signale stehen zur Verfügung:

- MREQEX - = Memory-Request-Signal
- IOREQEX - = Input-Output-Request-Signal
- RDEX - = Read-Data-Signal-Extern
- WDEX - = Write-Data-Signal-Extern
- MEMR - = Memory-Read
- MEMW - = Memory-Write
- IOR - = I/O-Read
- IOW - = I/O-Write
- SIOREX - = Read Data vom I/O BUS
- SIOWEX - = Write Data zum I/O BUS
- MREQ - = Memory-Request
- IORQ - = I/O-Request



1.6 Der DMA - Controller

Der in der alphasonic PC eingesetzte μ PDM 8257 (IC 102) ist ein 4-Kanal Controller für direkten Speicherzugriff. Er vereinfacht die Datenübertragung bei hoher Geschwindigkeit für das Z80 CPU-System. Seine vorrangige Funktion besteht darin, bei einem Peripherie-Request (in alphasonic PC: der FDU) eine sequentielle Speicheradresse zu generieren, die der Peripherie ermöglicht, Daten direkt aus dem oder in den Speicher zu lesen oder zu schreiben. Dies erfolgt über die Hold-Funktion des Z80: Der M8257 besitzt eine Priority-Logik, die die Peripherie-Requests auflöst und auf der anderen Seite ein Hold-Request zum Z80 ausführt.

Die bereits in Sektion III beschriebene I/O Geräte-Adresse beträgt 6xH. Die Register des DMA-Kanals 2 werden von der externen Floppy-Disk-Einheit benötigt.

Das -CS-Signal wird ausgelöst vom -57SEL-Signal. Der Z80 Hold-Status erfolgt über -BUSAK- von Z80 bis Hold des DMA und HRQ des DMA bis Z80 -BUSRQ-Signal. Das 16-Bit-Register des Kanals 2 beinhaltet die Ladeadresse des Speichers, in der alphasonic PC ist das die Adresse C200, die Daten von oder zu der FD-Einheit überträgt.

1.7 Der Interrupt Controller PIC μ PD 8259

Der μ PD 8259 programmierbare Interrupt Controller bedient bis zu acht Vectored-Priority-Interrupts für die CPU. Er ist ausbaufähig bis zu 64 Vectored-Priority-Interrupts ohne zusätzliche Schaltung. Die μ PD 8259 Schaltung ist statisch und benötigt kein Clock-Input.

Der μ PD 8259 wird von der Monitor-Software initialisiert. Die I/O-Geräte-Adresse beträgt 7XH, um den Modus und die Interrupt-Vector-Adresse zu bestimmen. Für jedes Interrupt ist das Call-Address-Intervall von 4 bestimmt, das bedeutet, für jeden Vector stehen 4 Bytes zur Verfügung. Der Vector-Adreßbereich beginnt bei EF00; es werden $8 \times 4 = 32$ Bytes benötigt.

In der alphasonic PC wird kein Interrupt-Vector verwendet. Falls Sie den PIC verwenden möchten, muß der Inhalt im Vector-Adreßbereich geändert werden. Um die Funktion des PIC μ PD 8259 zu überprüfen, gehen Sie mit dem Monitor-Befehl in die folgende Routine:

```
* c E700 (interrupt level 0)
  3E 20 DB 70 CB
* c 8000 (Programmbeginn)
  3E FE D3 71 FB 76
```

Die Memonic lautet:

```
ORG EF00           ORG 8000
LD A, 20           LD A, FE; Contents Mask Reset
IN 70              OUT 71 ; Contents zum 8259
RET                EI    ; Enable Interrupt
                   HALT  ; Z80 Hold
```

1.8 Speicherzuordnung

Die Speicherzuordnung sieht wie folgt aus:

	<u>Adresse</u>
ROM-BASIC-Interpreter BASIC I	0000 - 1FFF H
BASIC II	2000 - 3FFF H
BASIC II	4000 - 5FFF H
MONITOR-ROM	F000 - FFFF H
ROM-BACK I	A000 - BFFF H
ROM-BACK II	C000 - DFFF H
Dynamische RAMs	0000 - FFFF H
Video u. Attribut-RAM	F000 - FFFF H

Über den Memory Decoder IC 34 (74LS13) erfolgt die Selectierung der einzelnen ROMs.

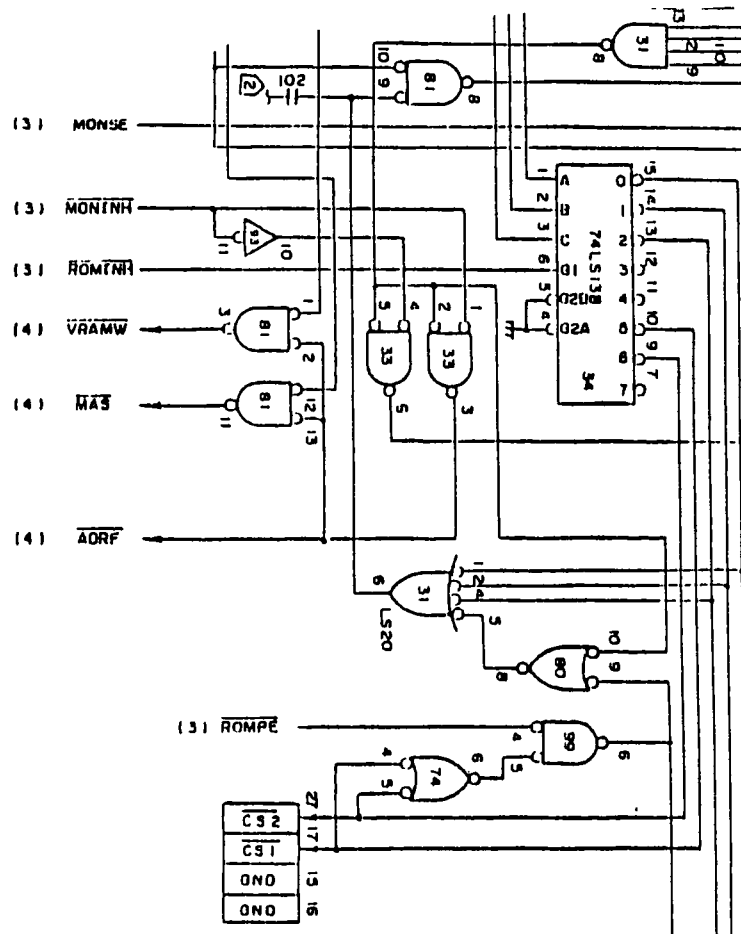
Der Speicherbereich von F000 - FFFF wird belegt vom Monitor-ROM oder vom Video-RAM.

Welches jetzt aktiv ist, ist abhängig von dem Signal MONINH (Monitor - Inhibit).

High Level : Monitor ROM selected

Low Level : Video RAM selected

Die Selectierung für ROM-BACK I und ROM-BACK II erfolgt über IC 34 (Pin 10 und 9). Über das Signal -ROMPE- (ROM-BACK-ENABLE) erfolgt die Lesefreigabe für den IC-Baustein (IC 16).



1.9 Dynamische RAMs

Wie das Schaltbild zeigt, besteht die Speicherlogik aus 8 dyn. RAM-Bausteinen vom Typ 4164.

Die 16 Bit breite Adresse wird über die beiden Multiplexer IC 68 und IC 69 (74 LS 157) gemultiplext. Die Adressierung der 8 RAM-Bausteine erfolgt durch die gemultiplexten Adressen.

Die Datenausgabe von den RAM-Bausteinen zum alphasatronic-BUS erfolgt über den Transceiver-Baustein IC 70 (74 LS 245). Das Signal - MEMR - liefert die Freigabe.

1.9.1 Refresh - Steuerung (- RFSH - / - MREQ -)

Das Ausgangssignal - RFSH -, das low-aktiv ist, zeigt an, daß die unteren 7 Bits des Adreßbusses eine Refresh-Adresse für dynamische Speicher beinhaltet.

Das Signal - MREQ - wird benutzt, um ein Refresh-Lesen aller dynamischer Speicher durchzuführen.

1.10 Tastatur - Logik

Der alphanetronic PC besitzt als Eingabe eine mechanische Tastatur. Die Tastatur ist über ein Kabel mit der Logik-Platte verbunden. Folgende Leitungen stellen die entsprechenden Verbindungen her:

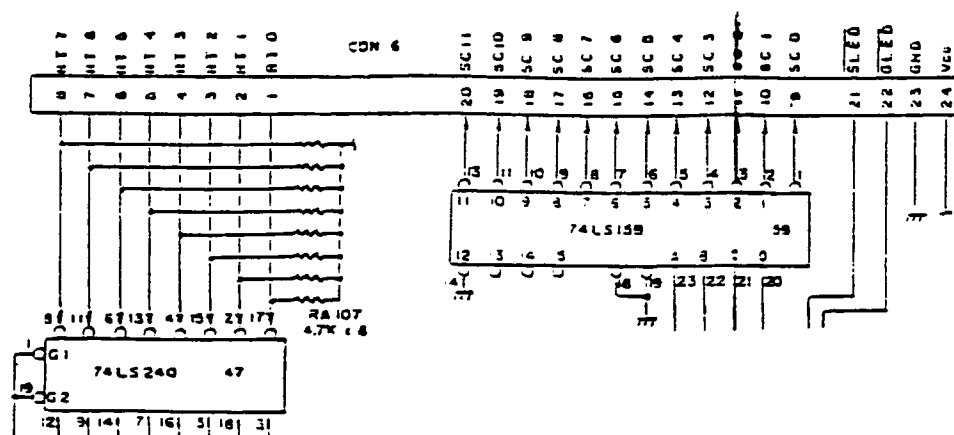
SC 0	RT 0	- SLED -
SC 1	RT 1	- GLED -
SC 2	RT 2	
SC 3	RT 3	
SC 4	RT 4	GND
SC 5	RT 5	VCC
SC 6	RT 6	
SC 7	RT 7	
SC 8		
SC 9		
SC 10		
SC 11		

1.10.1 Aufbau der Tastatur

Das Tastenfeld der alphanetronic ist eine Schaltermatrix und besteht aus 12 Reihen und 8 Spalten. Daraus ergibt sich die maximale Anzahl von 96 Tasten. Wird eine Taste gedrückt, stellt das Tastenelement eine Verbindung zwischen einer Reihe und Spalte her.

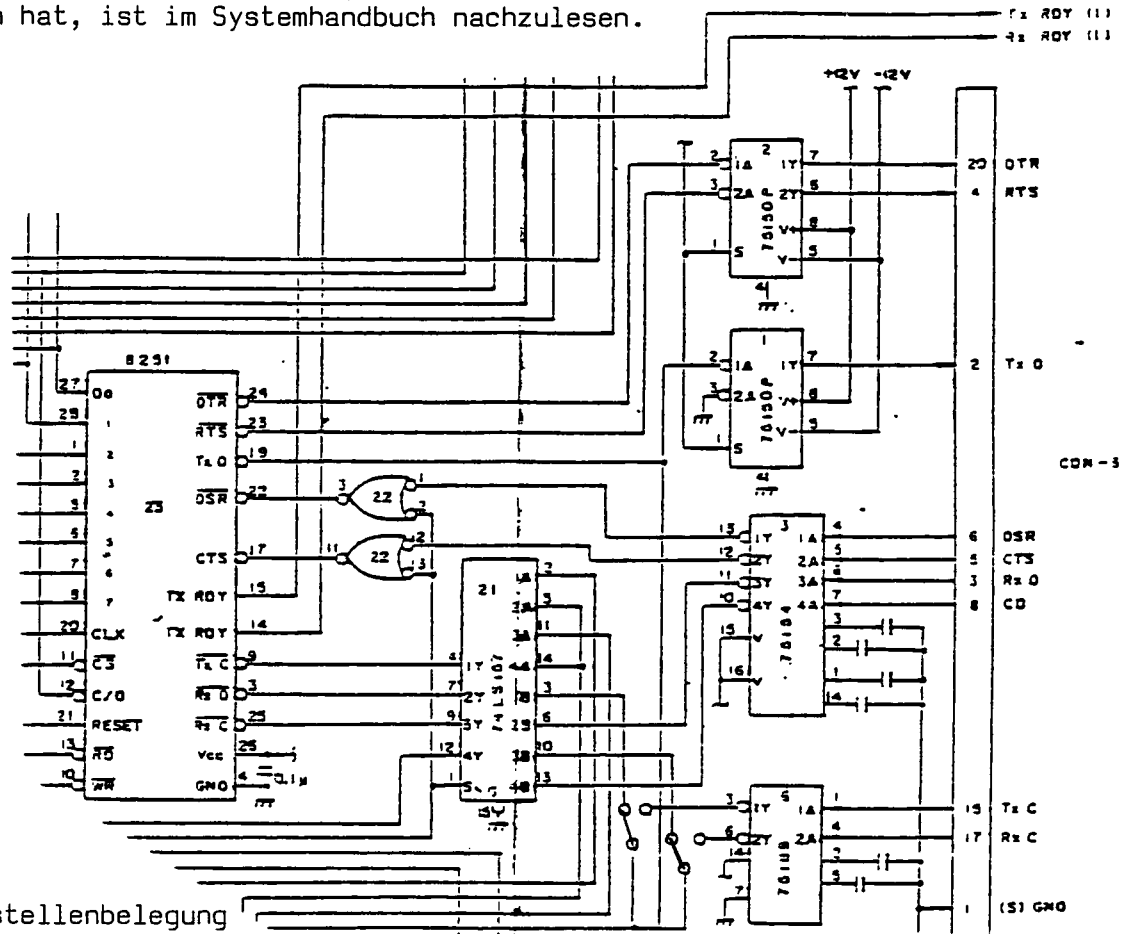
Die Abfrage, ob eine Taste gedrückt wurde, erfolgt über den IC-Baustein 59 (74 LS 159). Die Abfragezeit (scan-time) beträgt 10 msec.

Das Einlesen des Tastatur-Status erfolgt über den IC-Baustein 47 (74 LS 240). Siehe Zeichnung 1.



1.11 Serielle Schnittstelle (RS 232 C)

Die serielle Schnittstelle ist durch den Baustein 8251 A realisiert. Die Übertragung geschieht seriell mit der eingestellten Baudrate von 4800 Baud, 8 Bits, 1 Start-, 2 Stopbits und no Parity. Der USART-Baustein 8251 A ist aber frei programmierbar und kann vom Anwender programmiert werden. Wie dieses zu erfolgen hat, ist im Systemhandbuch nachzulesen.

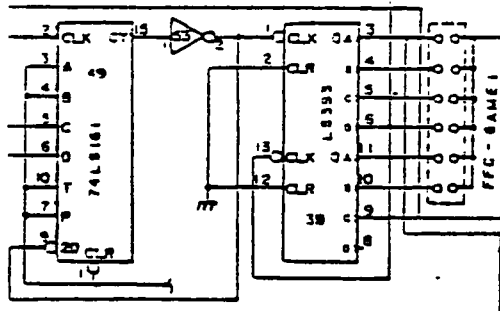


Schnittstellenbelegung

Pin	Signal	Bedeutung
1		Nicht belegt
2	TXD	Transmitted Data
3	RxD	Received Data
4	RTS	Request to Send
5	CTS	Clear to Send
6	DSR	Data Set Ready
7	GND	Signal Ground
8	DCD	Data Carrier Detect
9-14	NC	Nicht belegt
15	TxC	Transmitted Clock
16	NC	Nicht belegt
17	RxC	Receiver Clock
18-19	NC	Nicht belegt
20	DTR	Data Terminal Ready
21-25	NC	Nicht belegt

1.11.1 Baudrate - Generator

Die Software kann nur in bestimmten Grenzen (d.h. durch Programmierung des USART) den 8251 A beeinflussen. Um aber jetzt in weiteren Grenzen einzustellen, ist es möglich, über Steckbrücken die Baud-Rate zu verändern. Die Baudrate für den USART kann dann von 300 Baud bis 9600 Baud eingestellt werden.



IC 39 / Pin 10	=	300 Baud
IC 39 / Pin 11	=	600 Baud
IC 39 / Pin 6	=	1200 Baud
IC 39 / Pin 5	=	2400 Baud
IC 39 / Pin 4	=	4800 Baud
IC 39 / Pin 3	=	9600 Baud

Die Baudrate ist auf 4800 Baud voreingestellt. Sie kann jedoch manuell verändert werden; vgl. Sie hierzu die folgende Skizze:

	1	2	3	4	5	6	Baud
							1) 9600
							2) 4800
							3) 2400
							4) 1200
							5) 600
							6) 300

Rangier-Steckverbinder

1.12 Parallel - Schnittstelle

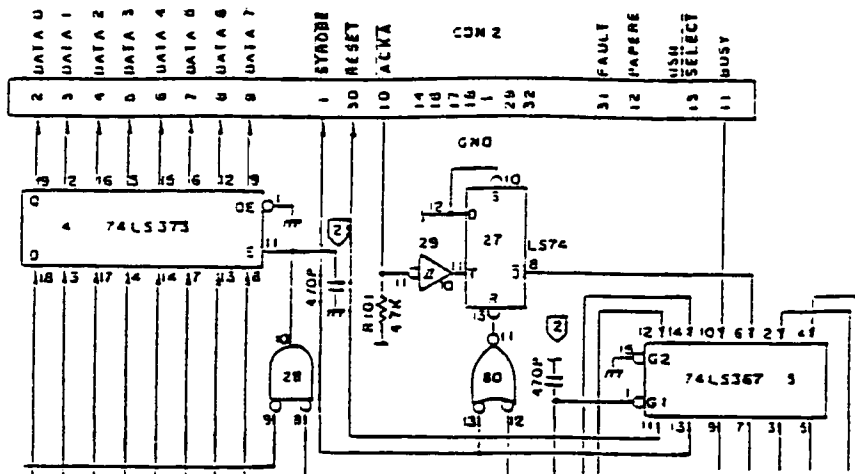
Nachstehend wird die Parallel-Schnittstelle vom Typ Centronics beschrieben, da der alphasonic PC auch über diese Schnittstelle verfügt. Die Ausgangssignale liegen an einem (34-poligen) Stecker an, der sich auf der hinteren Seite des PC befindet. Um den PC mit einem Drucker zu verbinden, ist ein Spezialkabel erforderlich.

Über den IC-Baustein 4 (74 LS 373) werden die parallelen Daten (DATA 0 bis DATA 7) ausgegeben. Die Freigabe erfolgt an Pin 11 (Port-Adresse OUT 30H).

Das Senden- bzw. Empfangen der Steuersignale

- STROBE -
- ACK -
- BUSY -
- RESET -

erfolgt über IC-Baustein 5 (74 LS 367). Die Freigabe erfolgt an Pin 1 (Port-Adresse IN 30H).

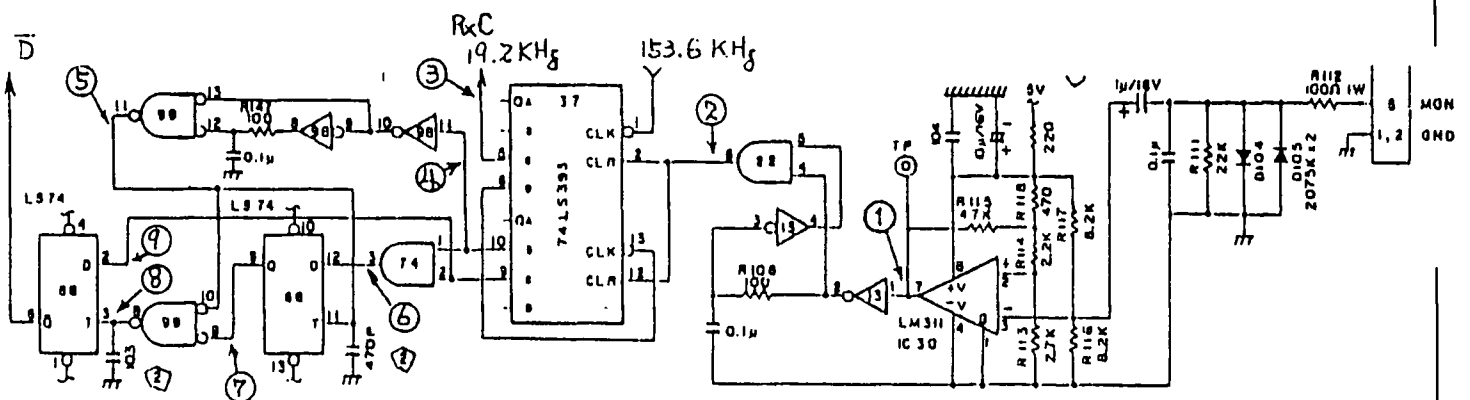
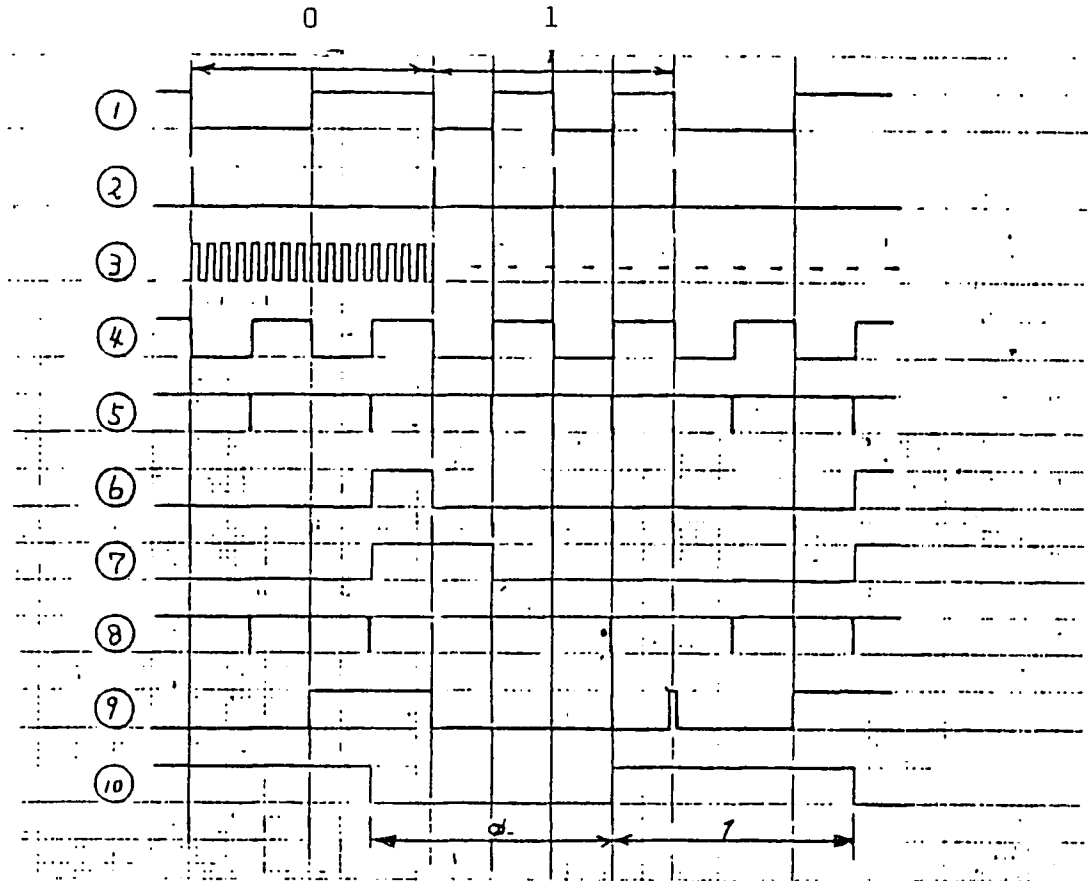


Ein-/Ausgabe-Signale

Nr.	Signal	Bedeutung	Richtung
1	STB	Freigabesignal für das Senden der Daten zum Drucker; negative Logik, TTL-Pegel	Ausgang
3	DATA-1	Die Signale <u>Data-1 bis DATA-8</u> enthalten Informationen über das jeweils 1. bis 8. Bit der parallel zu übertragenden Daten.: positive Logik, TTL-Pegel	Ausgang
5	DATA-2		Ausgang
7	DATA-3		Ausgang
9	DATA-4		Ausgang
11	DATA-5		Ausgang
13	DATA-6		Ausgang
15	DATA-7		Ausgang
17	DATA-8		Ausgang
19	ACK	Der Computer erhält das Quittungssignal vom Drucker: dieser hat Daten empfangen und ist erneut empfangsbereit. Negative Logik, TTL-Pegel	Eingang
21	BSY	Signal an PC vom Drucker Er ist empfangsbereit, sein Puffer ist leer. Negative Logik, TTL-Level	Eingang
23	NC	Nicht belegt	
25	NC	Nicht belegt	
27	GND	Masse	
29	NC	Nicht belegt	
31	GND	Masse	
33	NC	Nicht belegt	
2	GND	Masse	
4	GND	Masse	
6	GND	Masse	
8	GND	Masse	
10	GND	Masse	
12	GND	Masse	
14	GND	Masse	
16	GND	Masse	
18	GND	Masse	
20	GND	Masse	
22	GND	Masse	
24	GND	Masse	
26	Reset	Der PC leitet das System-RESET-Signal an den Drucker weiter. Negative Logik, TTL-Pegel	Ausgang
28	NC	Nicht belegt	
30	GND	Masse	
32	NC	Nicht belegt	
34	NC	Nicht belegt	

1.13.2 Lesen von Kassette

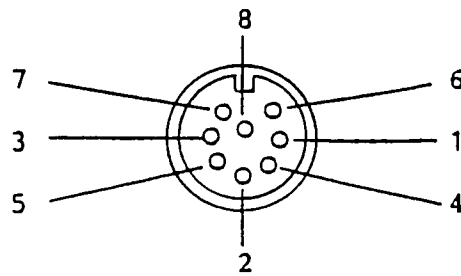
Das nachfolgende Timing-Diagramm zeigt die Demodulation des Lesesignals.



1.13.3 Pin - Belegung der Kassettenrecorder-Schnittstelle

Ein-/Ausgabe-Signale

Pin-Belegung



(von der Lötseite aus gesehen)

Nr.	Signal	Bedeutung	Richtung
1	REC	verbunden mit 4	
2	GND	Signal Ground (Masse)	Ausgang
3	MON	verbunden mit 5	
4	REC	Schreibsignal TTL-Pegel	Ausgang
5	MON	Lesesignal TTL-Pegel	Eingang
6	REM1	Fernsteuerung	Ausgang
7	REM2	Fernsteuerung	Ausgang
8	GND	Signal Ground	

1.14 Bildschirmsteuerung

Die Bildschirmsteuerung ist in folgende Funktionsgruppen unterteilt:

- CRT-Controller HD 4650 S
- Adreßerkennung, -auswahl und -modifikation
- Taktsignalgenerator
- BAS-Signal
- RGB-Signal
- Zeichengenerator
- Video-RAM und Attribut-RAM

1.14.1 CRT - Controller HD 4650 S

Die Steuerung des gesamten Zeitablaufs erfolgt durch den Controller-Chip HD 4650 S. Seine Control bzw. Adreßregister werden durch -ADR 0 adressiert (RS-Register Select) und über den Datenbus gelesen bzw. geschrieben. Über die Ausgänge MA 0 bis MA 10 erzeugt der Controller die interne Refreshadresse für Video-RAM und Attribut-RAM.

Die Ausgänge RA 0 bis RA 3 erzeugen die aktuelle Rasterzeilennummer für den Zeichengenerator.

Außerdem erzeugt der Controller alle Synchronsignale für das BAS-Signal (Bild-Austast-Synchron Signal) und das RGB-Signal.

Neben HSYNCH und VSYNCH erzeugt der Controller auch das Cursorsignal, welches das Videosignal während der Austastlücken unterdrückt.

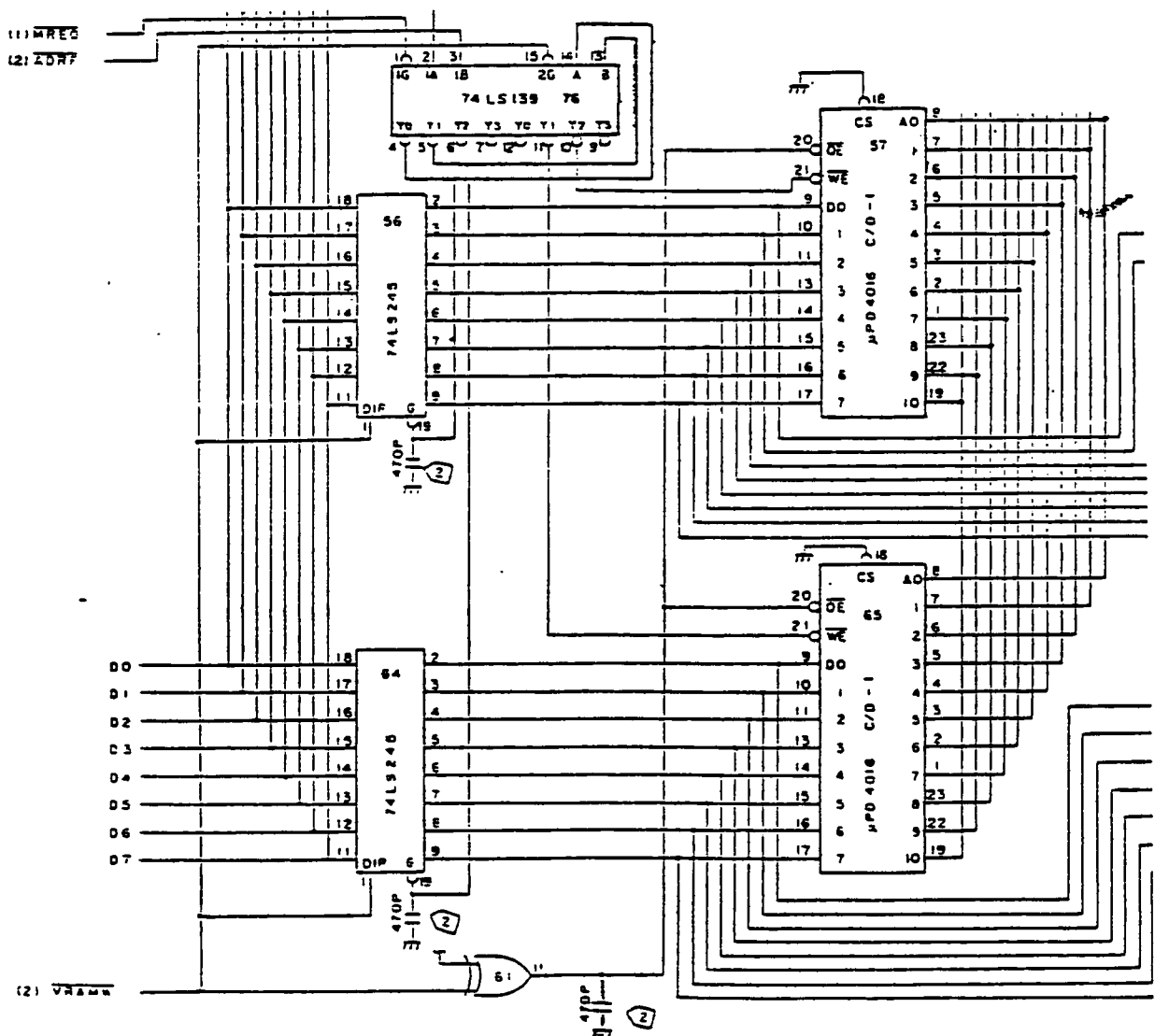
Über die Multiplexer IC 45, IC 44 und IC 43 (74 LS 157), erfolgt die Adressierung des Video- und Attribut-RAM.

1.14.2 Ansteuerung von Video- bzw. Attribut-RAM

Die Ansteuerung sieht wie folgt aus:

$$\overline{\text{MREQ}} \cdot \overline{\text{A11}} \cdot \overline{\text{ADRF}} \cdot \overline{\text{VRAMW}} = \text{WE (Video-RAM)}$$

$$\overline{\text{MREQ}} \cdot \overline{\text{A11}} \cdot \overline{\text{ADRF}} \cdot \overline{\text{VRAMW}} = \text{WE (Attr.-RAM)}$$



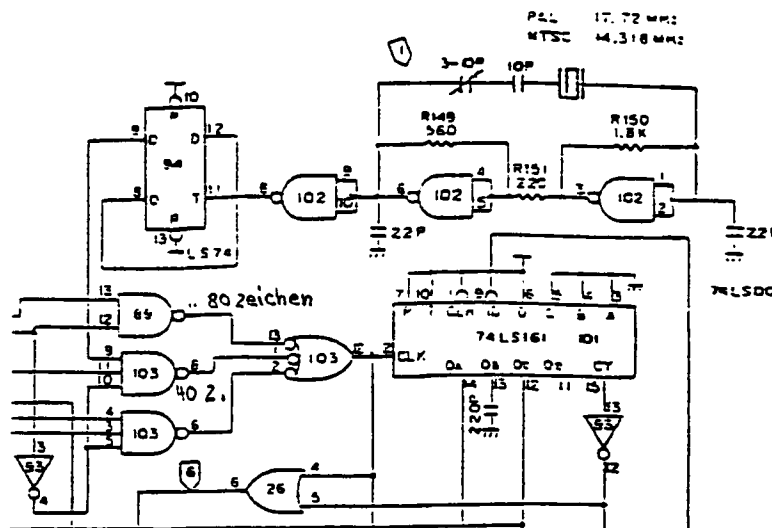
1.14.3 Der Zeichengenerator

Zusammen mit den 8 Bits des abzubildenden Zeichens und den 4 Bits (R0-R3) wird die Adresse für den Zeichengenerator gebildet.

1.14.4 Der Taktgenerator

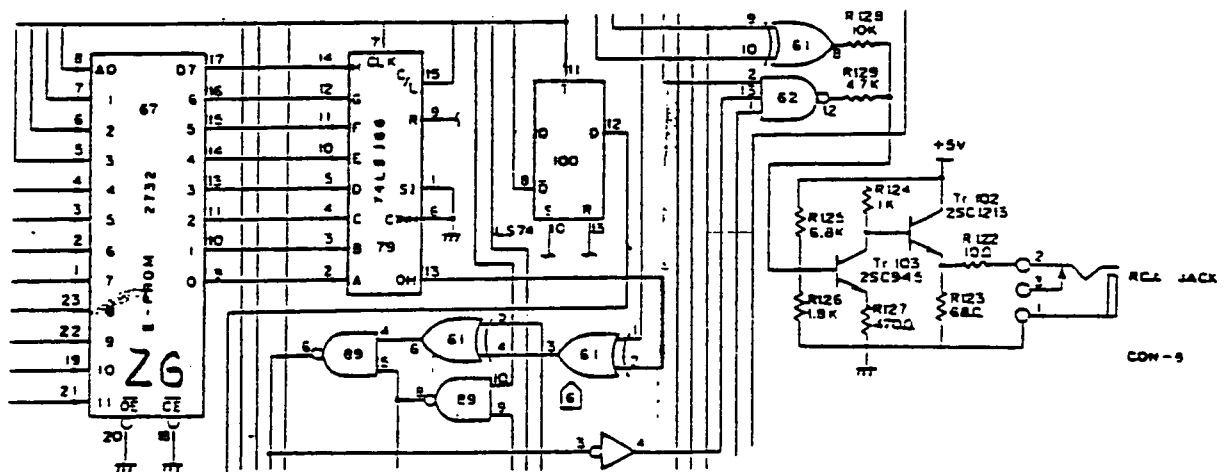
Der Quarzgenerator IC 102 erzeugt den Dot-Clock (PAL 17,72 MHz). Jedes Zeichen das dargestellt wird, ist 8 Dot-Clocks lang.

Ob jetzt mit 80 Zeichen je Zeile bzw. 40 Zeichen je Zeile gearbeitet wird, ist abhängig von IC 89 bzw. IC 103.



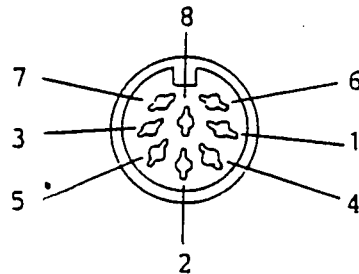
1.14.5 BAS - Ausgang

Das Zeichen, das am Ausgang des Schieberegister IC 79 (74 LS 166) am Pin 13 ansteht, wird über die ICs 61 und 89 in der BAS-Mischstufe mit dem HYSNCH und VSYNC verknüpft und über den Koaxstecker auf den Monitor ausgegeben.



1.14.7 Steckerbelegung RGB

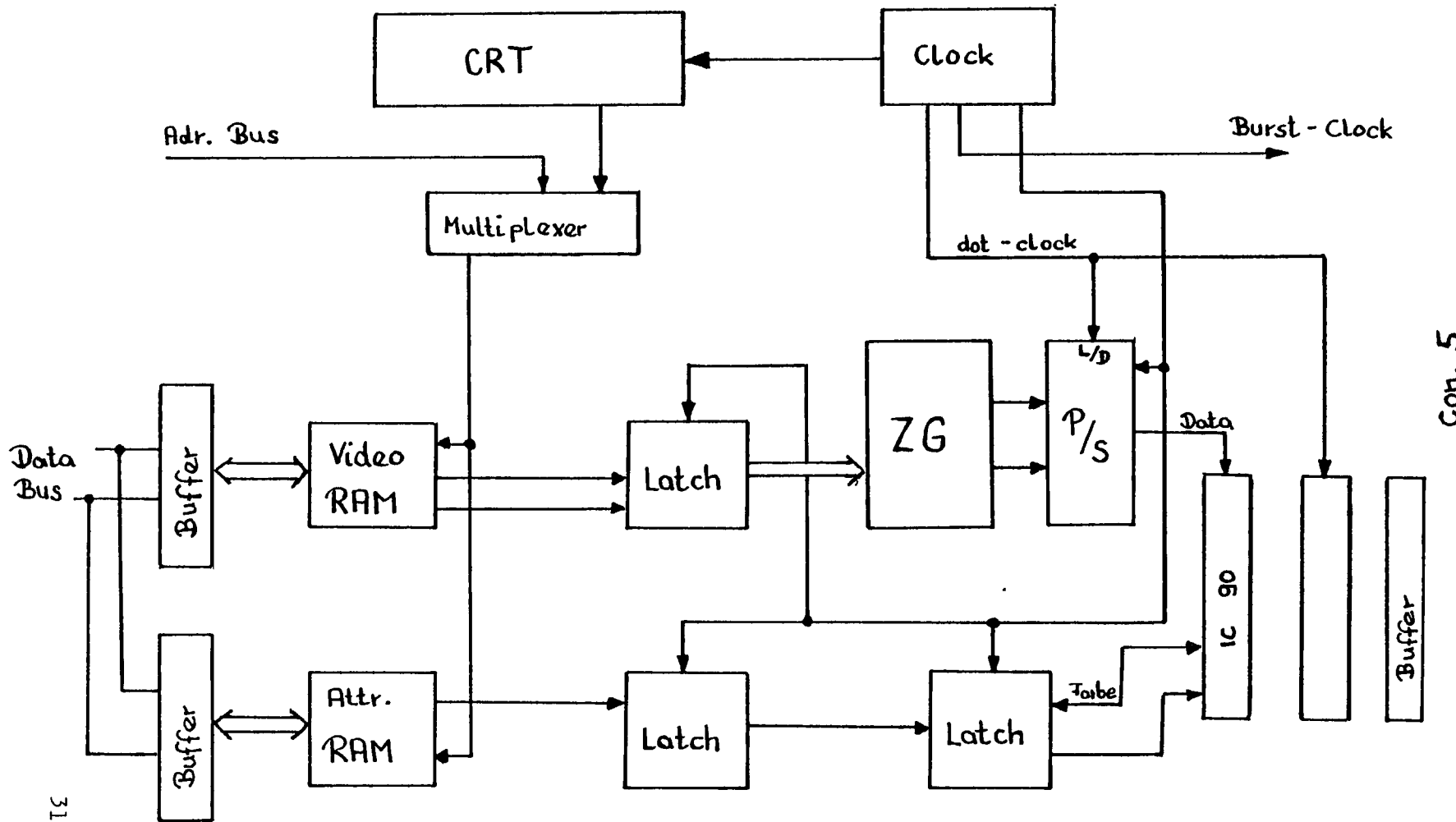
Nr.	Signal	Bedeutung	Richtung
1	VDD	+12V	Ausgang
2	GND	Signal-Masse	Ausgang
3	BSTCLK	Color burst clock	Ausgang
4	HSYNC	Horizontale Synchr.	Ausgang
5	VSYNC	Vertikale Synchr.	Ausgang
6	R	Videosignal (Rot)	Ausgang
7	G	Videosignal (Grün)	Ausgang
8	B	Videosignal (Blau)	Ausgang



(Von der Lötseite aus gesehen)

- (1) VDD : Spannungsversorgung für den TV-Adapter
- (2) GND : Signal Ground (Masse)
- (3) BSTCLK : Zwischenträger-Taktfrequenz, positive Logik, TTL-Pegel, PAL: 4,43362 MHz, NTSC: 3.57954 MHz
- (4) HSYNC : Horizontales Synchronisierungssignal, negative Logik, TTL-Pegel
- (5) VSYNC : Vertikales Synchronisierungssignal, negative Logik, TTL-Pegel
- (6) R : Video-Signal (ROT), positive Logik, TTL-Pegel
- (7) G : Video-Signal (Grün), positive Logik, TTL-Pegel
- (8) B : Video-Signal (Blau), positive Logik, TTL-Pegel

Block - Diagramm



31

1.15 I/O Schnittstelle

Eine besondere Schnittstelle bietet Erweiterungsmöglichkeiten, u.a. zum Anschluß einer Diskettenstation.

Die 50-polige Buchse für diese Schnittstelle befindet sich auf der Rückseite des PC. Zum Anschluß von Geräten an diese Schnittstelle benötigen Sie ein spezielles Kabel.

1.15.1 Steckerbelegung I/O Schnittstelle

1	GND	2	GND
3	D0	4	D1
5	D2	6	D3
7	D4	8	D5
9	D6	10	D7
11	-WAIT-	12	-RESET-
13	-CCLK-	14	-DCLK-
15	-SIOW-	16	-SIOR-
17	-WR-	18	-MREQ-
19	-IORQ-	20	-RD-
21	OUTDVI	22	OUTDV2
23	0	24	-EXINTI-
25	-EXINT2-	26	-AEN-
27	-GRPP-	28	DRQ0
29	DRQ1	30	DRQ2
31	TC	32	-DACK2-
33	-DACK0-	34	-DACK1-
35	A15	36	A14
37	A13	38	A12
39	A11	40	A10
41	A9	42	A8
43	A7	44	A6
45	A5	46	A4
47	A3	48	A2
49	A1	50	A0

1.16 DIP - Schalter - Funktion

Im Gerät befindet sich auf der Platine ein DIP-Schalter mit sechs Einstellungsmöglichkeiten:

Schalter 1 - 3	dient zur Einstellung von Ländervarianten der Tastatur
Schalter 4	Auswahl der Druckerschnittstelle (parallel, seriell)
Schalter 5	TV-Farbsystem (PAL, NTSC)
Schalter 6	ohne Funktion

Schaltervoreinstellung:

1 2 3

ON	ON	ON	Internat. Tastatur
OFF	ON	ON	Deutsche Tastatur

4

OFF	V.24 (seriell): Voreinstellung für den europäischen Bereich
ON	Centronics (parallel): Voreinstellung für den außereuropäischen Bereich

5

OFF	NTSC
ON	PAL

1.17 ROM - Back - Schnittstelle

Der alpatronic PC verfügt über eine Steckmodul-Schnittstelle, um die mit entsprechenden Anwenderprogrammen angebotenen Steckmodule aufnehmen zu können. Der 30-polige Stiftsockel befindet sich links oberhalb der Tastatur und ist mit einem Schutzdeckel abgedeckt. Das Anwender-Programm befindet sich in PROMs vom Typ 8 KB 2764. Es sind max. zwei PROMs einsetzbar (zusammen 16 KB).

1.18 Liste der I/O - Adressen

I/O Address-1

OUT 10H : System Flag 1

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

Bit 0 : 40 character display or 80 character display select
1 : 80 character display
0 : 40 character display

Bit 1 : Display Inhibit
1 : Display Inhibit
0 : Display Available

Bit 2 : CMT/RS232C Select CMT=cassette tape recorder
1 : RS232C Select
0 : CMT Select

Bit 3 : CMT Motor Start
1 : Motor on
0 : Motor off

Bit 4 : Buzzer On
1 : Buzzer On
0 : Buzzer Off

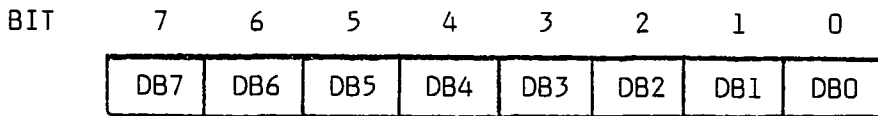
Bit 5 : Should always be 0
1 :
0 :

Bit 6 : ROM PACK Enable
1 : ROM PACK Enable (Bit 7=0 is necessary condition)
0 : ROM PACK Disable

Bit 7 : ROM Access Enable
1 : ROM Access Disable (All RAM Area)
0 : ROM Access Enable

I/O Address-3

OUT 20H



Bit 0 : CRTST

- 1 : CRT Controller Reset
- 0 : Release Reset Condition

Bit 1 : PRTRST

- 1 : Centronics Printer Reset
- 0 : Release Reset Condition

Bit 2 : PRTSTB

- 1 : Centronics Printer strobe signal active
- 0 : Not active

Bit 3 : MONINH

- 1 : Select V-RAM
- 0 : Select Monitor ROM

Bit 4 : GLED

- 1 : Graphic LED On
- 0 : Off

Bit 5 : SLED

- 1 : Shift Lock LED On
- 0 : Off

Bit 6 : Monitor ROM Address Select (8k bytes ROM)

- 1 : Upper 4k bytes
- 0 : Lower 4k bytes

Bit 7 : Not Use

Bit 3	6	
0	0	MONITOR lower 4k bytes
0	1	" upper 4k bytes
1	0	
1	1	V-RAM

I/O Address-5

OUT 30H

DATA BUS - - -> Centronics DATA BUS

BIT	7	6	5	4	3	2	1	0
	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

IN 30H

BIT	7	6	5	4	3	2	1	0
	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

Bit 0 : SIOC

1 :
0 : not used

Bit 1 : CRTVR

1 : V-SYNC Return Period
0 : Not
In the V-SYNC Return Period V-RAM can be rewritten.

Bit 2 : CACK

1 : Centronics printer acknowledge signal
0 : Not

Bit 3 : CBSY

1 : Centronics Printer Busy signal
0 : Ready

Bit 4 - 7 are not used.

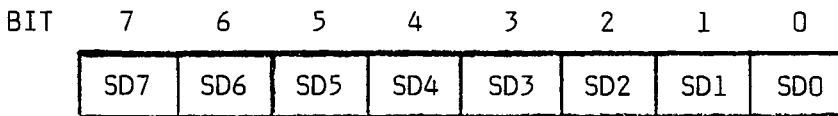
I/O Address-6

8251 (Device No. 4xH)

This 8251 (programmable Communication Interface) is used for RS-232C Interface and CMT Interface exclusively.

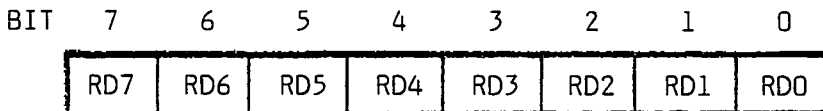
OUT 40H

DATA BUS - - -> 8251 DATA



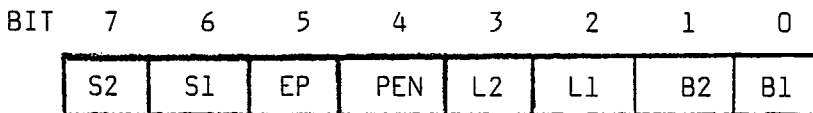
IN 40H

8251 DATA - - -> DATA BUS



OUT 41H

DATA BUS - - -> CONTROL (Mode Setting)



Bit 0, Bit 1 Baud Rate Factor

B1	0	1	0	1
B2	0	0	1	1
	SYNC	(1x)	(16x)	(64x)
	MODE			

Bit 2, Bit 3 Character Length

L1	0	1	0	1
L2	0	0	1	1
	5	6	7	8
	BITS	BITS	BITS	BITS

Bit 4 : PARTIY ENABLE

1 : Enable
0 : Disable

Bit 5 : EVENPARITY GENERATION/CHECK

1 : Even
0 : Odd

Bit 6, Bit 7 Number of Stop Bits

S1	0	1	0	1
S2	0	0	0	1
	IN-	1	1 1/2	2
	VALID	BITS	BITS	BITS

I/O Address-7

OUT 41H

DATA BUS - - -> CONTROL (Command Setting)

BIT 7 6 5 4 3 2 1 0

EH	IR	RTS	ER	SBRK	RxE	DTR	TxE
----	----	-----	----	------	-----	-----	-----

Bit 0 : TxEN (TRANSMIT ENABLE)

1 : Enable
0 : Disable

Bit 1 : DTR (DATA TERMINAL READY)

"high" will force DTR output
to zero

Bit 2 : RxE (RECEIVE ENABLE)

1 : Enable
0 : Disable

Bit 3 : SBRK (SEND BREAK CHARACTER)

1 : Forces TxD "low"
0 : Normal operation

Bit 4 : ER (ERROR RESET)

1 : Reset error flags
PE, OE, FE

Bit 5 : RTS (REQUEST TO SEND)

"high" will force RTS output to zero

Bit 6 : IR (INTERNAL RESET)

"high" returns 8251 to
Mode Instruction Format

Bit 7 : EH (ENTER HUNT MODE)

1 : Enable search for Sync. characters
(HAS NO EFFECT IN ASYNC. MODE)

I/O Address-8

HD465055 (Device No. 5XH)

CRT-Controller

OUT 50H

DATA BUS - - -> HD46505 DATA (Internal Register Number)

BIT 7 6 5 4 3 2 1 0

---	---	---	RA4	RA3	RA2	RA1	RA0
-----	-----	-----	-----	-----	-----	-----	-----

OUT 51H

DATA BUS - - -> HD46505 DATA (DATA to the internal Register)
available to Reg. No. 0 -- Reg. No. 15

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

IN 51H

HD46505 Internal Reg. DATA - - -> DATA BUS
available to Reg. No. 12 -- Reg. No. 15

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

I/O Address-9

HD46505S (Cont'd)
CRT-Controller

Internal Register

Address	Reg. No.	Register Name	Unit	DATA BIT
4 3 2 1 0				7 6 5 4 3 2 1 0
x x x x x	AR	Address Reg.	-	/ / /
0 0 0 0 0	R0	Horizontal Total Chara.	Chara.	
0 0 0 0 1	R1	Horizontal Display Chara.	Chara.	
0 0 0 1 0	R2	H-Sync. Position	Chara.	
0 0 0 1 1	R3	Sync. Pulse Width		V3 V2 V1 V0 H3 H2 H1 H0
0 0 1 0 0	R4	Vertical Total Chara.	Line	
0 0 1 0 1	R5	Total Adjust Luster	Luster	/ / /
0 0 1 1 0	R6	Vertical Display Chara.	Line	/
0 0 1 1 1	R7	V-Sync. Position	Line	/
0 1 0 0 0	R8	Interrace & Scue	-	C1 C0 D1 D0 / / V S
0 1 0 0 1	R9	Max. Luster Address	Luster	/ / /
0 1 0 1 0	R10	Cursor Start Luster	Luster	/ B P
0 1 0 1 1	R11	Cursor End Luster	Luster	/ / /
0 1 1 0 0	R12	Start Address (H)	-	/ /
0 1 1 0 1	R13	Start Address (L)	-	
0 1 1 1 0	R14	Cursor (H)	-	/ /
0 1 1 1 1	R15	Cursor (L)	-	

Luster = Attribute RAM (R, G, B, REVERSE, Blink)

I/O Address-10

8257 (Device No. 6XH)
DMA Controller

OUT 60H

Channel 0 DMA Address
DATA BUS ← - - - 8257 DATA

BIT 7 6 5 4 3 2 1 0

A7	A6	A5	A4	A3	A2	A1	A0
A15	A14	A13	A12	A11	A10	A9	A8

A0 - A15:

DMA Start Addr.

OUT 61H

Channel 0 Terminal Count
DATA BUS - - ->8257 DATA

BIT 7 6 5 4 3 2 1 0

C7	C6	C5	C4	C3	C2	C1	C0
RD	WR	C13	C12	C11	C10	C9	C8

C0 - C13:

Terminal Count
Value

RD	WR		
0	0	:	DMA Verify Cycle
0	1	:	DMA Write Cycle
1	0	:	DMA Read Cycle
1	1	:	Illegal

OUT 62H Channel 1 DMA Address
OUT 63H Channel 1 Terminal Count

IN 64H Channel 2 DMA Address
In 65H Channel 2 Terminal Count
used for Floppy-Disk-Unit

OUT 66H Channel 3 DMA Address
OUT 67H Channel 3 Terminal Count

Letter = 68 Dec

I/O Address-11

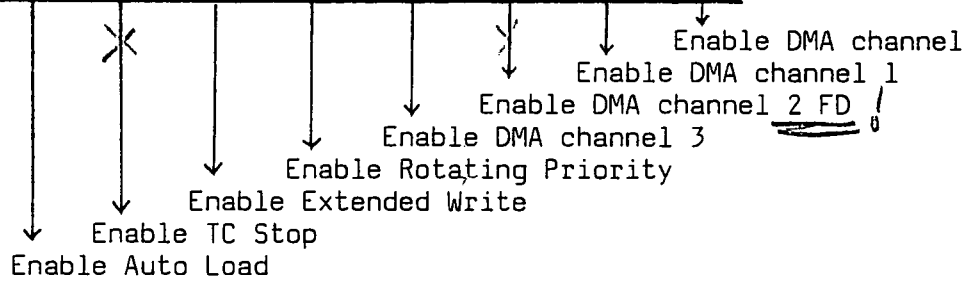
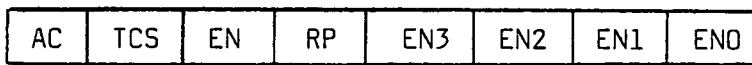
8257 (Device No. 6XH)
DMA Controller

OUT 68H

MODE SET

DATA BUS - - -> 8257

BIT 7 6 5 4 3 2 1 0



I/O Address-12

8259 (Device No. 7XH)

Interrupt Controller

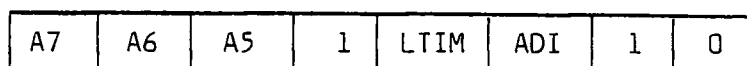
Refer to 8259 Manual

OUT 70H

ICW 1

DATA BUS - - -> 8259

BIT 7 6 5 4 3 2 1 0



↓

Single use
Call Address Interval
1 : Interval of 4
0 : Interval of 8

↓

1 : Level Trigger Mode
0 : Edge Trigger Mode

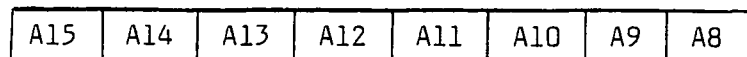
A7--A5 of Interrupt Vector Address
Interval of 4 means 4 bytes for one vector.

OUT 71H

ICW 2

DATA - - -> 8259

BIT 7 6 5 4 3 2 1 0



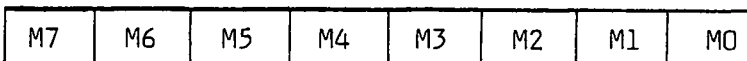
A15--A8 of Interrupt Vector Address.

OUT 71H

OCW 1

DATA - - -> 8259

BIT 7 6 5 4 3 2 1 0



Interrupt Mask

1 : Mask Set

0 : Mask Set

I/O Address-13

OUT 70H

OCW 2
DATA BUS - - -> 8259

BIT 7 6 5 4 3 2 1 0

R	SL	EOI	0	0	L2	L1	L0
---	----	-----	---	---	----	----	----

Bit 0, 1, 2

IR Level to be acted upon

	0	1	2	3	4	5	6	7
L0	0	1	0	1	0	1	0	1
L1	0	0	1	1	0	0	1	1
L2	0	0	0	0	1	1	1	1

Bit 5, 6, 7

R	SL	EOI	
0	0	1	Non-specific EOI Command
0	1	1	*Specific EOI Command
1	0	1	Rotate On Non-Specific EOI Command
1	0	0	Rotate In Automatic EOI Mode (Set)
0	0	0	Rotate In Automatic EOI Mode (Clear)
1	1	1	*Rotate On Specific EOI Command
1	1	0	*Set Priority Command
0	1	0	No operation

* L0-L2 are used

IR0 : Timmer Interrupt 24 msec.
 IR1 : RyRDY
 IR2 : TxRDY
 IR3 : EXINT2
 IR4 : EXINT1 External Box (e.g. Graphic Box)
 IR5 : not use
 IR6 : not use
 IR7 : VINT

I/O Address-14

FDD Unit (Device No. OFXH)
with FD Controller (uPD 765A)

OUT OF 8H

DATA BUS - - -> uPD 765A DATA

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

Refer to uPD 765A Manual

IN OF8H

uPD 765A DATA - - -> DATA BUS

The contents are command result status of the controller.

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

Refer to uPD 765A Manual.

IN OF0H *(IN 19)*

uPD 765A STATUS REGISTER - - -> DATA BUS

BIT 7 6 5 4 3 2 1 0

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

Refer to uPD 765A Manual-

OUT OF0H

DATA BUS - - -> FDD Unit

BIT 7 6 5 4 3 2 1 0

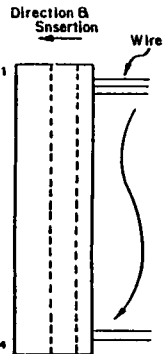
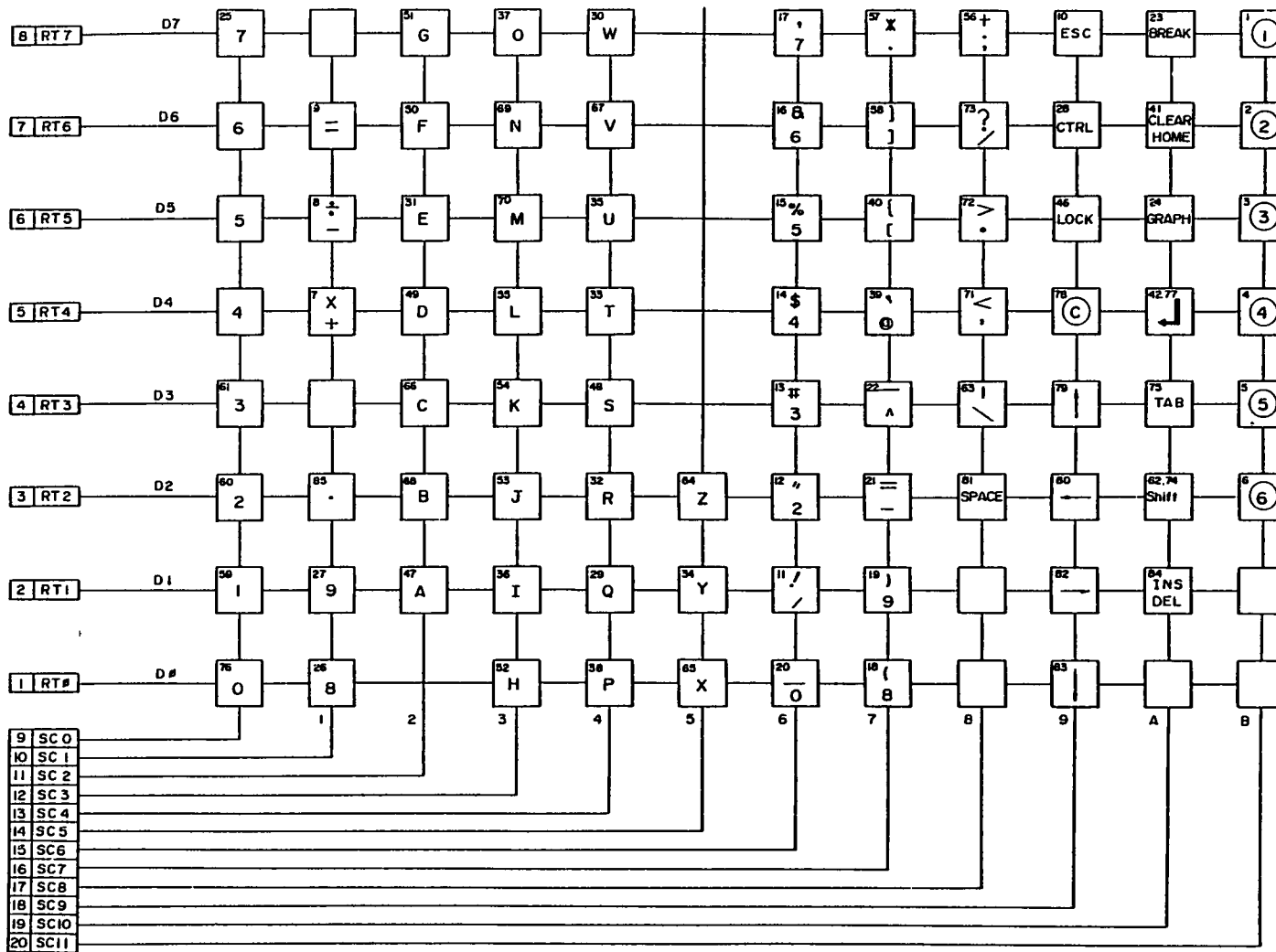
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
-----	-----	-----	-----	-----	-----	-----	-----

Bit 7 : FDCRST

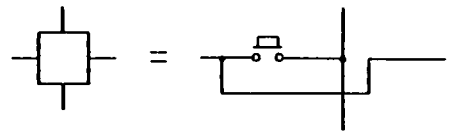
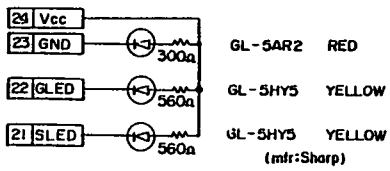
- 1 : Release the reset condition
- 0 : Reset the FD Controller (uPD 765A)

Bit 6 : ACTDS

- 1 : Activate the data separator (SED-9420C)
(Bit 7=1 is the necessary condition)
- 0 : Inactivate the data separator



Connector Housing S24 P - SHF
 Lead wire AWG 26
 Contact SHF - 00IT - Q,8P



85 Key (Shift & Return for each 2 pcs)
 LED 3 pcs
 Register 3 pcs

Key Matrix

1.19 Das Netzteil des PC

Über den Netzfilter gelangen die 220V an den Transformator und werden dann über einen Gleichrichter in Gleichspannung umgewandelt.

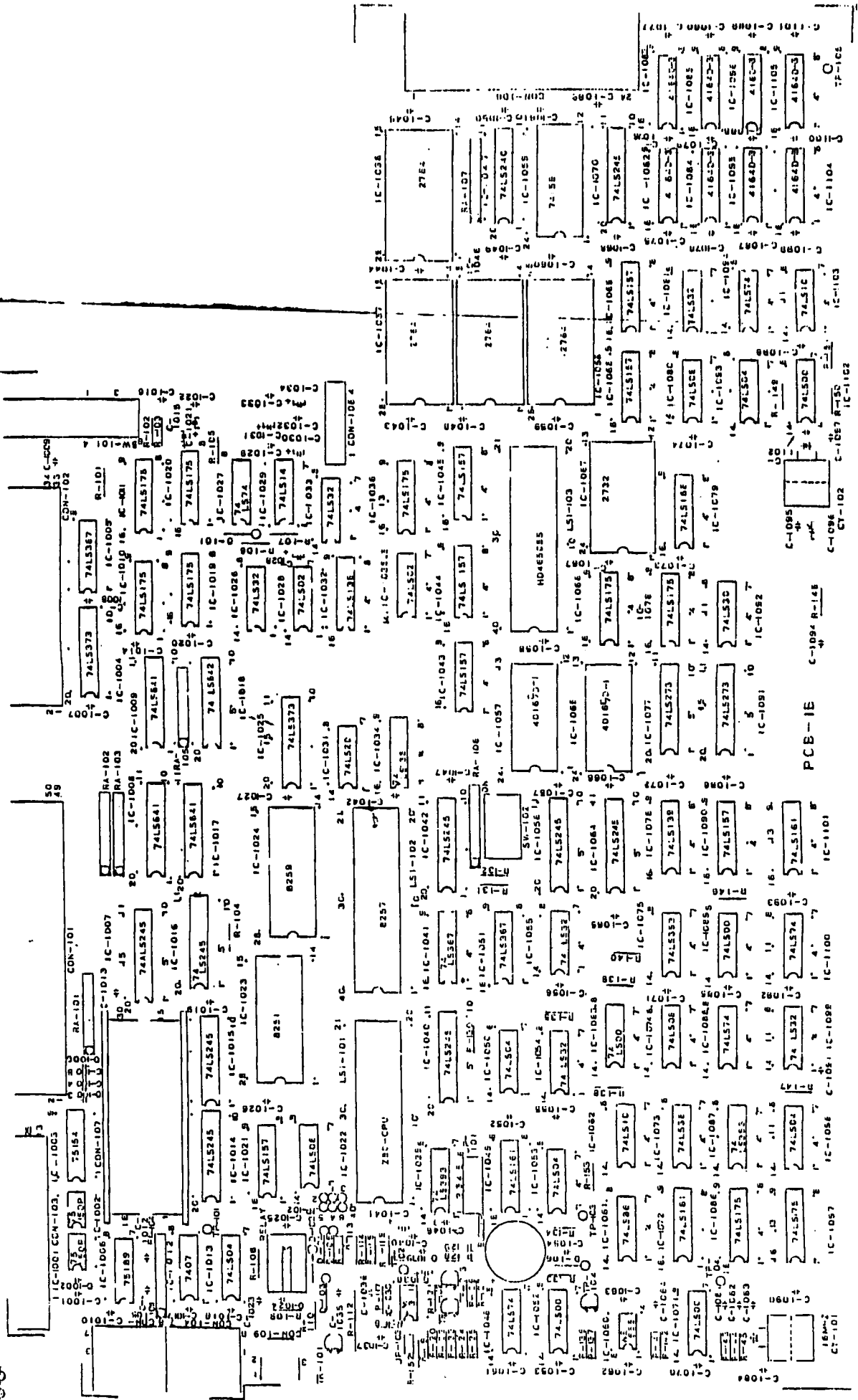
Die Erzeugung der +12V bzw. -12V Spannungen erfolgt über die Spannungsregler IC 301 und IC 302.

Der IC-Baustein 303 ist der Spannungsregler für die +5V - Spannung, diese Spannung wird über den Stecker (rotes Kabel) der Logik-Platte zugeführt.

Um jetzt aber den alphasatronic PC auch in anderen Ländern einsetzen zu können (unterschiedliche Netzspannungen), ist es möglich, durch Ändern des Transformators, sich der jeweiligen Netzspannung anzupassen. Siehe dazu Zeichnung 1



WALZEB PCB-15
E-IND
M 0133487890



PCB-IE

PCB-15

IC-1057

IC-1058

IC-1059

IC-1060

IC-1061

IC-1062

IC-1063

IC-1064

IC-1065

IC-1066

IC-1067

IC-1068

IC-1069

IC-1070

IC-1071

IC-1072

IC-1073

IC-1074

IC-1075

IC-1076

IC-1077

IC-1078

IC-1079

IC-1080

IC-1081

IC-1082

IC-1083

IC-1084

IC-1085

IC-1086

IC-1087

IC-1088

IC-1089

IC-1090

IC-1091

IC-1092

IC-1093

IC-1094

IC-1095

IC-1096

IC-1097

IC-1098

IC-1099

IC-1100

IC-1101

IC-1102

IC-1103

IC-1104

IC-1105

IC-1106

IC-1107

IC-1108

IC-1109

IC-1110

IC-1111

IC-1112

IC-1113

IC-1114

IC-1115

IC-1116

IC-1117

IC-1118

IC-1119

IC-1120

IC-1121

IC-1122

IC-1123

IC-1124

IC-1125

IC-1126

IC-1127

IC-1128

IC-1129

IC-1130

IC-1131

IC-1132

IC-1133

IC-1134

IC-1135

IC-1136

IC-1137

IC-1138

IC-1139

IC-1140

IC-1141

IC-1142

IC-1143

IC-1144

IC-1145

IC-1146

IC-1147

IC-1148

IC-1149

IC-1150

IC-1151

IC-1152

IC-1153

IC-1154

IC-1155

IC-1156

IC-1157

IC-1158

IC-1159

IC-1160

IC-1161

IC-1162

IC-1163

IC-1164

IC-1165

IC-1166

IC-1167

IC-1168

IC-1169

IC-1170

IC-1171

IC-1172

IC-1173

IC-1174

IC-1175

IC-1176

IC-1177

IC-1178

IC-1179

IC-1180

IC-1181

IC-1182

IC-1183

IC-1184

IC-1185

IC-1186

IC-1187

IC-1188

IC-1189

IC-1190

IC-1191

IC-1192

IC-1193

IC-1194

IC-1195

IC-1196

IC-1197

IC-1198

IC-1199

IC-1200

IC-1201

IC-1202

IC-1203

IC-1204

IC-1205

IC-1206

IC-1207

IC-1208

IC-1209

IC-1210

IC-1211

IC-1212

IC-1213

IC-1214

IC-1215

IC-1216

IC-1217

IC-1218

IC-1219

IC-1220

IC-1221

IC-1222

IC-1223

IC-1224

IC-1225

IC-1226

IC-1227

IC-1228

IC-1229

IC-1230

IC-1231

IC-1232

IC-1233

IC-1234

IC-1235

IC-1236

IC-1237

IC-1238

IC-1239

IC-1240

IC-1241

IC-1242

IC-1243

IC-1244

IC-1245

IC-1246

IC-1247

IC-1248

IC-1249

IC-1250

IC-1251

IC-1252

IC-1253

IC-1254

IC-1255

IC-1256

IC-1257

IC-1258

IC-1259

IC-1260

IC-1261

IC-1262

IC-1263

IC-1264

IC-1265

IC-1266

IC-1267

IC-1268

IC-1269

IC-1270

IC-1271

IC-1272

IC-1273

IC-1274

IC-1275

IC-1276

IC-1277

IC-1278

IC-1279

IC-1280

IC-1281

IC-1282

IC-1283

IC-1284

IC-1285

IC-1286

IC-1287

IC-1288

IC-1289

IC-1290

IC-1291

IC-1292

IC-1293

IC-1294

IC-1295

IC-1296

IC-1297

IC-1298

IC-1299

IC-1300

IC-1301

IC-1302

IC-1303

IC-1304

IC-1305

IC-1306

IC-1307

IC-1308

IC-1309

IC-1310

IC-1311

IC-1312

IC-1313

IC-1314

IC-1315

IC-1316

IC-1317

IC-1318

IC-1319

IC-1320

IC-1321

IC-1322

IC-1323

IC-1324

IC-1325

IC-1326

IC-1327

IC-1328

IC-1329

IC-1330

IC-1331

IC-1332

IC-1333

IC-1334

IC-1335

IC-1336

IC-1337

IC-1338

IC-1339

IC-1340

IC-1341

IC-1342

IC-1343

IC-1344

IC-1345

IC-1346

IC-1347

IC-1348

IC-1349

IC-1350

IC-1351

IC-1352

IC-1353

IC-1354

IC-1355

IC-1356

IC-1357

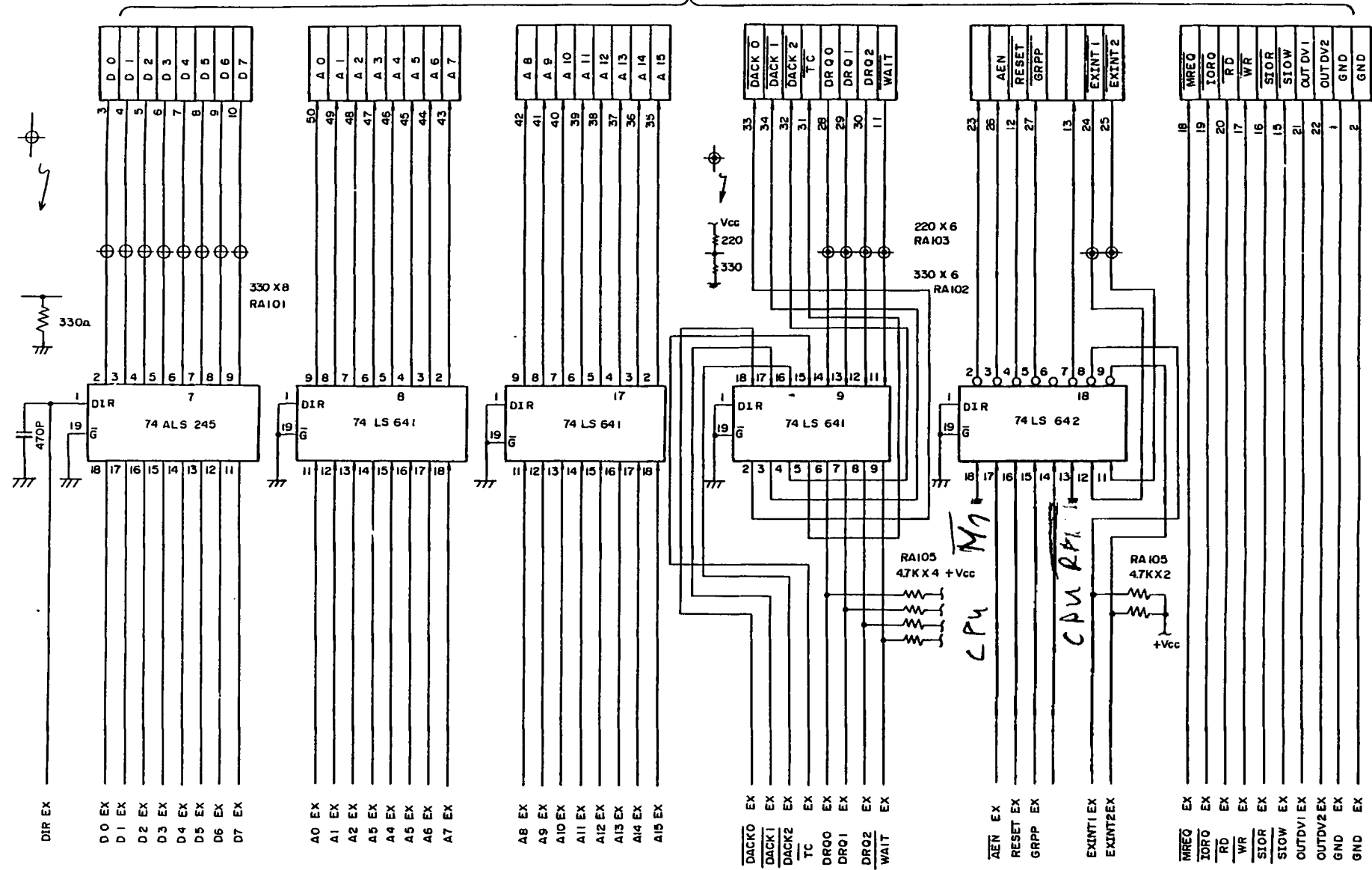
IC-1358

IC-1359

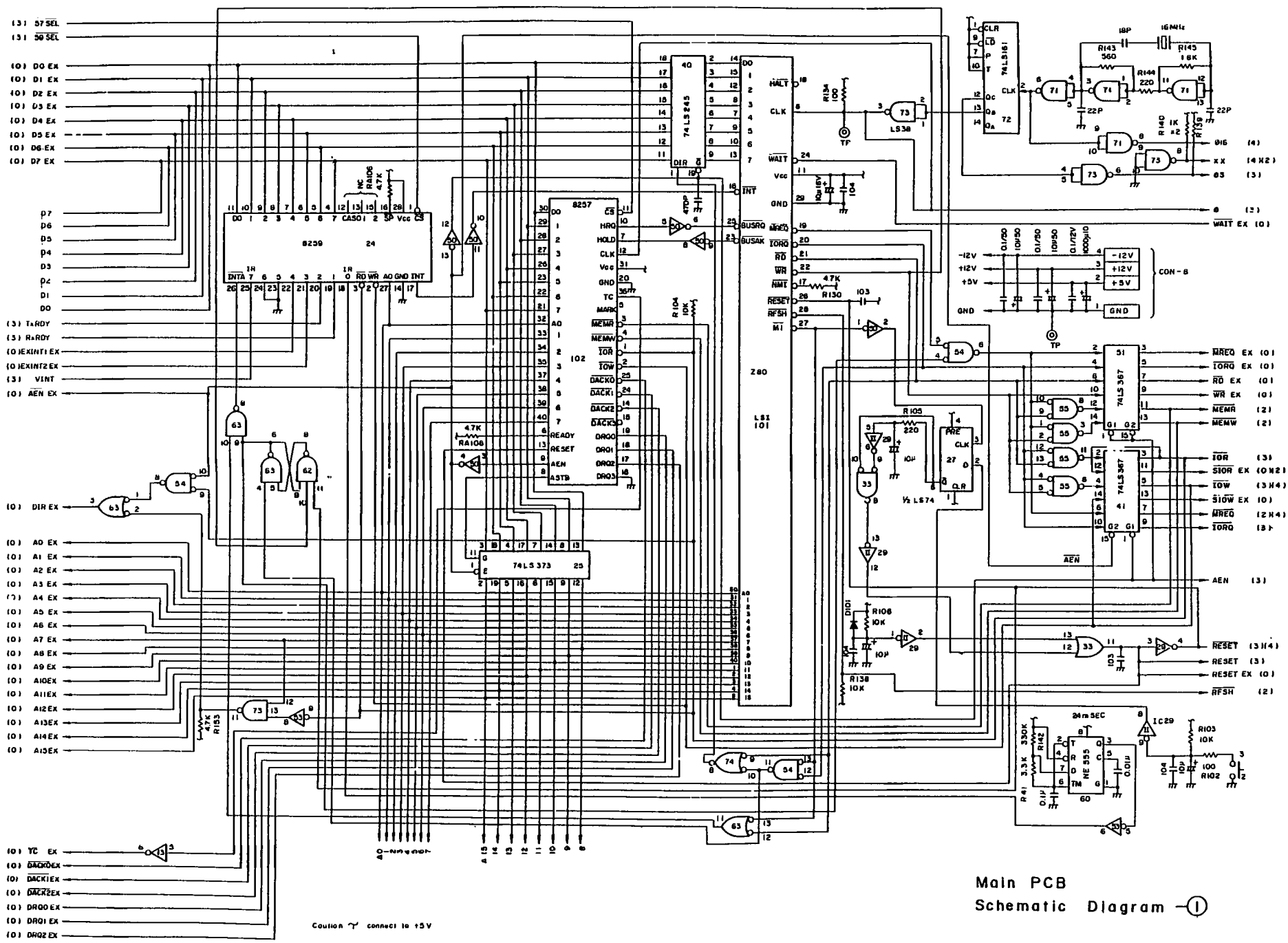
IC-1360

IC-1361

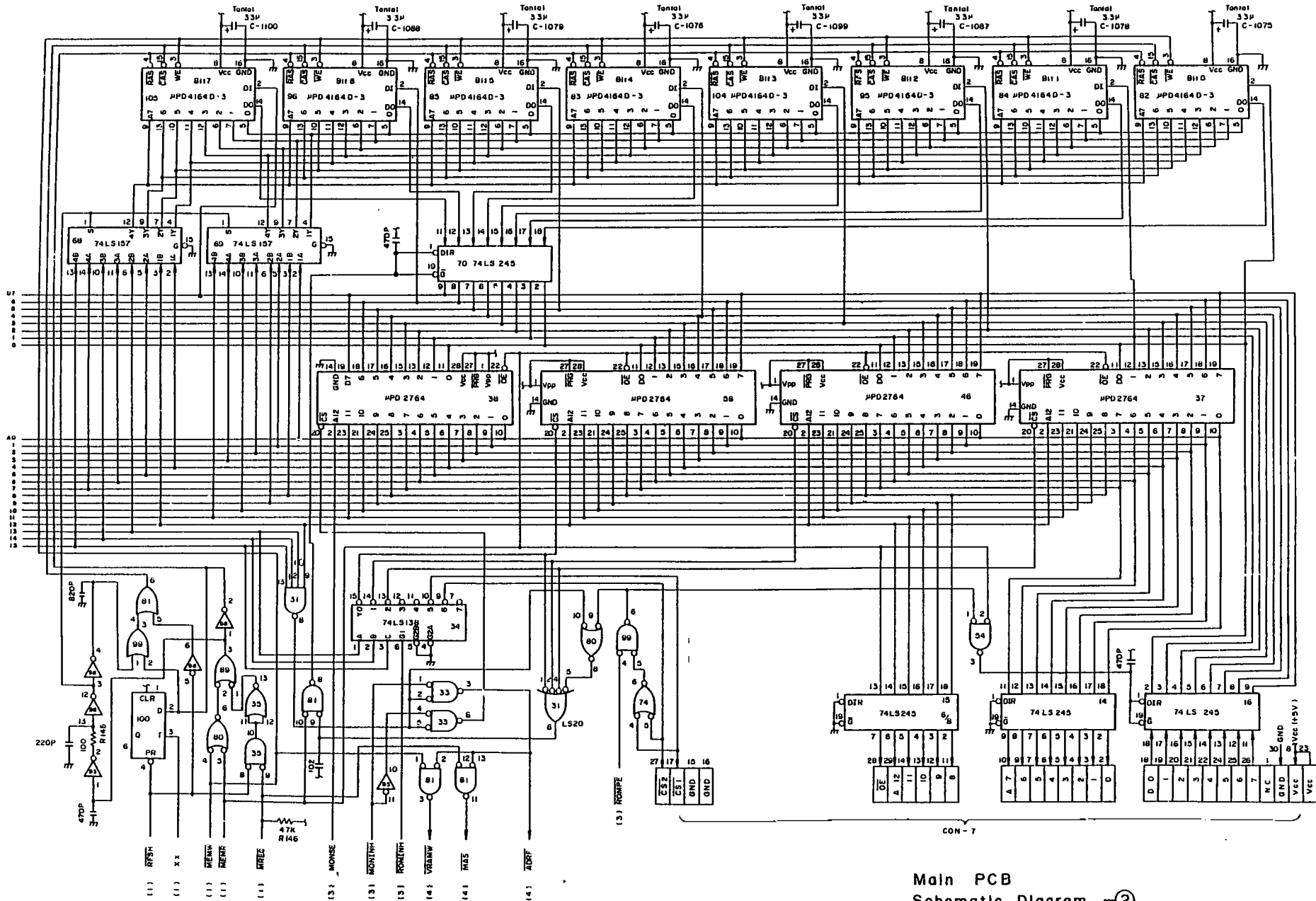
IC-1362



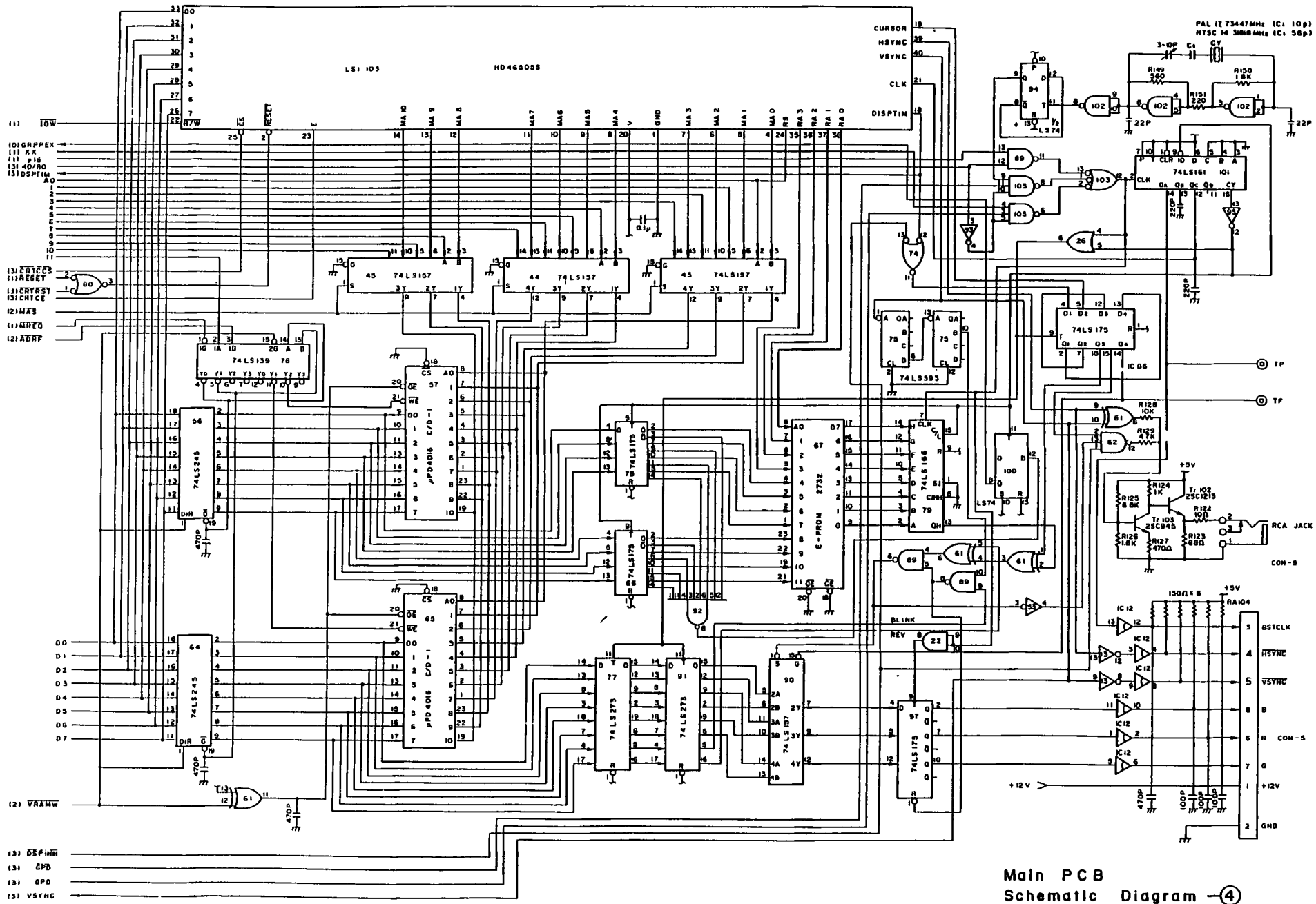
Main PCB
Schematic Diagram - (C)



Main PCB
Schematic Diagram ①



Main PCB Schematic Diagram (2)



System

1	GND	GND	2
3	DO	D1	4
5	D2	D3	6
7	D4	D5	8
9	D6	D7	10
11	WALT	RESET	12
13	/	/	14
15	SIOW	SIOR	16
17	WR	MREQ	18
19	IORQ	RD	20
21	OUTOV1	OUTOV2	22
23	/	EXINT1	24
25	EXINT2	AEN	26
27	GRPP	DRQ0	28
29	DRQ1	DRQ2	30
31	TC	DACK2	32
33	DACK0	DACK1	34
35	A15	A14	36
37	A13	A12	38
39	A11	A10	40
41	A9	A8	42
43	A7	A6	44
45	A5	A4	46
47	A3	A2	48
49	A1	A0	50

CON - 1

ROM Pack

1		GND	16
2	A0	CS1	17
3	A1	D0	18
4	A2	D1	19
5	A3	D2	20
6	A4	D3	21
7	A5	D4	22
8	Vcc	Vcc	23
9	A6	D5	24
10	A7	D6	25
11	A8	D7	26
12	A9	CS2	27
13	A10	OE	28
14	A11	A12	29
15	GND	GND	30

CON - 7

Audio Cassette

1	REC
2	GND
3	MON
4	REC
5	MON
6	REM 1
7	REM 2
8	GND

CON - 4

Key Scan

1	RT0
2	RT1
3	RT2
4	RT3
5	RT4
6	RT5
7	RT6
8	RT7
9	SC0
10	SC1
11	SC2
12	SC3
13	SC4
14	SC5
15	SC6
16	SC7
17	SC8
18	SC9
19	SC10
20	SC11
21	SLED
22	GLED
23	GND
24	Vcc

CON6

RS - 232C

1	/	/	14
2	TXD	TxC	15
3	RXD	/	16
4	RTS	RxC	17
5	CTS	/	18
6	DSR	/	19
7	GND	DTR	20
8	DCD	/	21
9	/	/	22
10	/	/	23
11	/	/	24
12	/	/	25
13	/	/	25

CON - 3

1	GND
2	VIDEO
3	/

CON - 9

CRT

1	+12V
2	GND
3	BSTCLK
4	HSYNC
5	VSYNC
6	R
7	G
8	B

CON - 5

Parallel I/O

1	STB	GND	2
3	DT0	+	4
5	DT1	+	6
7	DT2	+	8
9	DT3	+	10
11	DT4	+	12
13	DT5	+	14
15	DT6	+	16
17	DT7	+	18
19	ACK	+	20
21	BSY	+	22
23	/	GND	24
25	SLCT	RESET	26
27	(S)GND	/	28
29	/	(S)GND	30
31	(S)GND	/	32
33	/	/	34

CON - 2

1	GND
2	+5V
3	+12V
4	-12V

CON - 8

Each Connector Arrangement

2 DER FLOPPY-CONTROLLER

2.1 FDC/UPD-765A (LSI-Baustein)

2.2 SED-9420 C (Datenseparator)

--

2 Der Floppy-Controller

Wie das Blockschaltbild zeigt, besteht die Floppy-Controller-Platte aus zwei Schwerpunkten:

- FDC / UPD-765 A (Controller-Baustein)
- SED - 9420 C (Datenseparator)

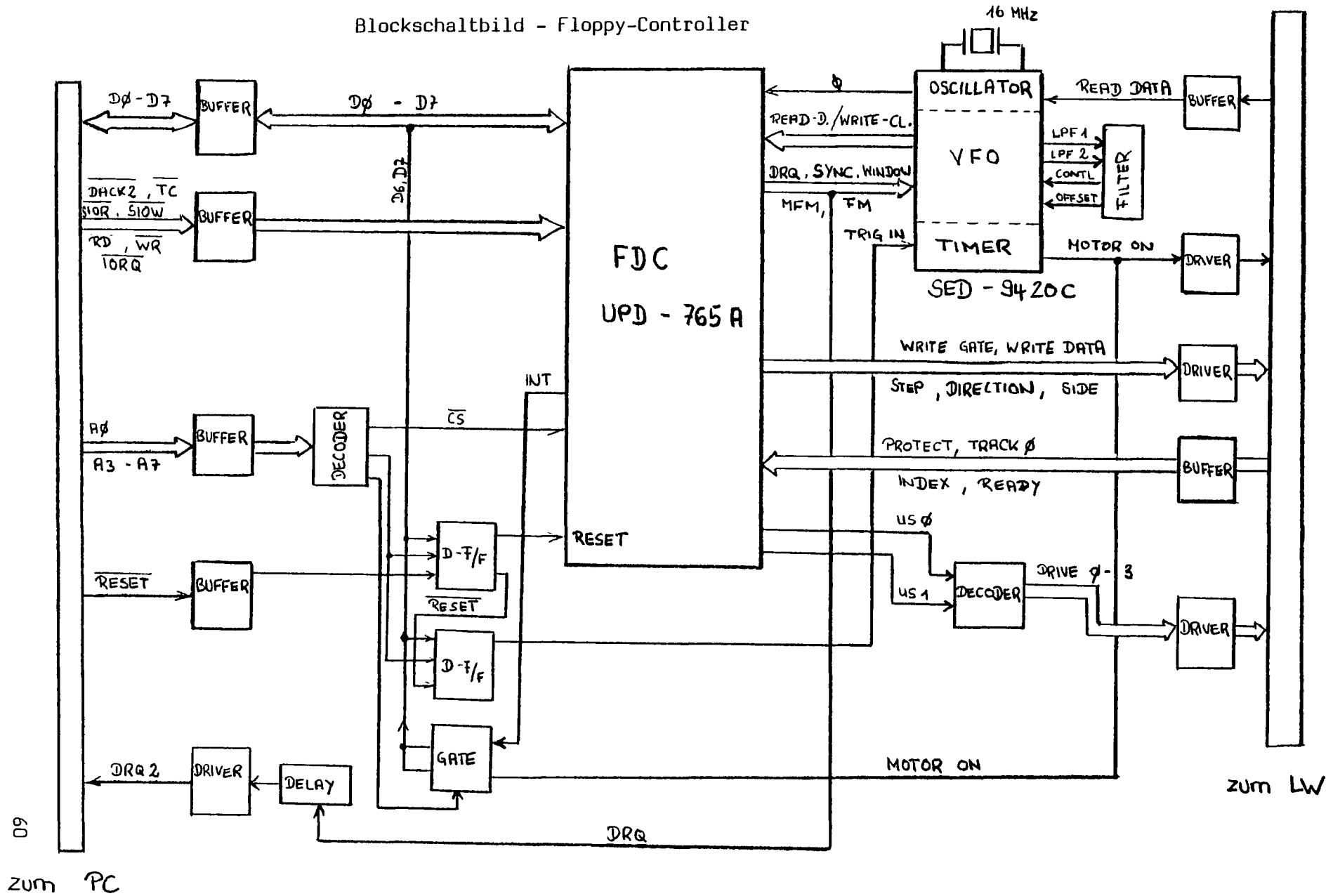
2.1 FDC / UPD - 765 A (LSI-Baustein)

Dieser LSI-Floppy-Disk-Controller besitzt die Möglichkeit, maximal vier Laufwerke zu selectieren. Der Datentransfer vom PC zum Minifloppy-Laufwerk bzw. vom Minifloppy-Laufwerk zum PC erfolgt durch DMA.

2.2 SED - 9420 C (Datenseparator)

Die Hauptaufgabe dieses Bausteins liegt darin, die Lesedaten, die vom Laufwerk kommen aufzubereiten und dem DISK-Controller-Baustein zur Verfügung zu stellen.

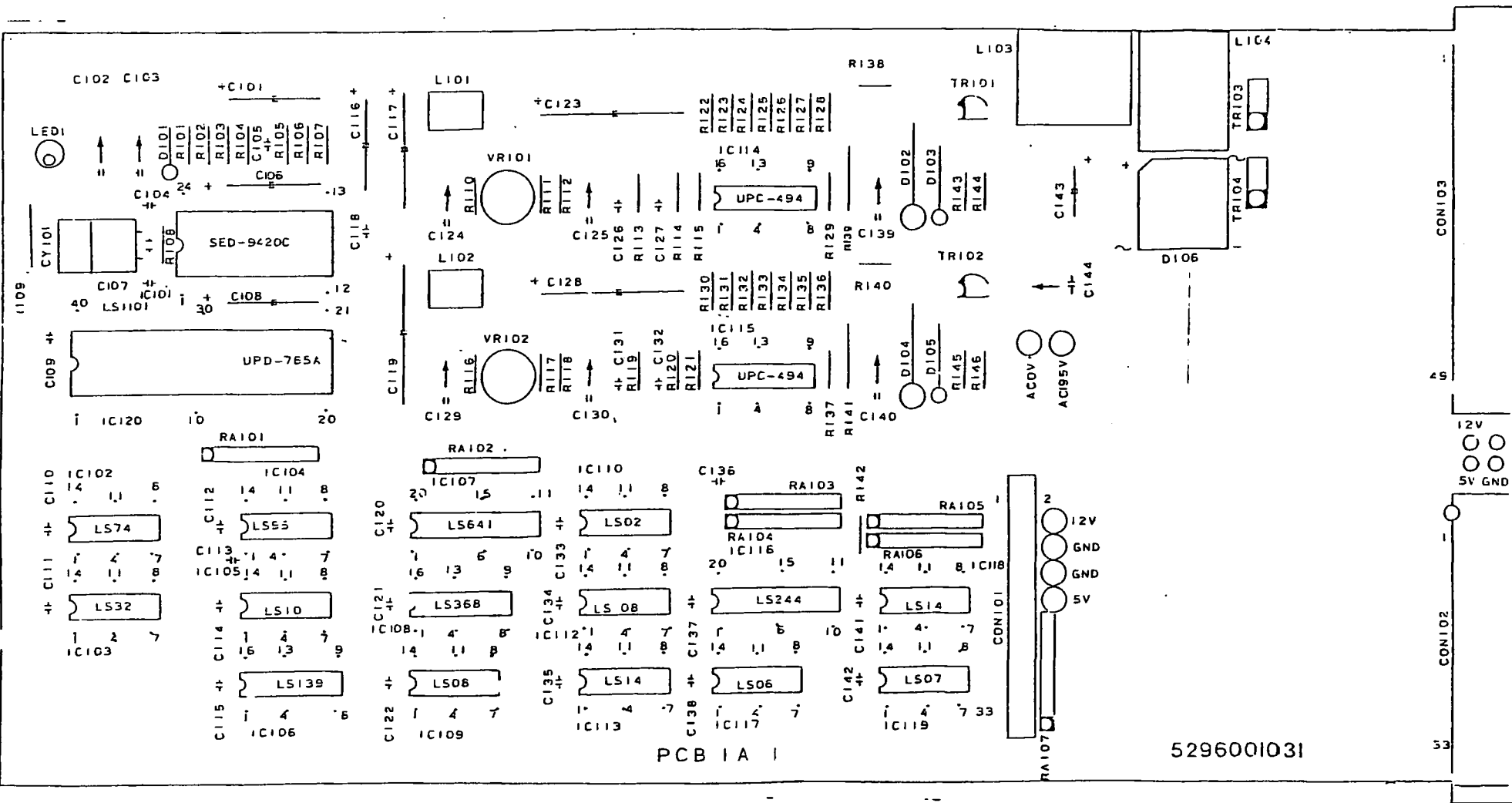
Blockschaltbild - Floppy-Controller



09

zum PC

zum LW

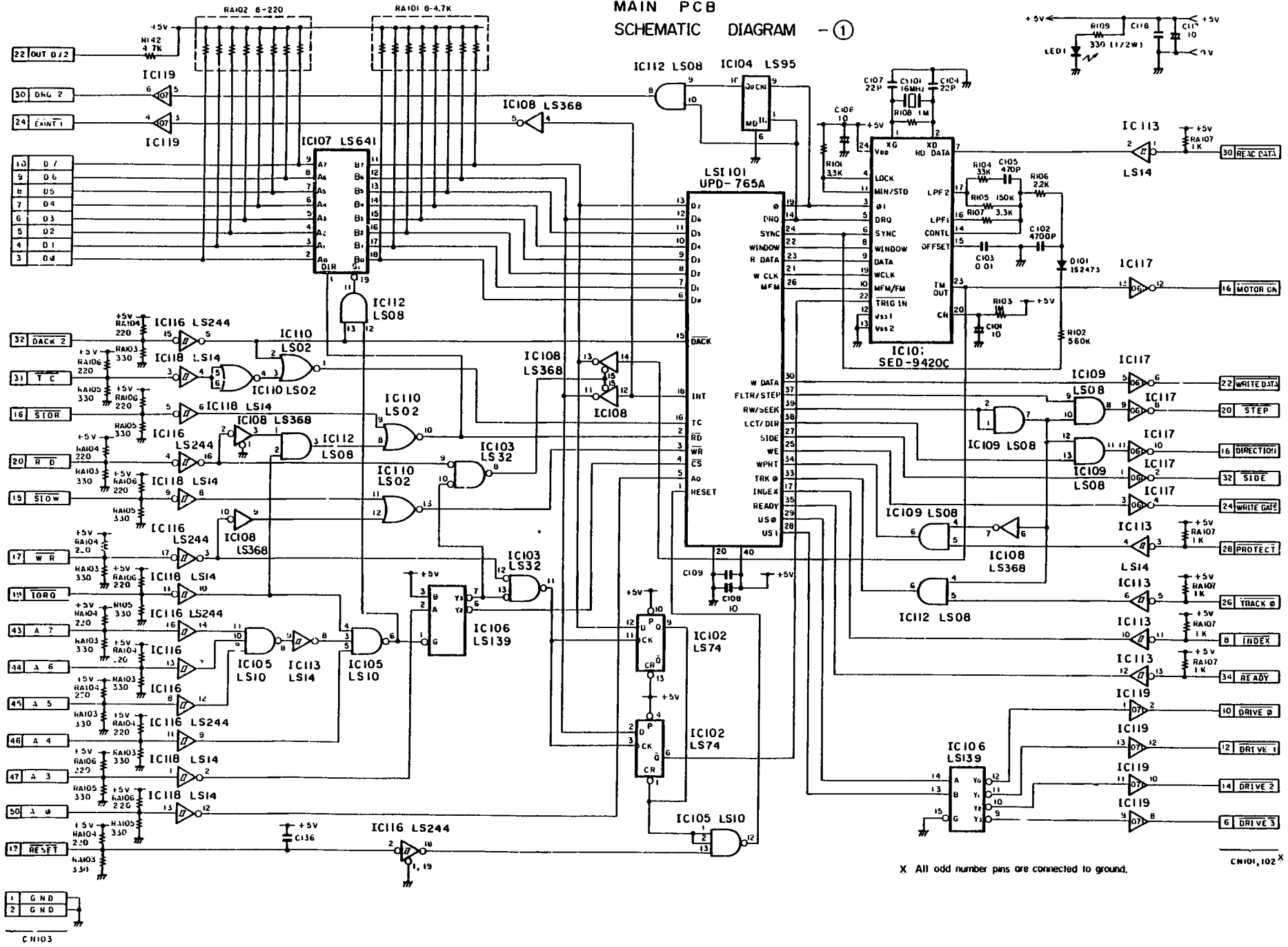


PCB IA 1

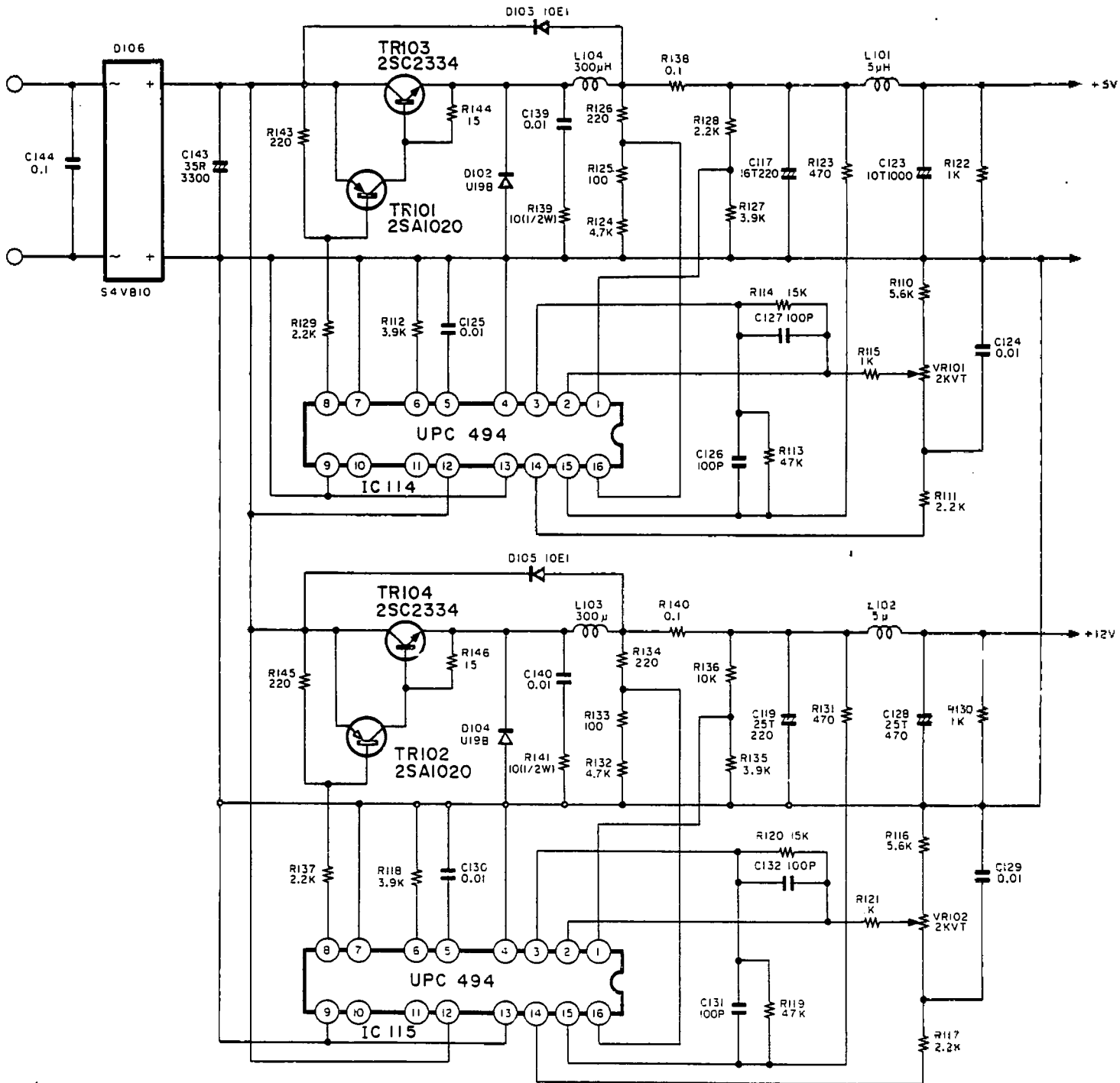
5296001031

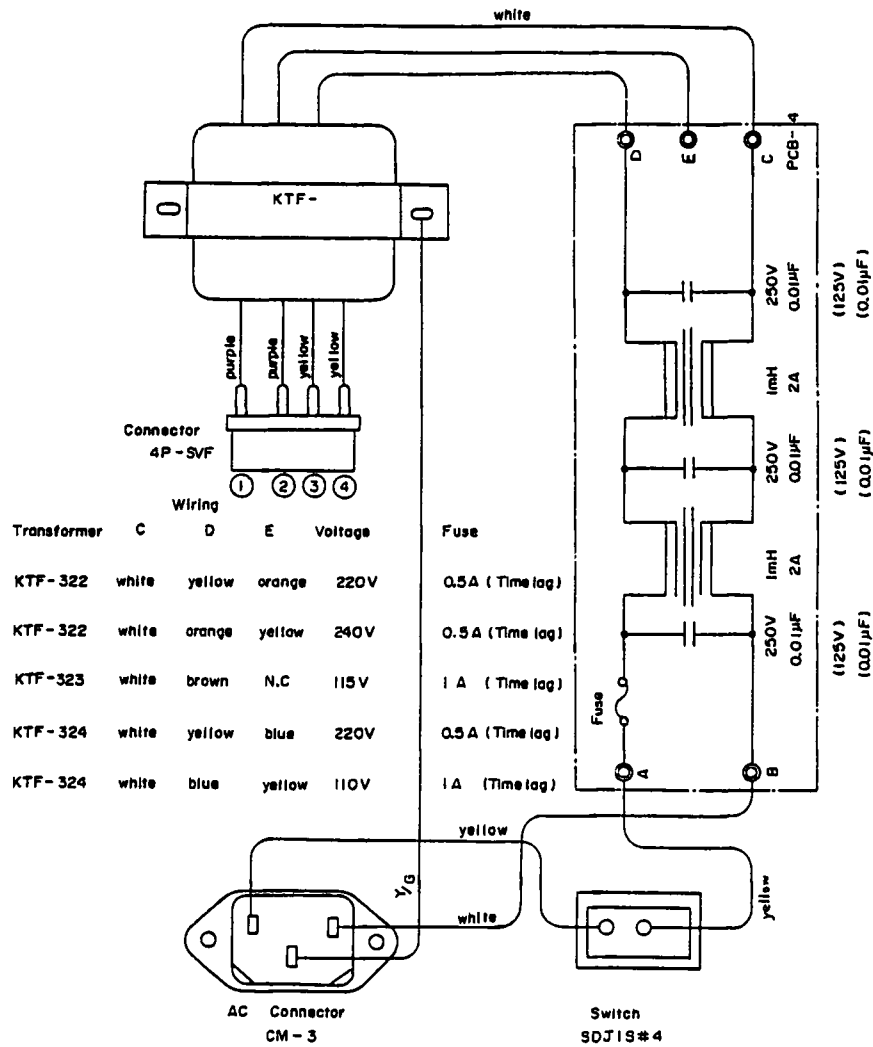
7A
TRIUMPHADLER

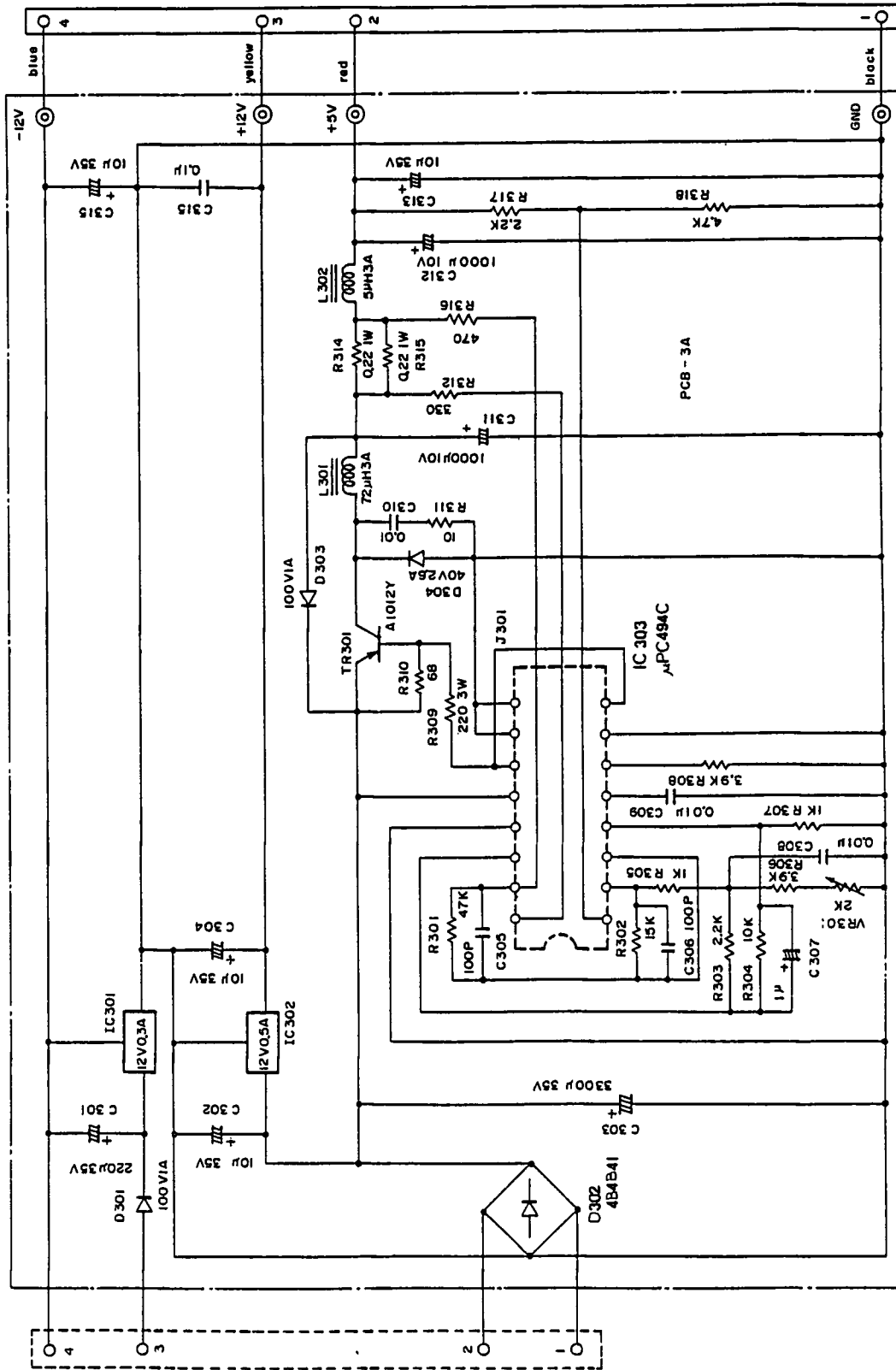
MAIN PCB
SCHEMATIC DIAGRAM - ①



MAIN PCB SCHEMATIC DIAGRAM - (2)







Power Supply PCB